

文章编号: 1672-2892(2010)04-0467-04

一种 I2C 总线控制器的接口设计

宋 杰, 陈 岚, 冯 燕

(中国科学院 微电子研究所, 北京 100029)

摘 要: 为了实现片上系统芯片与外围设备之间的通信, 介绍一种从外围总线(APB)到 I2C 总线的接口设计。对整个系统按照功能进行了模块划分, 阐述了 APB 总线接口的设计和寄存器配置、I2C 总线控制器中的状态划分和状态机设计以及时钟产生模块的实现。设计中采用了异步先进先出来同步 APB 总线和 I2C 总线之间的数据交换。对整个设计进行了功能仿真, 实现了系统在 100 kbps 和 400 kbps 两种工作模式下的数据传输。设计完全满足通信的速率要求。

关键词: I2C 总线; 外围总线; 状态机; 硬件描述语言

中图分类号: TN911.72

文献标识码: A

An interface design for I2C bus master

SONG Jie, CHEN Lan, FENG Yan

(Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China)

Abstract: In order to implement communication between System On Chip(SOC) and peripheral device, an interface design for data transfer between Advanced Peripheral Bus(APB) and Inter-Integrated Circuit(I2C) has been proposed in this article. It first describes the function partition of the whole system. Then the APB interface design and register configuration are introduced. The design of main state-machine of I2C bus and the implementation of clock generator are presented. Asynchronous First In First Out(FIFO) is adopted to synchronize data transfer between APB bus and I2C bus. Finally, the functional simulation has shown that the design performs well in both 100 kbps and 400 kbps. It completely meets the requirement for transfer speed.

Key words: I2C bus; Advanced Peripheral Bus; state machine; Verilog HDL

随着以 IP(Intellectual Property)核复用为基础的片上系统(SOC)设计技术的发展, 如何应对众多 IP 在实际设计中的有效互联日益受到人们的重视。I2C 总线^[1]是由 Philips 公司开发的一种双线串行总线, 它具有连线少且结构简单的特点, 能够很容易地实现各个模块之间的互联。通过设计 1 个 APB^[2]总线接口, 与片上总线进行数据交换, 可以很容易地把 I2C 模块集成到基于高级微控制器总线体系(Advanced Microcontroller Bus Architecture, AMBA)总线的 SOC 设计中去, 从而得到更广泛的应用。

1 工作原理

1.1 I2C 协议简介

I2C 串行总线包含 2 根信号线: 串行数据线(Serial Data, SDA)和串行时钟线(Serial Clock Line, SCL), 这 2 根线都通过 1 个电流源或 1 个上拉电阻连接到正电源电压。每个连接到 I2C 总线的设备都有 1 个唯一的总线地址, 而且都可以作为 1 个发送器或接收器使用。其中, 主设备负责总线时钟、起始信号及相关初始化数据的产生, 而从设备主要是作为被寻址的对象。典型的 I2C 总线结构见图 1。

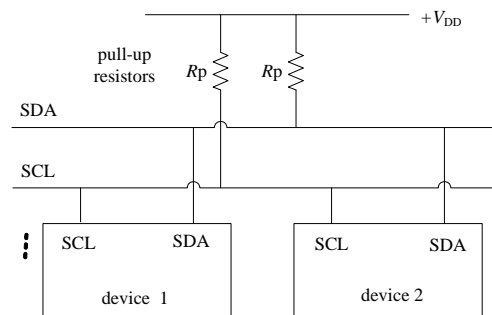


Fig.1 I2C bus architecture
图 1 I2C 总线结构图

收稿日期: 2009-11-30; 修回日期: 2010-02-04

基金项目: 03 重大专项“宽带无线应急低功耗管理技术研究”资助项目(2009zx03005-002); 863 重点项目“无线通信低功耗技术”资助项目(2009AA012000)

I2C 总线的数据传输包含开始(start)和停止(stop)条件, 描述如下:

- 1) 开始信号: SCL 为高电平时, SDA 从高电平向低电平跳变;
- 2) 停止信号: SCL 为高电平时, SDA 从低电平向高电平跳变;
- 3) 数据传输: SDA 线上传输的数据在 SCL 的高电平期间必须保持稳定, 只有在 SCL 的低电平期间才可以进行数据切换。

在 1 次数据传输过程中, 主机先发出 1 个开始信号, 然后对从机进行寻址, 通过总线仲裁获得总线控制权后, 主机就可以对寻址到的从机进行相应的读写操作了。SDA 数据线上的每字节长度为 8 bit, 接收器每接收到 1 个字节的数据后都要回应 1 个应答信号, 表示数据传输成功与否。每次传输的字节数可以没有限制, 当传输完成后由主机向总线发送 1 个停止信号释放总线。

1.2 APB 协议简介

APB 是由 ARM 公司开发的一种简单 SOC 总线, 它由一个 APB Bridge 和多个 APB Slave 组成, 主要用来连接一些低速的外围设备。它具有如下特性: 每 1 次传输需要 2 个时钟周期, 没有等待周期和应答信号。APB 的控制信号都由 APB Bridge 产生, 包括 PSELx, PWRITE 和 PENABLE, 1 次典型的数据传输可用如下的状态转换图表示, 见图 2。数据传输开始前为 IDLE 状态, 此时 PSELx 为 0, 没有 slave 被选中。当有数据传输要发生时, PSELx=1, PENABLE=0, 总线进入 SETUP 状态, SETUP 维持 1 个时钟, 然后在下 1 个时钟里, PENABLE=1, 总线进入 ENABLE 状态, 开始传输数据, 数据传输也只维持 1 个时钟的时间。若没有数据传输, 则进入 IDLE 状态; 若有则转到 SETUP 继续。

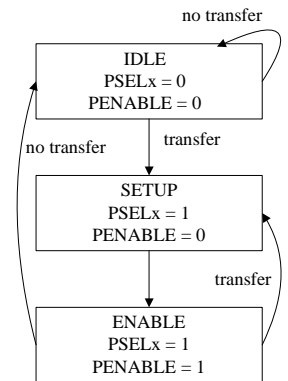


Fig.2 APB state diagram
图 2 APB 状态转换图

2 系统设计

系统结构见图 3。APB Interface 模块是整个 I2C 总线控制器接口的核心控制部分, 负责实现与片上 APB 总线的互联及数据交换。由于 I2C 总线是一种同步总线, 其本身的硬件结构具有一定的复杂性, 为了使 I2C 总线主控器的硬件行为与 APB Interface^[3] 协调一致, 需要在 APB Interface 中设计相关的接口寄存器。为此, 在 APB Interface 模块中定义了控制寄存器(CMD)、状态寄存器(STATUS)、I2C 寻址寄存器(ADDR)和时钟预分频寄存器(CLK_PRE)这 4 个寄存器, 通过 APB 总线寻址, 片上 CPU 可以很容易地实现对寄存器的读写。各个寄存器的相关描述如下:

- 1) CMD: 8 bit 的可读写寄存器, 负责整个系统的中断使能、WRITE/READ FIFO 和 I2C MASTER INTERFACE 模块的同步复位以及 I2C 总线上的数据读写控制。具体定义如下:

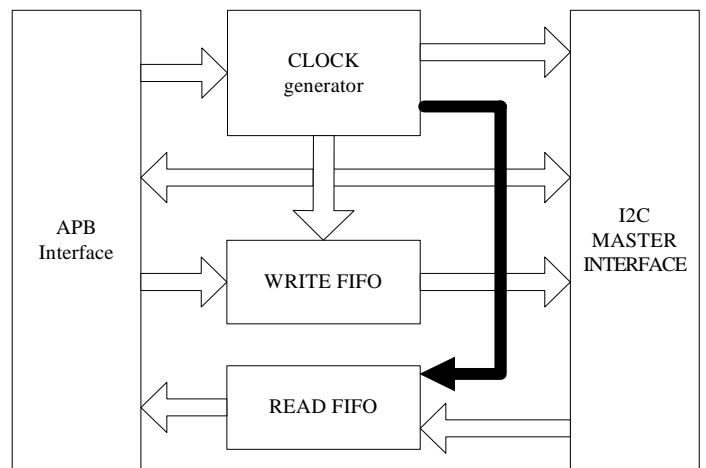


Fig.3 System architecture
图 3 系统结构框图

Reserved	Irq_en	Clr	Stop	Start	Rx/Tx
7	4	3	2	1	0

- Rx/Tx: I2C 总线读写控制位, 1 代表读, 0 代表写;
- Start: I2C 总线数据传输开始控制位, 高电平有效;
- Stop: I2C 总线停止控制位, 高电平有效;
- Clr: 系统同步复位控制位, 高电平有效;
- Irq_en: 中断使能控制位, 高电平有效;
- Reserved: 保留位, 默认置 0。

- 2) STATUS: 8 bit 的只读寄存器, 负责监视 WRITE FIFO 和 READ FIFO 的空满状态。
- 3) ADDR: 8 bit 可读写寄存器, 低 7 位有效, 用来存放需要寻址的 I2C 从机地址。

4) CLK_PRE: 8 bit 可读写寄存器, 用来调整 CLOCK Generator 模块的时钟预分频数, 从而改变 I2C 总线的传输速度。

WRITE/READ FIFO 模块是双口异步 FIFO^[4], 其中 WRITE FIFO 负责缓存经过 APB 总线写到 I2C 总线的数
据, 而 READ FIFO 则负责缓存从 I2C 总线上读取的数据。

CLOCK Generator 模块是负责调节 I2C 总线的传输速度, 为 I2C MASTER INTERFACE 模块提供一个 $4 \times SCL$ 的时钟。

```

always @(negedge preset or posedge pclk)
begin
    if(~preset)
        begin
            clk_cnt<=8'b0000_0000;
            clk<=1'b1;
        end
    else if(clk_cnt!=clk_pre)
        clk_cnt<=clk_cnt+8'b1;
    else
        begin
            clk_cnt<=8'b0000_0000;
            clk<=~clk;
        end
end
end
    
```

I2C MASTER INTERFACE 模块是整个系统的主体部分, 负责实现 I2C 协议的 Master 功能, 根据 I2C 总线协议上的描述, 可以把其总线状态划分为开始、读、写和停止 4 个状态, 见图 4。

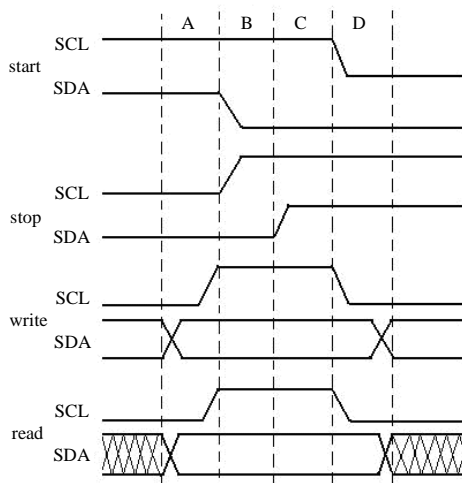


Fig.4 Sub-status diagram
图 4 子状态分解图

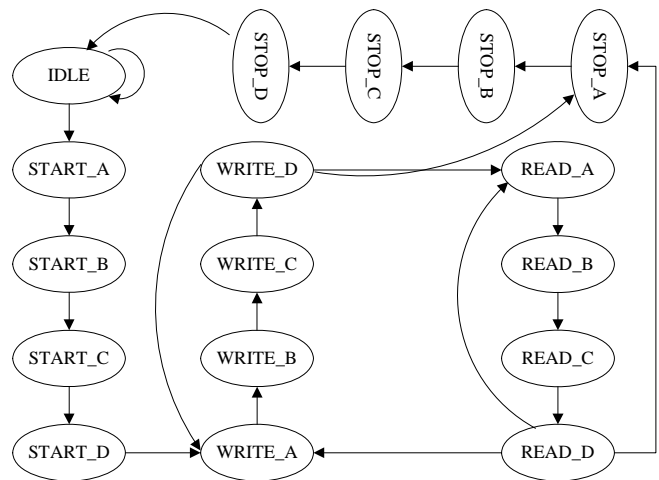


Fig.5 I2C state machine
图 5 I2C 状态机

为了满足 SCL 为高电平时 SDA 上的电平不变及 SCL 为低电平时 SDA 上的电平才可以进行切换的要求, 把每个状态又划分为 4 个子状态^[5](图 4 中 A,B,C,D 分别代表 1 个 SCL 时钟), 在 1 个由 CLOCK Generator 提供的 $4 \times SCL$ 同步时钟控制下进行状态切换, 这样可以提高 I2C 总线的电平控制精度。

I2C 总线上的数据传输通过 1 个主状态机(图 5)来实现, 它以 $4 \times SCL$ 为时钟, 控制着 I2C 总线上的状态切换。

开始的时候, 主机处在 IDLE 状态, 当检测到 start 指令并且总线空闲时, 进入到 START_A 状态发送开始信号, 之后转到 WRITE_A 状态发送从机地址及读写控制位, 当经历多次 WRITE_A 到 WRITE_D 的循环, 发送完所有比特后, 状态机跳到 READ_A 状态接收从机的应答信号。到 READ_D 状态应答接收完毕后, 如果成功, 对于读操作, 状态机会跳回 READ_A 循环, 接收从机发送的数据, 而对于写操作状态机则跳到 WRITE_A 循环, 开始写数据。根据 I2C 协议的要求, 每传输完 1 个字节的数据后, 数据接收方都要发送 1 个比特的应答信号给数据发送方。写操作时主机属于数据发送方, 每发送完 1 个字节后状态机会从 WRITE_D 跳到 READ_A 接收应答信号。而读操作时主机属于数据接收方, 每接收完 1 个字节后状态机会从 READ_D 跳到 WRITE_A 发送应答信号。应答信号接收或发送完毕后如果检测到控制寄存器(CMD)中的 stop 位有效, 主机会停止数据传输并跳到 STOP_A 发送总线停止信号, 最终状态机又回到了 IDLE 状态。

3 功能验证

功能验证采用的是 Synopsys 公司的 DesignWare AMBA VIP^[6-7]验证工具,它是 Synopsys 为了应对系统级芯片设计带来的验证挑战而设计的,可以大大简化验证流程并提高验证的准确性。使用 VIP 搭建的 AMBA 总线验证平台见图 6。I2C 主控器接口作为 Slave 设备挂接到 APB 总线上,通过 AHB(Advanced High-performance Bus) Master 提供的读写 task 可以很容易地编写出模块的测试 case。功能验证时采用了 opencores 上的一个 I2C Slave^[8]模型进行协同验证,基本实现了 I2C Master 的数据发送和接收功能。

4 结论

本文根据 I2C 总线规范和 APB 总线规范实现了一种 I2C 总线控制器接口的模块化设计,对各个模块用 Verilog HDL^[9]语言进行了描述,并在 Synopsys 的 DesignWare AMBA 环境下通过了功能验证。它具有如下特点:采用模块化设计,层次分明;较好地实现了从 APB 到 I2C 的数据转接功能;系统验证采用 Synopsys 的 DesignWare AMBA VIP 验证环境,提高了设计的可靠性。本设计与目前广泛使用的 AMBA 总线系统具有很好的兼容性,有一定的现实意义和参考价值。

参考文献:

- [1] Philips Semiconductor. The I2C-Bus Specification[Z]. 2000.
- [2] ARM. AMBA Specification(rev 2.0)[Z]. 1999.
- [3] Synopsys Inc. DesignWare DW_apb_i2c Databook[Z]. 2007.
- [4] 洪功存. 通用 FIFO 的设计及其应用[D]. 武汉:华中科技大学, 2004.
- [5] 袁江南. 一种 I2C 主控器 IP 核的设计与 FPGA 实现[J]. 厦门理工学院学报, 2006,14(2):40-43.
- [6] Synopsys Inc. DesignWare APB Verification IP Systemverilog Databook[Z]. 2008.
- [7] Synopsys Inc. DesignWare AHB Verification IP Databook[Z]. 2008.
- [8] ALS. I2C Slave Pack[Z]. 1999.
- [9] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社, 2003.

作者简介:



宋杰(1986-),男,湖南省益阳市人,在读硕士研究生,主要研究方向为集成电路设计和验证方法学. email:songjie@ime.ac.cn.

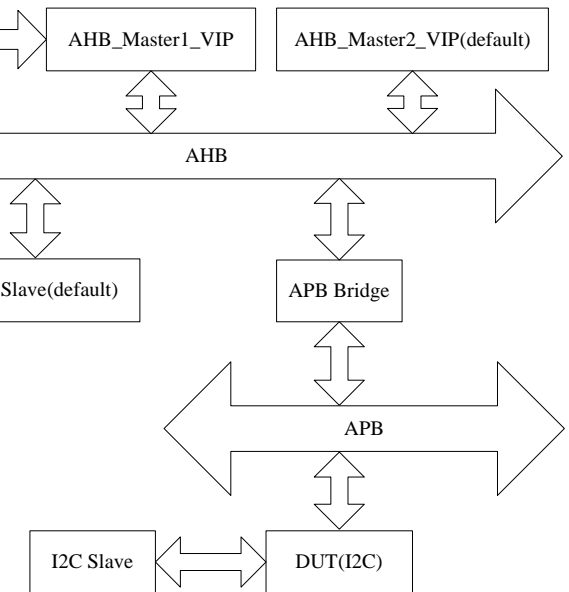


Fig.6 Verification architecture
图6 验证结构

它在 Synopsys 的 DesignWare AMBA 环境下通过了功能验证。它具有如下特点:采用模块化设计,层次分明;较好地实现了从 APB 到 I2C 的数据转接功能;系统验证采用 Synopsys 的 DesignWare AMBA VIP 验证环境,提高了设计的可靠性。本设计与目前广泛使用的 AMBA 总线系统具有很好的兼容性,有一定的现实意义和参考价值。

陈岚(1968-),女,成都市人,博士生导师,主要研究领域为超深亚微米芯片设计方法学及计算机系统结构。

冯燕(1980-),女,湖南省岳阳市人,助理研究员,主要研究方向为 SOC 系统设计与验证。