

文章编号: 1672-2892(2012)02-0242-05

## 基于多周期极限采样法的极限检测器设计

沈聪辉<sup>1</sup>, 黄盛霖<sup>2</sup>, 赵晓娟<sup>3</sup>

(1.海军 91115 部队 3 队, 浙江 舟山 316000; 2.海军航空工程学院 科研部, 山东 烟台 264001;  
3.中国人民解放军第 9601 工厂, 北京 100092)

**摘 要:** 为解决极限检测器单周期数据采样精确度低的问题, 提出了多周期极限采样法。利用多周期极限采样法对极限检测器进行了设计, 该极限检测器对周期信号进行 5 个周期的数据采样, 通过极限检测器的 FIFO 模块、最大最小值寄存器模块、数值比较模块最终得到精确的极限值。最后, 利用 QUARTUS 技术对设计进行了验证, 该方法能够准确实现偏移量为 3 ns 的极限检测。

**关键词:** 准同步采样法; 多周期极限采样法; 现场可编程门阵列; 极限检测; 数据采样

**中图分类号:** TN702

**文献标识码:** A

## Design of limit detector based on multi-cycle limit sample method

SHEN Cong-hui<sup>1</sup>, HUANG Sheng-lin<sup>2</sup>, ZHAO Xiao-juan<sup>3</sup>

(1.The 3rd Team for 91115 of Navy, Zhoushan Zhejiang 316000, China; 2.Scientific Research Department of Naval Aeronautical and Astronautical University, Yantai Shandong 264001, China; 3. System Office for the 9601 Company of PLA, Beijing 100092, China)

**Abstract:** The study is aimed to solve the problem that single cycle sampling data shows low precision for limit detector. Based on the idea of synthetic sampling method proposed by Professor Dai Xianzhong, the limit synthetic sampling method is put forward. Then the limit detector is designed based on the multi-cycle limit sample method. The limit detector includes First In First Out(FIFO) modular, register modular and compare modular. It obtains precise values in five cycles of data sampling. Through the simulation verification on the platform of QUARTUS, the design is able to detect the limit value of 3 ns offset accurately.

**Key words:** synthetic sampling method; multi-cycle limit sample method; Field Programmable Gate Array(FPGA); limit detector; data sampling

极限检测是对周期信号的最大值和最小值进行捕捉的重要技术。极限检测包括数字极限检测和模拟极限检测。模拟极限检测采用专门的硬件电路, 检测速度慢, 精确度低, 存储的毛刺宽度为  $\mu\text{s}$  级。数字极限检测器围绕 ADC(Analog to Digital Converter)构成, ADC 将以尽可能高的采样速率对信号进行连续采样, 通过峰值检测模块筛选出最大值和最小值, 然后将最大值和最小值存储在 1 个专用的存储器中, 存储的最大值、最小值就是当前时刻的极限值。数字式极限检测器的优点是其速度快, 精确度高。

### 1 多周期极限采样法的原理

数字极限检测的精确度高低主要取决于 ADC 的采样速率和采样精确度, ADC 的采样速率越快, 采样精确度越高, 得到的极限值越准确。但是在 ADC 的采样速率和采样精确度一定的情况下, 数字

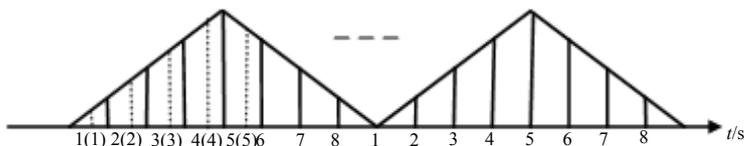


Fig.1 Diagram of triangle wave sampling  
图 1 三角波采样示意图

式极限检测的结果也不尽相同。如图 1 所示, 理想采样条件下, 在三角波的 1 个采样周期中有 8 个采样数据, 其中第 1 个采样值为最小值, 第 5 个采样值为最大值。但是实际的采样起点在一定范围内是随机的, 采样时钟周期

收稿日期: 2011-05-20; 修回日期: 2011-06-20

基金项目: 武器装备预研基金资助项目(9140A25070208JB1402)

在一定范围内不确定。这样会造成最大值和最小值的偏差。

为解决采样起点的随机性和采样时钟的不确定性所带来的误差，借鉴清华大学戴先中的准同步采样法<sup>[1-2]</sup>思想提出了多周期极限采样法，以此来实现更高精确度的极限检测。

极限准采样法的表述：

设  $f_{\max}$  是  $f(x)$  的最大值， $f(x)$  的周期为  $2\pi$ ，每个周期的采样点数为  $N$ ，假设

$$f_{\max} = f\left(k \frac{2\pi}{N}\right) = f\left(\frac{2\pi}{N}(k+nN)\right), \quad 0 < k < N, \quad n \text{ 为任意的整数} \quad (1)$$

而实际的采样起点为  $\alpha$ ，时钟周期偏差为  $\Delta$ ，实际上，

$$f'_{\max} = \max f(i), \quad \alpha \leq i \leq 2\pi + \Delta \quad (2)$$

$f\left(k \frac{2\pi}{N}\right)$  这个值在采样过程中不一定能被采集到，假设理想的极限值和得到值的相位偏差为  $E$ ，则：

$$E = \left(\alpha + \frac{2\pi + \Delta}{N}k\right) - k \frac{2\pi}{N} = \alpha + \frac{\Delta k}{N} \quad (3)$$

实际应用中， $E$  一般不为 0，要得到  $f_{\max}$  的准确值可以通过多个周期采样的办法，设进行  $n$  个周期采样，则：

$$E_n = \left(\alpha + \frac{2\pi + \Delta}{N}(k+nN)\right) - \left(\frac{2\pi}{N}(k+nN)\right) = \alpha + \frac{\Delta(k+nN)}{N} = \alpha + n\Delta + \frac{\Delta k}{N} \quad (4)$$

由式(4)可见，要想减小  $E$ ，可以通过增加单位周期的采样点数  $N$  的方法使  $\frac{\Delta k}{N} \rightarrow 0$ 。在  $N$  一定的情况下，通过增加采样周期  $n$ ， $E_n$  有增大的趋势，但是

$$\lim_{n \rightarrow \infty} E_n = n\Delta + \frac{\Delta k}{N} \quad (5)$$

可以消除  $\alpha$  的影响，如果  $n\Delta + \frac{\Delta k}{N} = \frac{2\pi + \Delta}{N}$ ，同样可以采集到准确的极限值， $n \approx \frac{2\pi}{\Delta N}$ ，在实际应用中如果  $\Delta=1\%$ ， $N=1024$ ，则  $n=6$  就能满足要求。可以验证多周期极限采样法是准同步采样法的特例。

## 2 极限检测器的设计

### 2.1 极限检测器的原理

极限检测器主要由 ADC 模块、最大最小值寄存器模块、极限检测模块、数据缓存模块构成，如图 2 所示。

模拟信号经过 12 位 A/D 变换得到的数字量在 FIFO 中进行缓存，检测时钟宽度设置为 4 个输入信号的周期，最大值寄存器的初值设置为二进制有符号数 10000000000，最小值寄存器的初值设置为二进制有符号数 011111111111，数值比较器将所取的每一个数值和最大值、最小寄存器的数值进行比较，当该数值大于最大值寄存器的数值时，该数值对最大寄存器中的数值进行替换，当该数值小于最小寄存器的数值时，该数值对最小寄存器中的数值进行替换。当 4 个周期的数值全部比较完毕以后，检测宽度时钟进行跳变，最大最小值寄存器中的数值被送到 FIFO 进行存储。数据传送完毕以后，检测宽度时钟重新跳变，对最大最小值寄存器进行复位，开始新一轮的极限检测。

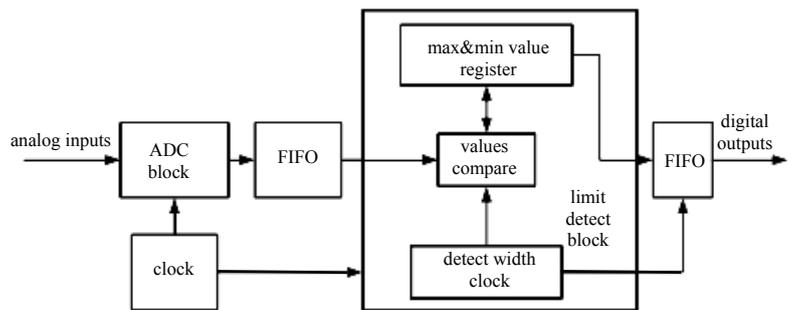


Fig.2 Structure of limit detector  
图 2 极限检测器的结构图

### 2.2 极限检测器的设计

极限检测器用 FPGA<sup>[3-9]</sup>进行设计，FPGA 具有精确度高，速率快，控制灵活的特点。本设计由输入缓存 FIFO1、输出缓存 FIFO2、时钟模块 CLOCK、最大最小值寄存器模块和极限检测模块构成，见图 3。数据缓存器采用 LPM(Library of Parameterized Modules)库中的 FIFO，存储量为 12 bit×64 words，FIFO 需要地址产生器就可以实现数据的存取，使用方便。FIFO 的 EMPTY 和 FULL 引脚指示存储空间的占用情况，EMPTY 为“1”表示缓存

器的状态为空，FULL 为“1”表示缓存器的状态为满。

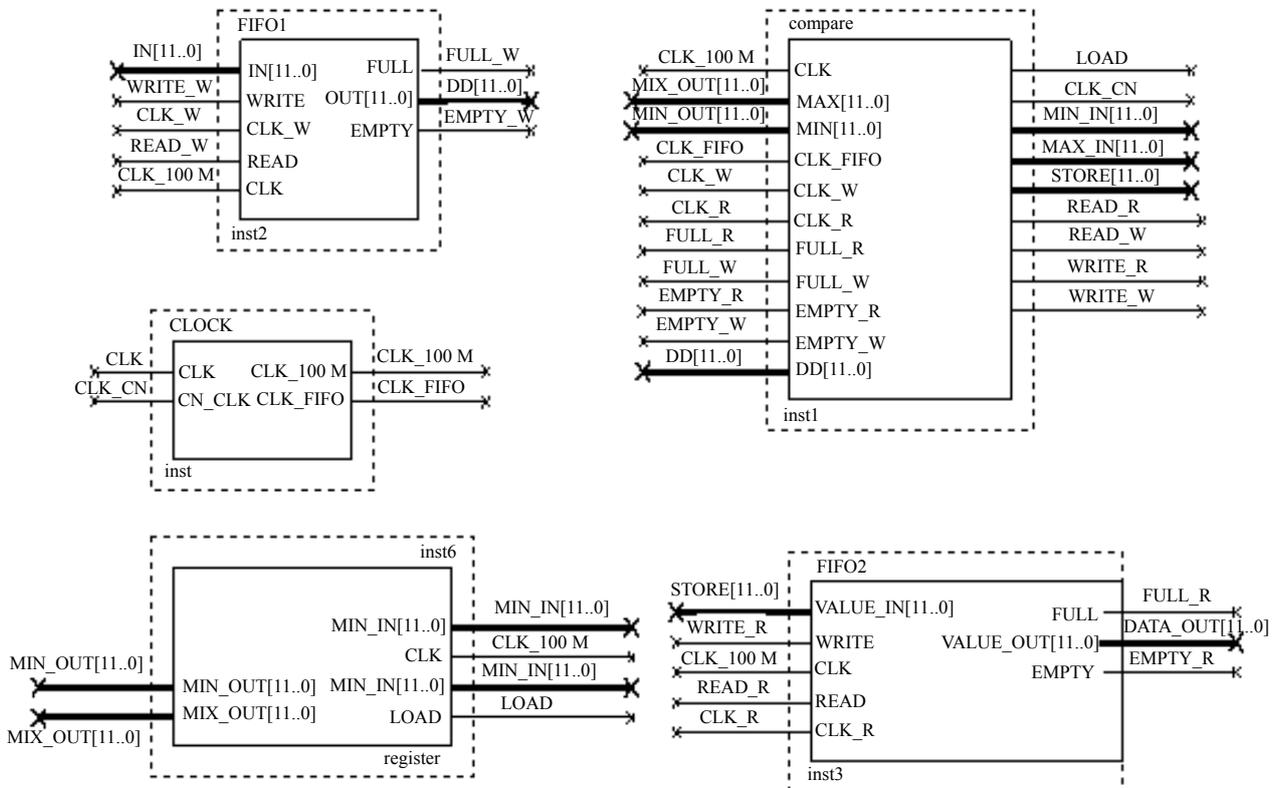


Fig.3 Design of limit detector  
图 3 极限检测器的设计图

最大最小值寄存器采用 2 片 LPM 的 12 bit 移位寄存器，根据设计的需要，可以把移位寄存器设置为并行载入形式，只需要 1 个时钟就可以对寄存器数值进行存取处理。

极限检测模块的部分程序如下：

```

SMALL:=MIN;
BIG:=MAX;
WRITE_R<='0';
READ_W<='1';
N<=N+1;
DATA:=DD;
IF(SIGNED(SMALL)>SIGNED(DATA)) THEN; //最小值交换
    SMALL:=DATA;
    REG_MIN<=SMALL;
END IF;
IF(SIGNED(DATA)>SIGNED(BIG)) THEN; //最大值交换
    BIG:=DATA;
    REG_MAX<=BIG;
END IF;
END IF;
    
```

### 3 数据分析

实验用 QUARTUS 进行仿真，仿真结果如图 4~图 6 所示，图中 CLK=100 MHz 为输入数据采样时钟；CLK\_W=100 MHz 为 FIFO1 采样时钟，与数据输入时钟存在 3 ns 的偏差。IN[11..0]为从-50~49 周期为 1 μs 的输入数据；DATA\_OUT[11..0]为输出的最大值和最小值，最大值在前，最小值在后，时钟周期偏差 Δ 和采样起点偏差 α 反映在 3 ns 上。

由图 4~图 8 可知 DATA\_OUT[11..0]输出的最大值和最小值分别为 45,-48；46,-49；47,-47；48,-47；49,-50。经过 5 个周期的采样最终得到了准确的最大值和最小值。

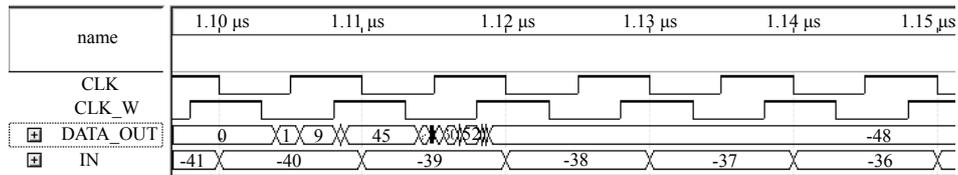


Fig.4 Output of the first cycle  
图 4 第 1 个周期的输出数据

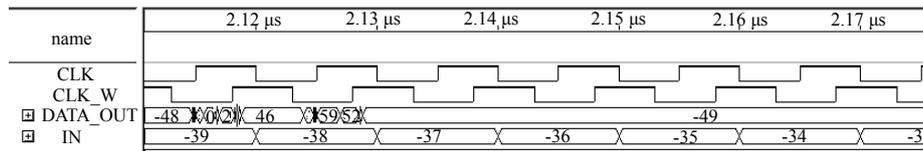


Fig.5 Output of the second cycle  
图 5 第 2 个周期的输出数据

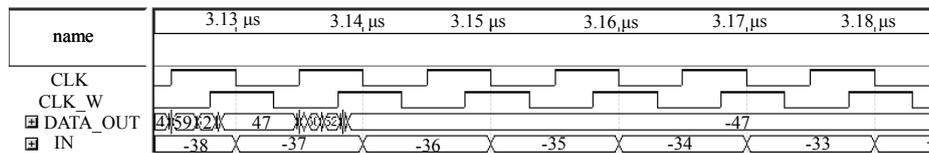


Fig.6 Output of the third cycle  
图 6 第 3 个周期的输出数据

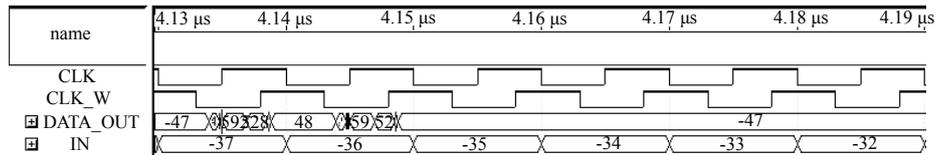


Fig.7 Output of the fourth cycle  
图 7 第 4 个周期的输出数据

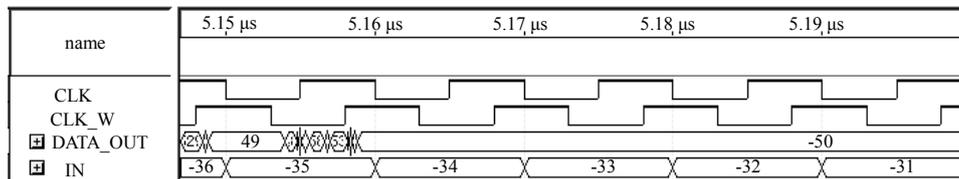


Fig.8 Output of the fifth cycle  
图 8 第 5 个周期的输出数据

## 4 结论

本文通过对准极限采样法的理论研究,得出多周期采样能够获得精确的极限采样值,并通过 QUARTUS 仿真数据对这一结果进行了验证。可见,对周期信号的多周期采样能够避免数据采集过程中重要数据的丢失,从而得到准确的数值。

### 参考文献:

- [1] 戴先中. 准同步采样及其在非正弦功率测量中的应用[J]. 仪器仪表学报, 1984,5(4):390-396. (DAI Xianzhong. The synthetic sample method and its apply in power measurement of non-sine wave[J]. Chinese Journal of Scientific Instrument, 1984,5(4):390-396.)
- [2] 戴先中. 准同步采样中的几个理论和实际问题[J]. 仪器仪表学报, 1986,7(2):203-207. (DAI Xianzhong. The theory and realistic problems of synthetic sample method [J]. Chinese Journal of Scientific Instrument, 1986,7(2):203-207.)
- [3] Johnson H, Graham M. 高速数字设计[M]. 沈立, 朱来文, 陈宏伟, 等, 译. 北京: 电子工业出版社, 2004.
- [4] John F Wakerly. 数字设计原理与实践[M]. 林生, 葛红, 金京林, 等, 译. 北京: 机械工业出版社, 2007.
- [5] Robert K Dueck. 数字系统设计——CPLD 应用与 VHDL 编程[M]. 张春, 译. 北京: 清华大学出版社, 2007.
- [6] 褚振勇, 齐亮, 田红心, 等. FPGA 设计及应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [7] 陈耀和. VHDL 语言设计技术[M]. 北京: 电子工业出版社, 2004.
- [8] 黄任. VHDL 入门·解惑·经典实例·经验总结[M]. 北京: 北京航空航天大学出版社, 2005.

[9] 侯伯亨,顾新. VHDL 硬件描述语台与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社, 1997.

作者简介:



沈聪辉(1988-), 男, 河南省洛阳市人, 硕士, 主要研究方向为自动测试系统集成及应用. email:shenconghui-151051@163.com.

黄盛霖(1962-), 男, 武汉市人, 教授, 国务院政府津贴获得者, 主要研究方向为自动测试系统集成及应用.

赵晓娟(1987-), 女, 河南省漯河市人, 本科, 助理工程师, 主要从事信息系统、信息管理工作.

---

## 热烈庆祝“四川省电子学会成立五十周年庆典暨 2012 年学术年会”即将召开

2012 年, 欣逢四川省电子学会成立五十周年。为隆重纪念五十华诞, 将于 2012 年 6 月在成都新会展娇子会议中心召开“四川省电子学会成立五十周年庆典暨 2012 年学术年会”, 以“携手并进、共创未来”为题制作成立五十周年纪念活动的专辑。

五十周年庆典主题词 **探索、共创、奋进、奉献**

回首 50 年, 我们深感各级领导对学会的关心和支持;

回首 50 年, 我们深感学会同仁的付出与艰辛;

回首 50 年, 我们深感收获的的喜悦和经验的珍贵;

回首 50 年, 我们深感千里之行始于足下。

50 年的探索、50 年的奉献、50 年的事业、50 年的精神值得我们隆重纪念和发扬光大!

今天, 我们重温胡锦涛总书记在纪念中国科协成立 50 周年大会上的重要讲话: “改革开放的伟大时代, 建设创新型国家的伟大任务, 赋予我国广大科技工作者和各级科协组织神圣而光荣的使命”, 这是党的召唤, 发展的机遇, 也是我们奋发有为的空间!

经过学会几代人的艰苦努力、开拓进取, 谱写了学会半个世纪的光荣历史!

让我们珍藏 50 年的历史, 展望充满无限希望的未来!

在此, 我们由衷感谢历届理事会的老领导、老同志为学会发展呕心沥血奠定的基业! 感谢学会历届专、兼职人员的辛勤努力和无私奉献!

**2012 学术年会以创造、服务、共享为主题开展学术交流。**

2012 年 6 月, 我们期待与您在蓉喜相聚!