

文章编号: 2095-4980(2013)02-0266-05

视频目标检测跟踪程序在多核 DSP 上的并行实现

陈 钰, 卿 鄰波*, 杨 龙, 何小海

(四川大学 电子信息学院 图像信息研究所, 四川 成都 610065)

摘 要: 高性能多核 DSP 的通信以及并行执行是多核系统设计的关键。文章分析了视频目标跟踪算法各模块的资源消耗, 对各部分算法提出了并行计算的思路; 提出改进的二值化掩膜法提取背景图像; 提出辅助并行结构以使负载均衡; 研究了 DSP 多核通信的进程间通信(IPC)同步机制, 运用流水线并行结构, 实现三核同步并行处理系统。通过实验, 测试了通信延迟时间, 并把目标跟踪程序合理地划分到 3 个 DSP 核中, 实现并行处理, 达到了实时性要求。

关键词: TMS320C6474 模块; 目标识别; 二值化掩膜; IPC 机制; 负载均衡; 多核通信

中图分类号: TN911.73; TP368.1

文献标识码: A

Realization of video target detecting and tracking procedures in parallel on multi-core DSP

CHEN Yu, QING Lin-bo, YANG Long, HE Xiao-hai

(Image Information Institute, College of Electronics and Information Engineering, Sichuan University, Chengdu Sichuan 610065, China)

Abstract: The communication and parallel-executing of the high-performance multi-core DSP is the key to the multi-core system design. The resource consumption is analyzed for each module of the video object tracking algorithm, and the idea of parallel computing is proposed for each part of the algorithm. The improved Binary-Mask algorithm is proposed to extract the background image; and the proposed auxiliary parallel architecture can realize the load-balance. The Inter Processor Communication(IPC) synchronization mechanisms are researched for DSP multi-core communication. The three-core parallel processing system is realized with pipelined parallel architecture. The communication delay time is tested by experiment, and target tracking program is divided into three DSP cores for parallel processing, which can achieve real-time requirement.

Key words: TMS320C6474; target recognition; Binary-Mask; Inter Processor Communication; load-balance; multi-core communication

视频运动目标的检测与跟踪是近年来一个非常重要的研究课题, 在军事方面运用特别广泛。随着技术越来越成熟以及开发成本的降低, 视频监控及识别这一类系统越来越广泛地运用于日常生活中。

在工程实践中需要使密集型算法满足实时性的要求, 需要进行软件优化, 让 DSP(Digital Signal Processor)充分发挥其性能, 提高软件执行效率, 以达到期望的实时性目标。然而, 当需要处理的数据量非常大, 以致软件优化不能完全满足实时性要求或者满足实时性比较困难的时候, 这就对处理器的性能以及构架有更高的要求。本文基于 TMS320C6474 三核 DSP, 将视频运动目标检测跟踪程序应用于多核系统, 以三核流水的方式及辅助并行计算的方式多核并行, 达到实时性的要求。

1 目标检测跟踪算法设计及并行性分析

视频运动目标的识别提取是进行目标分析、目标跟踪的基础, 其中重点是背景模板的建立及更新, 本文对一

收稿日期: 2012-12-04; 修回日期: 2012-12-14

基金项目: 国家自然科学基金(61201388); 高等学校博士学科点专项科研基金资助项目(20110181120009)

*通信作者: 卿鄰波, qing_lb@scu.edu.cn

般掩膜法提取背景图像进行了改进。整个算法的流程框图如图 1 所示。

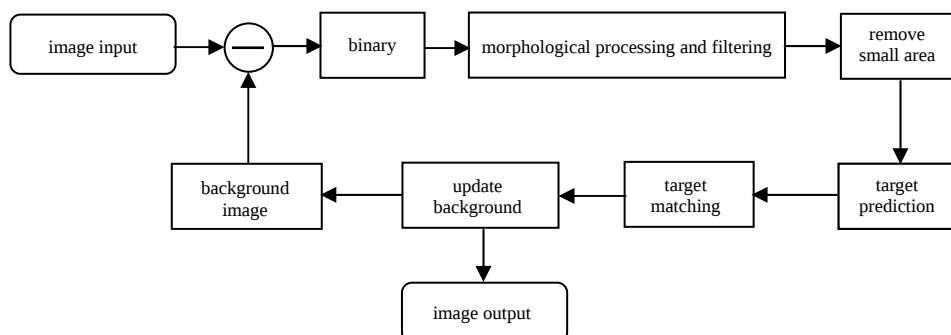


Fig.1 Block diagram of target tracking algorithm

图 1 目标跟踪算法框图

1.1 自适应掩膜法提取背景图像

为了解决一般掩膜算法对在初始场景复杂时,可能出现很长时间才能填好掩膜的问题^[1],提出了一种自动适应场景复杂度的快速掩膜法提取背景图像。背景提取步骤如下:

- 1) 初始化背景模板为第一帧输入图像,背景掩膜为 0,背景图像像素为 0,阈值计数器为 0。
- 2) 将当前帧与背景模板相减,得到差分图像。此差分图像像素值若小于设定的阈值时,将背景掩膜置 1,此时若背景像素值为初始化的 0 时,将当前帧的像素值赋给背景帧对应像素。
- 3) 扫描背景掩膜,统计出所有没有更新的像素点数 T 。
- 4) 当重复 2),3) 两步 10 帧数据后,进行复杂度判定,当 T 与图像总像素点之比小于设定的值(0.1)时,则判定初始背景比较简单,设定此算法执行的帧数阈值为 80,反之判定初始背景比较复杂,设定此算法执行的帧数阈值为 130。

提取完背景图像之后,每次执行完一帧数据的运算,都要进行背景模板更新,同样采用步骤 2),3)更新背景模板。经实验测试,这些经验值可以较好地适应各种复杂程度的背景进行背景建模,快速得到较好的背景图像,缺点是在背景很复杂的情况下背景提取效果存在空洞,需要后续改进。

1.2 算法并行性分析

本文的目标检测算法选用背景差法,应用自适应二值化掩膜法迅速提取背景图像,然后当前帧图像与背景图像相减得到目标图像。目标图像还需要进行滤波以及形态学处理,去除杂点噪声,得到更加准确的运动目标。目标提取出来之后,就进入目标跟踪的预测处理,采用的是线性运动估计下的区域模板相关模板匹配方法^[2]。整个算法流程的最后要进行匹配模板图像^[3]、方差图像以及背景图像的更新运算^[4],用于下一帧的处理。

从图 2 中各模块所占的时间比可以看出,模块间的复杂度很不均衡,为了最大化地利用多核可利用的并行性,需要对每个模块进行可并行化分析。整个算法中各算法模块的时间顺序串行性是确定的,因为大部分的模块都需要依次进行运算。下面只考虑运算量较大的模块。二值化算法可以平均分割图像数据块,在各内核中并行地处理完所有数据块,但是要注意的是分割图像数据块时,存在数据伪共享问题,可以采用 Cache 行对齐的方式来解决^[5]。最大类间方差阈值分割算法的二值化算法部分不能拆分开,只能对最大类间比较算法部分进行拆分,但是它不仅需要划分数据块,而且还需要在算法上进行改动,需要在主核上将各核传回来的结果进行综合比较,最终得到最大类间的阈值。用类似的方法分割其余耗时算法。注意到 MCD 模块是用一个目标数据块在一个预测窗口中进行模板匹配计算,被分割后的小窗口之间,必须要有目标数据块长、宽长度 1/2 的重合量,才能保证算法的正确性。

2 辅助并行结构

由于目标跟踪算法的串行性,导致整个算法运行在多核流水线上。基于主从模型的并行结构中,可以考虑让

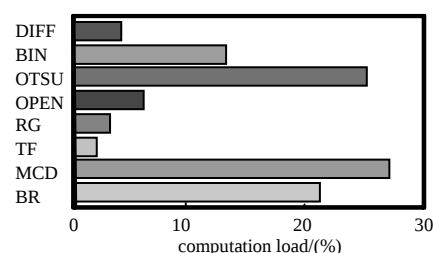


Fig.2 Load of every algorithm module

图 2 各算法模块的负载

C6474 中的一个核作为偏重于辅助并行算法计算的内核。提出辅助并行结构,主要目的是为了解决负载均衡的问题,由于各模块组合后,分到各核上的负载存在一定的不均匀性,某些核上的负载较小,为了让各核负载均衡,可以让负载较小的核去帮助其他核并行地完成耗时较大的算法,这样可以根据算法的时效来定量地分配每个核的任务模块及并行算法。结构原理图如图 3 所示,Core1 分别辅助 Core0 和 Core2 的模块 B 和模块 F 并行处理。

为了保证并行算法在某一时间开始运行后,主核与辅助核在某一内存块中取到的数据的正确性,要求主核与辅助核在同一时间执行某一并行算法,并以共享全局变量标志作为同步信号,保证算法的正确性。把辅助核等待主核的协助信号这段时间利用起来,比较简单的方式是采用查询,前提是模块所消耗的时间比较稳定,并合理地把非并行算法模块安排在并行算法之间,这样就可以采用查询等待的方式来控制辅助核上并行算法的执行,更充分地利用各核的资源。

负载均衡是多核性能的重要指标,本文中主要针对计算量较大的模块进行模块分割,然后主核与辅助核并行执行这些模块。综合分析图 2 中每个模块的时间消耗,将各分割好的算法放到 3 个核中,三核流水基本可以达到负载均衡。

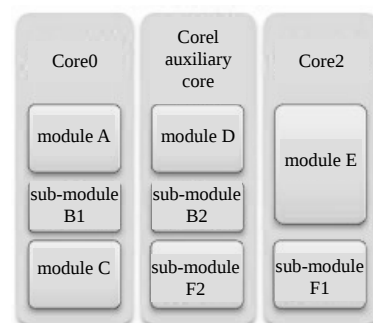


Fig.3 Auxiliary parallel architecture
图 3 辅助并行结构

3 TMS320C6474 多核通信实现

3.1 C6474 多核通信基础

C6474 TM320C6474 是 TI 推出的早期多 DSP 内核处理器,集成了 3 个 TM320C64x+的内核。C6474 提供了支持多核构架的资源,可以自己定义一个完整通用的内核通信模型。

C6474 多核通信是由 IPC 机制^[6-7]来实现的。IPC 是一个全局模块,通过 CFG 总线连起来。可以设定一个内核为主核,它可以给 IPC 信号发生寄存器(IPCGR)的最低位写 1 来给目标核产生中断,还可选择性地加入中断源 ID 标志位(SRCS)。在目标核中,可以从这个标志位知道是哪个核产生了这个中断。

为了实现数据在各个核之间的交换,本文采用了内存搬移的数据传递方式,它可以解决使用内存共享^[8-9]方式不能多核同时处理一块数据的问题,并且消除了内存伪共享问题。

3.2 目标识别算法在 3 个 DSP 内核上的并行实现

由于目标识别算法在整个流程上必须顺序执行,本文采用基于流水线的并行结构。它是基于顺序数据流模型的一种并行结构,首先要将算法合理地分割成 3 部分,为了保证流水线并行处理,需要确认算法第 1 部分不依赖于第 3 部分的结果。注意到目标识别算法中更新的背景图像会用于下一帧图像的处理,可以考虑将背景更新等算法提前到第 1 部分程序中,然后将剩下的算法合理地分配到第 2、第 3 部分中。这里采用第 2 节的安排进行模块的分配。这里需要用到 DSP/BIOS 提供的信号量模块。并行算法的流程图如图 4 所示。

首先为每个核设定一个忙的标志位,以确保每部分的算法执行完成后才能执行下一帧的处理。每个核由信号量 SEM_PEND 保持阻塞,必须由其他核来修改 IPC 寄存器使其进入中断服务程序,解除阻塞,然后执行算法程序,此段为无限循环,最终又回到阻塞状态。为达到三核并行,在 Core0 执行完后解除 Core1

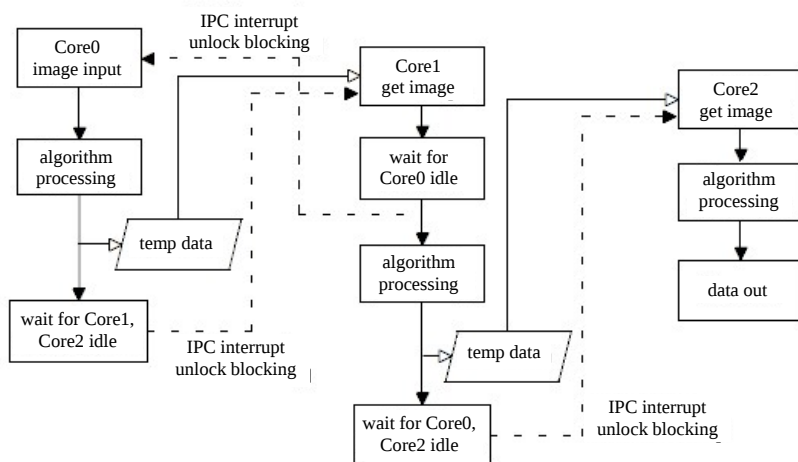


Fig.4 Flowchart of three-core pipeline parallel algorithm
图 4 三核流水循环并行算法流程图

的阻塞, Core1 阻塞解除后, 立即解除 Core0 的阻塞, 这样, Core0 和 Core1 并行地执行程序。Core0 执行完毕时检测 Core1 和 Core2 的忙标志, 若都是空闲, 则发送给 Core1 解除阻塞的信号。Core1 执行完毕时检测 Core0 和 Core2 的忙标志, 若都是空闲, 则发送给 Core2 解除阻塞的信号。这样, 3 个核就以流水线的方式并行地运行了。

在文献[10]中采用的三核并行方式, 只是简单地把算法分成 3 部分到 3 个核中, 没有进行负载均衡等优化操作, 三核并行的资源利用率不高, 本文提出的辅助并行结构可以解决这个问题, 更好地利用流水线三核并行结构完成实时算法。

4 多核通信实验及结果

4.1 三核通信的延迟

由于建立通信机制需要初始化操作, 以及通信方式的复杂程度所引起的通信延迟是不可避免的。表 1 显示了每个核从发出通信信号到接收到信号并开始执行数据处理这一段延时时间。

从表中可以看到, Core0 通信延时最大, 这也是整个三核同步通信的延时。通常处理 CIF 格式的目标跟踪程序, 经过大量优化, 可以达到 10 ms 以下。按 C6474 以 1 GHz 核心频率来计算, 算法所用时间在通信延时时间的 3 个数量级以上, 因此通信延时开销可以忽略。

4.2 三核并行测试

三核并行执行目标跟踪程序, 按照算法的时间开销, 把整个算法平均分配到 3 个核上, 但这仅仅是理想情况, 它由函数的独立性以及算法的分权判断等所限制。将有分支的算法部分划分到了 Core2 上, 程序没有进行编译器优化, 采用的是 CIF 格式 (352×288) 的图像, 每个核所承担的工作量如表 2 所示。

可以看到 Core2 上因为分支流向不同, 运算时间也不同。并且, 由于算法针对每帧图像的处理时间也会不同, 本文为每个核取了一个较平均的参考值。由于三核启动并行到并行结束有流水循环填充和排空的过程, 因此计算三核并行效率时, 需要将这 2 个过程考虑进去。按最大时间 38×106 cycles 来计算, C6474 按 1 GHz 的频率运行, 这个时间就是 38 ms, 假设总共有 N 帧图, 则每帧图像所需的时间是 $\frac{N+2}{N} \times 38 \text{ ms}$, 略大于 38 ms。经实验测试, 在一个 DSP 核上跑整个算法所用时间大概是 114 ms 或者 87 ms, 取一个中间值 100 ms, 也就是处理每帧图需要 100 ms。对一个视频流, 背景建模完成之后, 分别在 1 个内核和三核并行这 2 种系统上进行测试, 前 20 帧的数据如图 5 所示。

可见, 三核并行中由于每个核工作量分配得比较合理, 每帧图像处理时间比较稳定。每帧图像三核并行的时间是单核顺序执行时间的 38%, 从 10 帧/s 增加到了 26 帧/s, 达到了实时性要求, 可见三核并行同步对算法效率的提升是很大的。

在很多时候, 一个算法在进行了代码级优化、算法的改进、编译器优化以及改写为汇编程序等优化工作之后, 仍然达不到预期目标的话, 就需要对整个硬件进行并行化的考虑, 以满足高分辨率高速图像实时处理等实际需要。

5 结论

本文针对早期多 DSP 核器件 C6474 的多核并行机制进行了研究, 使三核能够并行地运行程序, 提出了一种

表 1 三个核的通信延时对比

Table1 Comparison of three cores' communication latency			
C6474 Core	Core0	Core1	Core2
communication latency consumption/cycles	6 136	5 028	2 640

表 2 目标跟踪算法在 3 个核上的分配情况

Table2 Allocation of target tracking algorithm on three cores			
C6474 Core	Core0	Core1	Core2
algorithm consumption /cycles	33 909 741	37 177 065	11 136 876 or 38 183 452

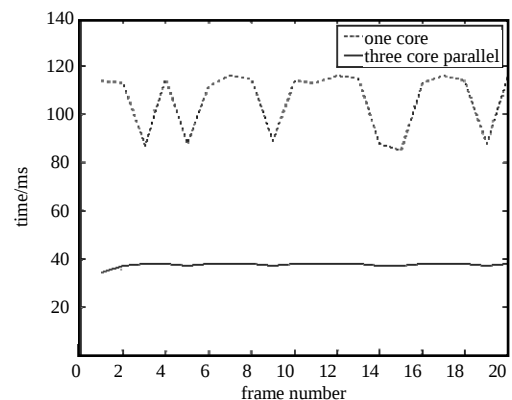


Fig.5 Time-consuming comparison between the single-core and three-core parallel

图 5 单核与三核并行的耗时对比

更快提取背景的方法,并根据目标跟踪程序的算法间的数据依赖关系及 C6474 多核的特点进行模块分配和数据交互优化,运用辅助并行运算,将算法应用到三核并行系统中去,达到了更高的运行效率。这也从另一方面使需要实时处理的程序得到了进一步优化,让高分辨率高速图像处理系统更加容易地进行开发。这为工程中的并行化处理系统做了一个参考,具有一定的实用价值。

参考文献:

- [1] 曾诗,丁威,杨旭. 视频序列中的背景建模及更新研究[J]. 视频通信, 2011(7):54-57. (ZENG Shi,DING Wei,YANG Xu. Research of background modeling and updating in video sequence[J]. Video communication, 2011(7):54-57.)
- [2] 任仙怡,廖云涛,张桂林. 一种新的相关跟踪方法研究[J]. 中国图象图形学报, 2002,6(7):553-557. (REN Xianyi,LIAO Yuntao,ZHANG Guilin. A New Correlation Tracking Method[J]. Journal of Image and Graphics, 2002,6(7):553-557.)
- [3] 陈思,杨健. 基于一维匹配滤波的 SAR 目标识别[J]. 信息与电子工程, 2011,9(2):133-137. (CHEN Si,YANG Jian. SAR target recognition based on one dimensional matched filtering[J]. Information and Electronic Engineering, 2011,9(2): 133-137.)
- [4] 康晓晶,吴谨. 基于高斯背景建模的目标检测技术[J]. 液晶与显示, 2010,25(3):454-459. (KANG Xiaojin,WU Jin. Object Detecting Technology Based on Gauss Background Modeling[J]. Chinese Journal of Liquid Crystals and Displays, 2010,25(3):454-459.)
- [5] 赵富. 多核并行计算中 Cache 伪共享的研究[J]. 计算机与现代化, 2012(3):173-176. (ZHAO Fu. Research on Cache False Sharing in Multi-core Parallel Computing[J]. Computer and Modernization, 2012(3):173-176.)
- [6] Texas instruments incorporated. Inter-Core Communication on TMS320C6474[EB/OL]. [2012-12-04]. <http://www.ti.com>.
- [7] Texas instruments incorporated. Multicore Programming Guide[EB/OL]. [2012-12-04]. <http://www.ti.com>.
- [8] 杨建,阳晔,严晓浪,等. 片上双核通信机制的设计与应用[J]. 微电子学, 2007,37(1):28-32. (YANG Jian,YANG Ye, YAN Xiaolang,et al. Design of Communication Mechanisms for Dual-Core on Chip and Its Application[J]. Microelectronics, 2007,37(1):28-32.)
- [9] David R G. Micro-RISC architecture for the wireless market[J]. IEEE Micro, 1999,19(4):30-37.
- [10] 李鑫,姜明. 多核 DSP 高速实时信号处理系统设计[J]. 光学技术, 2012,38(1):116-120. (Lin Xin,Jiang Ming. Realization of a real time signal processing system based on multi-core DSP[J]. Optical Technique, 2012,38(1):116-120.)

作者简介:



陈 钰(1988-),男,重庆市人,在读硕士研究生,研究方向为数字图像处理、通信与信息系统等.email:476092225@qq.com.

卿 粼波(1982-),男,四川省资阳市人,博士,讲师,主要研究方向为图像处理与图像通信.

杨 龙(1982-),男,陕西省咸阳市人,在读博士研究生,主要研究方向为嵌入式图像处理.

何小海(1964-),男,四川省绵阳市人,博士,教授,主要研究方向为图像处理与图像通信.