

文章编号: 2095-4980(2013)02-0282-04

## 小点数 Winograd 傅里叶变换算法处理器设计

李天悦, 何 晶, 许信玉

(中国传媒大学 信息工程学院, 北京 100024)

**摘 要:** Winograd 傅里叶变换算法(WFTA)是一种针对非 2 的整数次幂的小点数离散傅里叶变换(DFT)的快速算法, 其运算速度对系统性能具有直接影响。根据各小点数的实际情况, 分别进行了硬件结构的设计, 在 3 点和 4 点的 WFTA 设计中采用移位寄存器和累加器为基础的电路结构, 得到了较好的结果; 当点数增加到 5 点、7 点和 9 点时, 采用加/减法矩阵分解方法, 保证较快的运算速度。通过仿真结果表明, 设计方案满足流水线要求, 具有较强的数据处理能力。

**关键词:** 矩阵分解; 电路结构; 流水线; 计算量

**中图分类号:** TN911.7

**文献标识码:** A

## Design for small point Winograd Fourier Transform Algorithm processor

LI Tian-yue, HE Jing, XU Xin-yu

(School of Information Technology, Communication University of China, Beijing 100024, China)

**Abstract:** Winograd Fourier Transform Algorithm(WFTA) is a fast algorithm of small points of DFT applying to the non-two integer power, and its computing speed shows a direct impact on system performance. The paper gives the design of hardware structure according to the actual situation of each small point, which adopts shift register and accumulator-based circuit structure in the WFTA design when the point is 3 or 4; when the point increases to 5, 7 and 9, it adopts the method of addition or subtraction matrix factorization to ensure fast computing speed. The simulation results show that the design scheme meets pipeline requirements, and its data processing capability is strong enough.

**Key words:** matrix decomposing; architecture of circuit; pipeline; amount of calculation

近年来随着通信行业的迅猛发展, 傅里叶变换在信号处理领域的应用越来越广泛。对于非 2 的整数次幂的大点数快速傅里叶变换(Fast Fourier Transform, FFT)的实现方案, 通常采用通过混合基和素因子算法进行因子分解, 将其转换为多维小点数组合算法的方法。如果所分解的小点数不是 2 的整数次幂, 则无法利用现已十分成熟的基-2 算法, 此时使用 Winograd 傅里叶变换算法(WFTA)便可以很好地完成这类运算<sup>[1]</sup>。

WFTA 电路经常作为较大系统的基本运算模块, 在硬件电路设计中通常采用流水线结构。本文对小点数 WFTA 算法进行分析, 针对其不同特点, 设计了流水线 WFTA 模块, 保证了系统进行数据处理的最高工作频率。

### 1 WFTA 的算法原理

WFTA 将傅里叶变换转换成矩阵运算的形式, 这种计算小  $N$  点傅里叶变换的算法通过矩阵分解, 大大降低了乘法数目<sup>[2]</sup>。其思路是将计算转化为与 3 个特殊矩阵相乘的形式:  $\mathbf{X}=\mathbf{CBA}x$ , 其中  $x$  表示输入序列,  $\mathbf{C}$  矩阵和  $\mathbf{A}$  矩阵中的元素一般为  $-1, 1, 0, -j$  或  $j$ ,  $\mathbf{B}$  矩阵元素都是纯实数或纯虚数的对角阵。这样在实现 WFTA 模块时, 只需将  $\mathbf{C}$  和  $\mathbf{A}$  看作 2 个累加阶段, 而与  $\mathbf{B}$  相乘的阶段则是一个实数乘法操作, 运算量得到了很大简化。

不同小点数分解后得到的  $\mathbf{C}, \mathbf{B}$  和  $\mathbf{A}$  矩阵具有不同的特点。下面以 3 点和 5 点为例:

$$\text{当 } N=3 \text{ 时, } \mathbf{A} = \begin{pmatrix} 1 & 1 & 1 \\ 0 & 1 & 1 \\ 0 & 1 & -1 \end{pmatrix}, \mathbf{C} = \begin{pmatrix} 1 & 0 & 1 \\ 1 & 1 & -j \\ 1 & 1 & j \end{pmatrix}, \mathbf{B} = \begin{pmatrix} 1 & & \\ & \cos \theta - 1 & \\ & & \sin \theta \end{pmatrix}, \text{ 其中 } \theta = 2\pi/3.$$

$$\text{当 } N=5 \text{ 时, } \mathbf{A} = \begin{pmatrix} 1 & 1 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 1 \\ 0 & 1 & -1 & -1 & 1 \\ 0 & 1 & -1 & 1 & -1 \\ 0 & 0 & -1 & 1 & 0 \\ 0 & 1 & 0 & 0 & -1 \end{pmatrix}, \mathbf{C} = \begin{pmatrix} 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & -j & j & 0 \\ 1 & 1 & -1 & -j & 0 & -j \\ 1 & 1 & -1 & j & 0 & j \\ 1 & 1 & 1 & j & -j & 0 \end{pmatrix}, \mathbf{B} = \begin{pmatrix} 1 & & & & & \\ & b_1 & & & & \\ & & b_2 & & & \\ & & & b_3 & & \\ & & & & b_4 & \\ & & & & & b_5 \end{pmatrix}。$$

其中  $b_1=(\cos \theta+\cos 2 \theta) / 2-1$ ;  $b_2=(\cos \theta-\cos 2 \theta) / 2$ ;  $b_3=\sin \theta$ ;  $b_4=\sin \theta+\sin 2 \theta$ ;  $b_5=\sin 2 \theta-\sin \theta$ ;  $\theta=2 \pi / 5$ 。

可以看出, 在实现 WFTA 算法时, 可以使用加/减法运算, 而且仅需要很少的实数乘法, 大大简化了运算。

## 2 小 N 点 WFTA 模块硬件结构

### 2.1 3 点和 4 点 WFTA 电路结构

由小点数 WFTA 算法的分解矩阵可知,  $\mathbf{A}$  阵和  $\mathbf{C}$  阵中的元素通常只有  $-1, 1, 0, -j$  和  $j$ , 即  $\mathbf{A}, \mathbf{C}$  只对输入进来的序列元素进行加、减或无操作的处理<sup>[3]</sup>, 这前后 2 个累加阶段和中间  $\mathbf{B}$  阵乘法阶段的数据处理可以采用如图 1 所示的结构(以 3 点为例)。

图 1 中  $R1 \sim R6$  表示移位寄存器,  $A1 \sim A6$  表示累加器。输入序列依次进入移位寄存器中, 由  $\mathbf{A}$  矩阵控制累加器的运算<sup>[4]</sup>。数据经过  $\mathbf{A}$  阶段的处理后通过数据选择器进入  $\mathbf{B}$  阶段进行乘法计算, 最后通过与  $\mathbf{A}$  输入部分相似的  $\mathbf{C}$  输出累加部分, 完成基本 WFTA 模块的数据处理。

4 点 WFTA 模块的结构与图 1 相似, 由于 4 点算法中  $\mathbf{B}$  阵元素都为 1, 因此可以省去乘法部分。

### 2.2 5 点、7 点和 9 点 WFTA 电路结构

WFTA 电路结构可以较好地完成 3 点和 4 点的 FFT 运算, 但当点数增加至 5 点及以上时, 输入和输出部分不再是  $N \times N$  的正方形矩阵。以 5 点的输入阵为例, 累加部分是一个  $6 \times 5$  型阵, 这就导致了输入和输出周期不一致, 破坏了数据在流水线结构中的连贯性, 需要额外的控制电路<sup>[5]</sup>。

在上文提到的 3 点 WFTA 结构中, 子矩阵  $\mathbf{C}$  和  $\mathbf{A}$  进行运算时都没有充分利用计算中的中间结果, 以 3 点 WFTA 的实部  $\mathbf{A}$  矩阵运算为例, 3 个累加器的运算结果如下:

$$a_2=x(1)-x(2); a_1=x(1)+x(2); a_0=x(0)+a_1$$

在上文电路结构中, 计算  $a_0$  的过程中没有利用  $a_1$  这个中间结果, 而是重复了  $x(1)+x(2)$  的操作, 浪费了功耗, 这在点数增大时和需要大量反复计算的大规模系统中会更加明显, 因此在更大点数的 WFTA 研究中尝试新的结构是十分必要的。本文从保证数据在电路中的连贯性出发<sup>[6]</sup>, 考虑节约功耗的因素, 在 5 点、7 点和 9 点的 WFTA 设计中采用图 2 所示的电路结构(以 5 点为例)。

电路中只有与移位寄存器直接相连的加/减法和寄存器需要时钟使能端口, 它们由状态机控制, 每 5 个时钟周期有效一次, 其他时刻由于一帧数

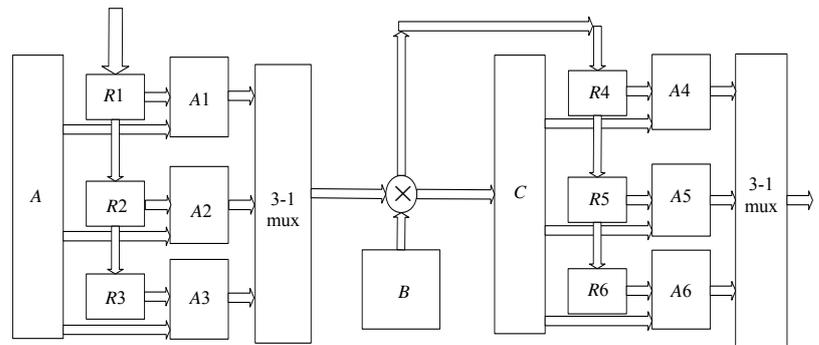


Fig.1 Structure for 3 point WFTA  
图 1 3 点 WFTA 结构

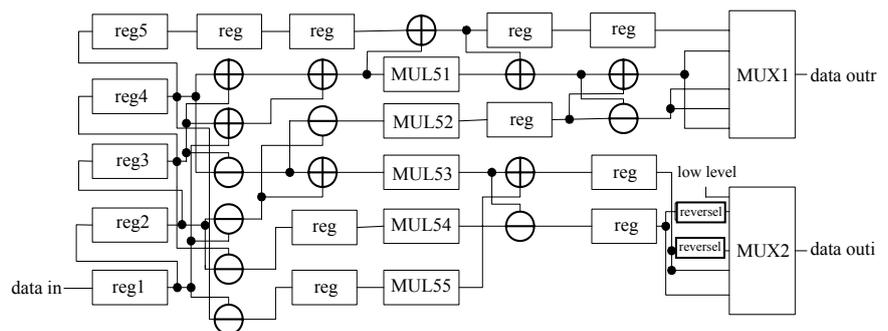


Fig.2 Structure of 5 point WFTA circuit  
图 2 5 点 WFTA 电路结构

据还没有到达自己在算法中的位置,因此不会将其读入。图中的加/减法器进行固定的运算,保证了计算过程中中间结果的充分利用,在乘法阶段后进行数据的截位,而后继续进行输出部分的加/减运算,实部和虚部的运算结果同时输出。表 1 给出了时钟使能端口的时序,其中  $regN$  表示用于移位的第  $N$  个寄存器,  $x1\sim x5$  和  $y1\sim y5$  分别表示连续输入的 2 帧序列,  $clken$  表示与移位寄存器直接相连的加/减法器寄存器的时钟使能端,  $cycleN$  表示时钟沿的到来时刻。

当时钟使能端口有效后,数据进入运算阶段,图 2 中加/减法器寄存器和寄存器分别表示对数据进行加/减或无操作处理,若以时钟使能有效时算作  $cycle1$  时刻,表 2 给出了运算过程的时序,其中  $tN$  和  $tNN$  是运算过程中的中间信号,  $mul5N$  表示固定乘法器,乘数是算法中  $B$  矩阵的元素,  $B$  中为 1 的元素可忽略不做处理。

当运算完成后数据通过选择器输出结果。表 3 是 2 个选择器的各个端口与运算阶段得到信号的连接。定义一个信号  $t0$  为零值,  $mux1$  和  $mux2$  分别是输出实部和虚部运算结果的选择器。

以上仅以 5 点 WFTA 模块为例说明了适应流水线要求的电路设计方案,7 点和 9 点 WFTA 模块的设计方法与此类似。需要特别说明的是,9 点 WFTA 算法的输入阵  $A$  中存在元素 2 和 3 的问题,设计中可采用先乘 2 再相加的方法来计算。

### 3 实验结果及分析

本实现方案通过 QUARTUS 软件进行仿真,选择 ALTERA 公司 CYCLONEII 系列 EP2C70F896C6 芯片,使用 16 bit 定点数进行实验和分析,硬件仿真与 MATLAB 模拟的相应结构所得结果一致。将文中所述结构的 5 个小点数 WFTA 模块应用于 3780 点 FFT 电路<sup>[7]</sup>中进行仿真,结果表明,使用全流水线 WFTA 模块的系统最大工作频率可达到 151.01 MHz,存储空间所占比例为 78%,具有较强的数据处理能力。

### 4 结论

WFTA 电路是大点数 FFT 系统的基本运算模块,它的运算速度对其所在的整个系统的性能具有直接影响。通常小点数的 WFTA 处理器采用以移位寄存器和累加器为基础的电路结构,可以很好地保证系统在流水线结构中的工作。本文在 3 点和 4 点 WFTA 设计中使用这种结构得到了较好的结果。但由于此结构随着点数的增加会给电路的连续性带来新的难题,因此当点数增加到 5 点、7 点和 9 点时,采用对算法中加/减法矩阵进行分解的方法,直接使用加/减法器,避免了额外控制电路的设计,在较大的小点数 WFTA 电路中依然可以保证较快的运算速度,满足流水线结构的工作要求。

#### 参考文献:

- [1] 胡广书. 数字信号处理—理论、算法和实现[M]. 北京:清华大学出版社,1996. (HU Guangshu. Digital Signal Processing theory, algorithms and implementation[M]. Beijing: Tsinghua University Press, 1996.)
- [2] 何星,张铁军,侯朝焕. 流水线结构 FFT/IFFT 处理器的设计与实现[J]. 微电子学与计算机, 2007,24(4):141-143,147. (HE Xing, ZHANG Tiejun, HOU Chaohuan. Design and Implementation of pipelined architecture of the FFT/IFFT processor[J]. Microelectronics and Computer, 2007(4):141-143,147.)

表 1 5 点 WFTA 模块读入控制时序

	reg1	reg2	reg3	reg4	reg5	clken
cycle1	x1					1
cycle2	x2	x1				0
cycle3	x3	x2	x1			0
cycle4	x4	x3	x2	x1		0
cycle5	x5	x4	x3	x2	x1	0
cycle6	y1	x5	x4	x3	x2	1
cycle7	y2	y1	x5	x4	x3	0
cycle8	y3	y2	y1	x5	x4	0
cycle9	y4	y3	y2	y1	x5	0
cycle10	y5	y4	y3	y2	y1	0
cycle11	...	y5	y4	y3	y2	1

表 2 5 点 WFTA 中间信号运算时序表

cycle1	cycle2	cycle3	cycle4	cycle5
$t1=x1$	$t11=t1$	$t21=t11+t12$	$t31=t21$	$t41=t31$
$t2=x2+x3$	$t12=t2+t3$	mul51	$t32=t22+t21$	$t42=t32+t33$
$t3=x4+x5$	$t13=t4-t5$	mul52	$t33=t23$	$t43=t32-t33$
$t4=x2-x3$	$t14=t4+t5$	mul53	$t34=t24+t26$	$t44=t34$
$t5=x4-x5$	$t15=t6$	mul54	$t35=t24-t25$	$t45=t35$
$t6=x4-x3$	$t16=t7$	mul55		
$t7=x2-x5$				

表 3 5 点 WFTA 模块中选择器与信号的连接

	mux1	mux2
data0x	t41	t0
data1x	t42	t0-t45
data2x	t43	t0-t44
data3x	t43	t44
data4x	t42	t45

- [3] 程佩青. 数字信号处理教程[M]. 3版. 北京:清华大学出版社, 2007. (CHENG Peiqing. Digital signal processing tutorial[M]. 3rd. Beijing:Tsinghua University Press, 2007.)
- [4] 刘晓明,孙学. 基于FPGA的可扩展高速FFT处理器的设计与实现[J]. 电讯技术, 2005,45(3):147-151. (LIU Xiaoming, SUN Xue. Design and Implementation of high-speed FFT processor based on FPGA[J]. Telecommunications technologies, 2005,45(3):147-151.)
- [5] 崔振,王永贺,门爱东. DMB-T系统中FFT模块的设计与实现[J]. 电视技术, 2008,32(z1):6-7. (CUI Zhen,WANG Yonghe, MEN Aidong. Design and Implementation of the FFT module in DTMB-T system[J]. Video Engineering, 2008,32(z1):6-7.)
- [6] YANG Zhixing,HU Yupeng,PAN Changyong. Design of a 3780 point IFFT processor for TDS-OFDM[J]. IEEE Transactions on Broadcasting, 2002,48(1):57-61.
- [7] 胡强,林飞飞,覃团发. 正交频分复用技术在协作通信下的应用[J]. 信息与电子工程, 2012,10(2):143-147. (HU Qiang, LIN Feifei,QIN Tuanfa. Orthogonal Frequency Division Multiplexing under a collaborative communication[J]. Information and Electronic Engineering, 2012,10(2):143-147.)

#### 作者简介:



李天悦(1987-),男,石家庄市人,在读硕士研究生,主要研究方向为FPGA设计.  
email:tiantian9822@126.com.

何晶(1970-),女,北京市人,博士,副教授,主要研究方向为多媒体信号处理,VLSI电路设计、信号处理结构等.

许信玉(1951-),女,北京市人,教授,硕士生导师,主要研究方向为现代电子设计.