

文章编号: 2095-4980(2014)01-0136-05

基于 TMS320C6455 DSP 的 PCI 接口设计

熊 璐

(中国电子科技集团公司 第10研究所, 四川 成都 610036)

摘要: TMS320C6455 是 TI 公司的一款高性能数字信号处理芯片(DSP), 具有丰富的外部接口。本文介绍了该芯片外围设备组件互连(PCI)接口控制器的性能特点, DSP 内部的工作机制, 地址映射方式, 详细分析了 2 种工作方式的总线传输特点和性能, 并给出了将其应用于卫星基带信号接收卡的设计实例。通过使用 TMS320C6455 DSP 的 PCI 控制器简化了硬件接口设计, 具有灵活高效的特点, 已在工程应用中取得了良好效果。

关键词: TMS320C6455 接口; 外围设备组件互连; 地址映射; 总线传输; 中断

中图分类号: TN111

文献标识码: A

doi: 10.11805/TKYDA201401.0136

Peripheral Component Interconnect interface design based on TMS320C6455 Digital Signal Processing

XIONG Lu

(The 10th Research Inst. of the CETC, Chengdu Sichuan 610036, China)

Abstract: TMS320C6455 is a kind of high-performance fixed-point Digital Signal Processing(DSP), which integrates various peripherals. This paper firstly introduces the features of the Peripheral Component Interconnect(PCI) interface controller, the way to communicate with other modules in DSP and the address mapping of slave/master work mode. Then bus transfer characteristics and performance of two work modes is analyzed in detail and the application of its PCI interface controller on satellites baseband signal receiver is also given. TMS320C6455's PCI interface controller can simplify the hardware design, and have the characteristics of flexible and efficient, therefore it has good application prospects in engineering practice.

Key words: TMS320C6455; Peripheral Component Interconnect; address mapping; bus transfer; interrupt

PCI总线是一种高性能局部总线, 其数据总线为32 bit, 可扩展为64 bit, 最大数据传输速率为128 MBps~528 MBps。由于PCI局部总线独立于处理器的独特设计和其高性能、低成本、开放性等方面的优势, 它已在嵌入式计算机和工业控制计算机方面具有广泛的应用前景^[1]。在一些航天、通信、雷达的应用中, 为了实时监控信号处理设备的状态并对设备进行管理控制, 往往需要将信号处理的各种数据通过PCI总线传送到上位机中, 进行后续的分析处理。但由于PCI协议的复杂性, 在开发PCI总线的外设时一般使用专用PCI接口芯片进行数据传输。TMS320C6455(以下简称C6455 DSP)是TI公司的一款高性能DSP, 不仅具有高速的数据运算能力, 而且有丰富的外部接口, 如外部存储器EMIF接口、PCI接口、高速串行接口Serial RapidIO、三速以太网MAC控制器等^[2]。使用C6455 DSP所提供PCI接口, 可以简化信号处理设备的硬件设计, 提高DSP利用率, 使这种数据交换变得简单容易。

1 C6455 DSP PCI接口特点

C6455 DSP集成的PCI总线控制器, 具有以下特点^[3]: a) 遵循PCI规范r2.3; b) 提供独立的PCI接口功能; c) 数据位宽32 bit; d) 总线时钟高达66 MHz; e) 优化的突发传输功能, 支持cache行为16,32,64,128字节^[4]; f) 支持主

模式/从模式 2 种数据传输工作模式。

2 C6455 的 PCI 控制器与 DSP 内部的通信方式

PCI控制器与EDMA控制器、CPU主控模块、其他DSP资源(如EMIF,DSP内部存储器等)、PCI外部存储器和外部主控设备的连接关系如图1所示。PCI总线通过数据交换中心资源(Data Switched Central Resource, DSCR)与DSP的内部资源相连。当C6455 DSP作为主设备时, 如果传输地址范围在主设备存储映射范围内, PCI控制器将发起传输, 在PCI总线上产生相应的PCI地址和传输请求。外部PCI从设备收到请求后, 将进行后续响应。

当C6455 DSP作为从设备时, 如果外部PCI主设备发起传输, PCI控制器内部地址译码模块将对PCI总线上的地址进行译码, 如果地址在从设备存储映射的范围内, PCI控制器将把PCI地址转换为C6455 DSP内部地址, 由其内部交换结构发送到其他从模块上。C6455 DSP内部总线的每一个从模块对此地址进行译码, 判断地址是否访问自己。如果是, 则进行相应的后续响应。如, 外部PCI设备在访问外部存储空间时, EMIF将使用C6455 DSP内部地址来寻址外部存储器。

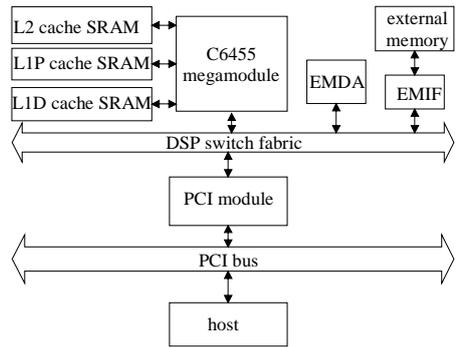


Fig.1 Device module connection of C6455 DSP PCI controller
图 1 C6455 DSP PCI 模块设备连接框图

3 PCI地址映射机制

要使C6455 DSP PCI控制器能够正常的进行总线操作, 需要深入理解其地址映射机制并进行正确配置。

3.1 从模式地址映射

在从模式下, C6455 DSP的PCI接口可通过6组PCI地址转换寄存器(PCI Address Translation Registers)和PCI基地址掩码寄存器(PCI Base Address Mask Registers), 将DSP的内部任何存储空间或寄存器映射到主机的PCI空间中。

C6455 DSP从模式窗口配置如图2所示。DSP内存空间(DSP memory region)为C6455 DSP内部的内存空间。PCI内存空间(PCI memory region)为主设备的内存空间。PCI Address Translation Registers配置为C6455 DSP中需要映射的存储空间的起始地址。PCI Base Address Registers中是DSP映射到主设备中PCI存储空间的起始地址, 一般由主设备在系统启动枚举PCI设备时写入。PCI Base Address Mask Registers配置了当前从模式窗口需要映射的存储空间大小, 如大小为8 MB, 则值为十六进制数0xFF80 0000。在主设备配置PCI Base Address Registers之前, DSP必须完成PCI Base Address Mask Registers的设置, 这样主设备才能在启动时正确的为DSP的PCI分配存储空间资源。

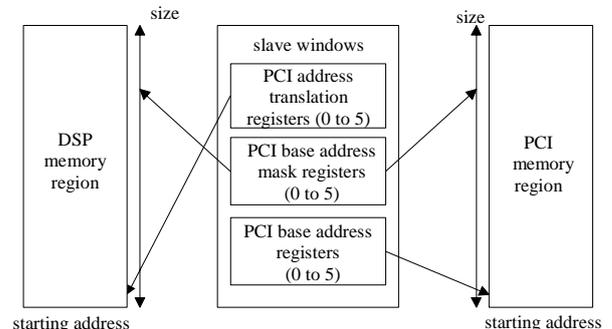


Fig.2 Slave mode memory configuration of C6455 DSP
图 2 C6455 DSP 从模式窗口配置

3.2 主模式地址映射

通过主模式地址映射, C6455 DSP能够从设备的存储空间访问PCI端。在C6455 DSP的内存映射中, 为PCI分配了256 MB大小的存储空间。这256 MB大小的存储空间, 又被分为32个8 MB固定大小的存储映射窗口。这些窗口被称为主模式窗口或PCI地址窗口。通过配置每一个主模式窗口, 可以使8 MB的PCI存储空间对应到DSP的地址空间中。

每一个主模式窗口对应了8 MB DSP的PCI存储地址空间, 如, 窗口0对应DSP中的地址为0x4000000~0x407FFFFFF, 窗口1对应下一个8 MB, 即0x40800000~0x40FFFFFFF。每一个窗口通过地址转换寄存器(Address Substitution Register)将8 MB的PCI存储空间和DSP的PCI存储地址空间对应起来, 如图3所示。

C6455 DSP共有32个地址转换寄存器(PCIADDSUB $n, n=0\sim 31$)。每一个寄存器有32 bit, 31 bit~23 bit为

对应PCI内存空间地址的高字节(Most Significant Byte, MSB), 其他23 bit表示窗口大小。当DSP内存地址为0x40801234时, 该地址的27 bit~23 bit为00001, 因此对应PCI窗口1。若PCIADDSUB1为0x12800000, 当DSP访问地址0x40801234, 则相当于访问地址为0x12801234的PCI内存空间。

4 设计实例

4.1 硬件框图

图4为某基于CPCI的卫星信号接收板卡的硬件原理框图。CPCI总线采用PCI总线的电气标准, 继承了PCI总线的高传输率能力, 并兼容PCI规范, 还具备高速的数据传输率、高可靠性的物理结构^[5]。该接收板完成载波捕获跟踪, 遥测、测距信号解调, 速度、距离数据提取等功能。中频信号通过A/D采样后, 由FPGA1和FPGA2完成信号的载波跟踪、位同步, 解调, 编译码等^[6]。C6455 DSP完成与信号处理相关的各种运算, 如FFT变换, 距离速度值计算等。C6455 DSP同时将解调的数据和FPGA中各工作模块的状态通过PCI总线上报到上位机的人机交互界面中即监控软件中。上位机可通过软件向C6455 DSP发送控制命令, 改变DSP C6455和FPGA的工作参数。

4.2 系统初始化

在系统启动后, C6455从片外ROM中加载程序后, 将用户设定的PCI配置信息写入PCI配置寄存器中。PCI配置寄存器存在于配置空间中, 用于设备的识别域, 有供应商ID域、设备ID域、版本域、头标类型域、分类代码域^[7]。上位机作为主设备通过总线枚举发现PCI设备C6455并为其分配映射的内存空间。系统初始化时, DSP是工作在从模式下, 上位机为C6455的PCIBAR0到PCIBAR5分配相应PCI内存空间。如图5所示, DSP中PCI控制器相关寄存器映射到DSP地址空间的基地址为0x02C00000, 在PCIBAR2的地址范围中。当上位机需要访问C6455的内部寄存器时, 只需要读写PCIBAR2并加上相应的偏移地址就可以了。DSP上报PCI的数据和上位机控制命令缓存在DSP的L2偏移地址为0x00900000的内存中, L2的起始地址为0x00800000用于程序运行, 映射到PCIBAR0中。

4.3 PCI 接口数据传输设计

在实际应用中, 为了向用户提供良好的人机界面, 上位机选用了Windows XP操作系统。但是, 在PCI中断较多、数据量大的时候, 由于Windows操作系统的非实时性和PCI总线利用率不高的原因, 导致总线数据的传输速率往往很难达到系统要求。如何降低系统CPU的负荷, 提高PCI总线数据的传输速率, 成了类似应用设计的关键。为了解决上述问题, 当需要上报数据时, C6455 DSP PCI控制器工作在主模式下, 定时将DSP的解调数据上报到上位机中, 并在Windows的PCI驱动中用先进先出(First In First Out, FIFO)的缓存方式防止数据丢失。

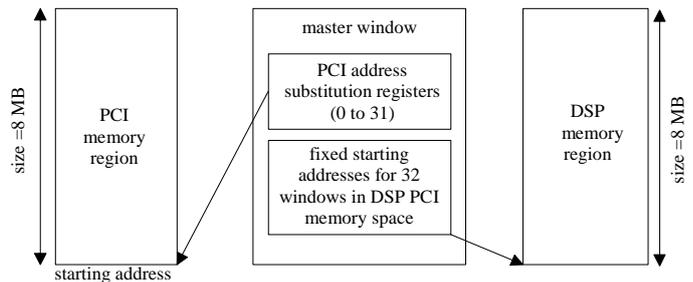


Fig.3 Master mode memory configuration of C6455 DSP
图 3 C6455 DSP 主模式窗口配置

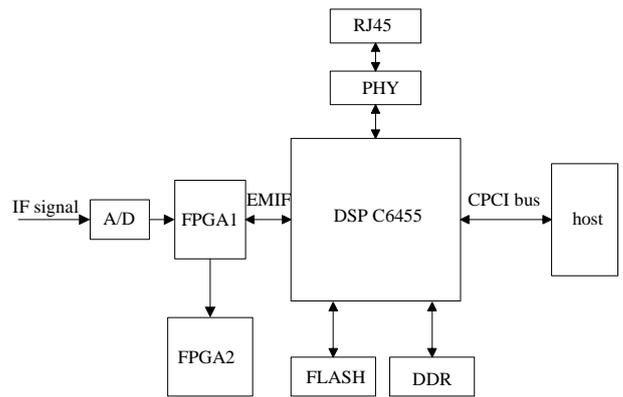


Fig.4 Block diagram of hardware
图 4 硬件原理框图

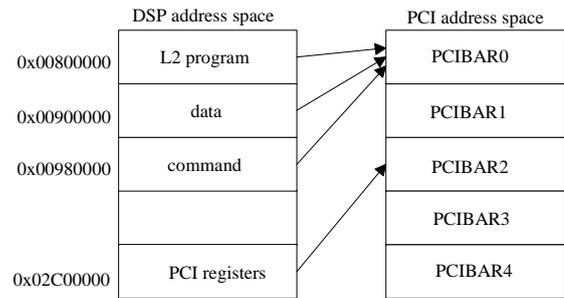


Fig.5 Address mapping diagram
图 5 地址空间映射图

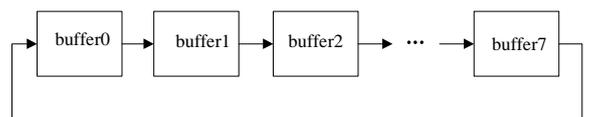


Fig.6 Transfer cache mode of FIFO
图 6 FIFO 传输缓存方式

C6455 DSP 工作在主模式的时候是发起总线数据传输的主设备，因此不需要上位机 CPU 参与 PCI 总线数据的传输，大大减轻了上位机系统负荷。为了在 C6455 DSP 进行 PCI 数据传输时不影响 DSP 运行的其他任务，采用了 EDMA(Enhanced DMA) 控制器进行数据传输。EDMA 是 TMS320C6x 系列 DSP 的一种重要的数据访问方式^[8]。支持多种灵活传输方式，在数据传输时不需要 DSP 的 CPU 模块参与，因此减小了 DSP 处理数据负担。C6455 DSP 有 64 个 EDMA 通道，每一个通道都有个事件与之关联，由具体的事件触发相应的通道进行数据传输。

本设计中，Windows 的驱动程序采用 DriverWorks 进行开发。当 DSP 工作在主模式时，Windows 上位机在 Windows 驱动中为解调数据分配了 8 个固定的内存块，将这 8 个固定内存块在上位机内存空间中的地址依次写入 C6455 DSP 寄存器 PCIADDSUB0-PCIADDSUB8 中。C6455 DSP 通过访问相应的主模式窗口就可以读写对应的缓存。当 DSP 准备好一帧数据后，触发 EDMA 控制器，把数据依次搬移到这些缓存中，并为每一块缓存赋予数据有效标志。EDMA 搬移完一帧数据后，DSP 向上位机发中断，上位机收到中断后，应用程序根据驱动中每块缓存的数据有效标志来读取相应数据。这样在上位机 Windows 应用程序无法及时响应中断时，数据仍保存在驱动缓存中，在下次中断到来后，将上次未读出的数据读出，而不会发生数据丢失。

4.4 参数控制及工作流程

当上位机要改变 C6455 DSP 和 FPGA 的参数设置时，通过 PCI 向 C6455 DSP 发送中断，C6455 DSP 收到中断后，读取上位机内存中的命令数据并进行相应的后续处理。表 1 为与中断相关的 C6455 DSP 寄存器。

表 1 C6455 DSP 中断相关寄存器
Table1 Interrupt related registers of C6455 DSP

register name	description
PCISTATSET	PCI status set register
PCISTATCLR	PCI status clear register
PCIHINTSET	host interrupt enable set register
PCIHINTCLR	host interrupt enable clear register
PCIBINTSET	back end application interrupt enable set register
PCIBINTCLR	back end application interrupt enable clear register

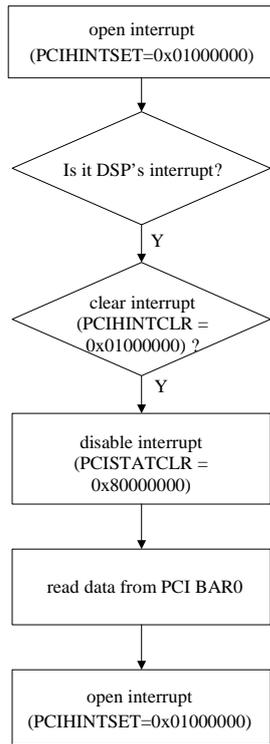


Fig.7 Flow chart of host communication by receiving interrupts
图 7 上位机接收中断通信流程图

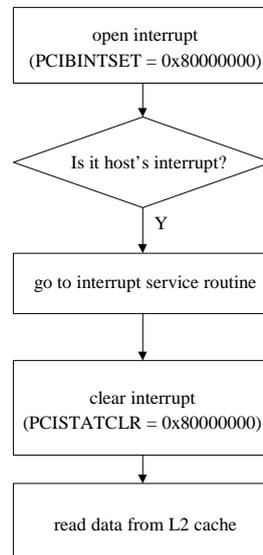


Fig.8 Flow chart of DSP interrupts response
图 8 DSP 中断响应流程

上位机接收中断通信流程图如图 7 所示。图 8 为 DSP 中断响应流程。DSP 的 PCI 中断对应 DSP 中断事件 INTERRUPT EVENT 15，在本例中将 INTERRUPT EVENT 15 映射到外部中断 7 上。这样，当上位机向 PCISTATSET 写入 0x80000000 对 DSP 发送中断时，DSP 程序指针将自己跳转到中断 7 的中断服务程序函数。

5 结论

使用 C6455 DSP 的总线接口不需要专用的 PCI 接口芯片，节省了成本，简化电路复杂度，使 DSP 和上位机之

间的数据传输更加高效。通过测试,本文中基于C6455 DSP的接收机板卡对卫星下行数据上报速率最高可达37 MBps,满足工程要求,已应用于工程中,并取得了良好的效果。

参考文献:

- [1] 赖小红,陈长龄,张艳荣. PCI 功能软接口快速设计[J]. 太赫兹科学与电子信息学报, 2004,6(2):140-142. (LAI Xiaohong, CHEN Changling,ZHANG Yanrong. Quick Developing of PCI Interface Program[J]. Journal of Terahertz Science and Electronic Information Technology, 2004,6(2):140-142.)
- [2] Texas Instruments Incorporated. TMS320C6455 Fixed-Point Digital Signal Processor[Z]. 2006.
- [3] Texas Instruments Incorporated. TMS320C645x DSP Peripheral Component Interconnect(PCI) User's Guide,SPRUE60A[Z]. 2006.
- [4] Tom Shanley,Don Anderson. PCI系统结构[M]. 北京:电子工业出版社, 2000. (Tom Shanley,Don Anderson. PCI System Architecture[M]. Beijing:Publishing House of electronics industry, 2000.)
- [5] 赵峰,苏涛,何学辉,等. 主机与CPCI 总线通用信号处理板的通信[J]. 太赫兹科学与电子信息学报, 2005,3(1):51-55. ZHAO Feng,SU Tao,HE Xuehui,et al. Communication Between Host and Signal Processing Module Based on CPCI Bus[J]. Journal of Terahertz Science and Electronic Information Technology, 2005,3(1):51-55.)
- [6] 刘进军. 采用CPCI总线的通用高速数传接收机[J]. 电讯技术, 2012,10(10):1644-1647. (LIU Jinjun. A General High-rate Data Transmission Receiver Base on CPCI BUS[J]. Telecommunication Engineering, 2012,10(10):1644-1647.)
- [7] 杨柳,蔡超,周成平,等. TMS320C6155 PCI协处理卡WDM驱动程序设计[J]. 现代电子技术, 2010(24):51-54. (YANG Liu,CAI Chao,ZHOU Chengping,et al. WDM Driver Design of PCI Co-processing Card for TMS320C6455[J]. 2010(24):51-54.)
- [8] Texas Instruments Incorporated. TMS320C645x DSP Enhanced DMA(EDMA3) Controller User Guide,SPRU966C[Z]. 2011.

作者简介:



熊璐(1981-),女,四川省南部县人,硕士,主要研究方向为PCI总线接口、Windows驱动、硬件设计工作.email:xluluck@163.com.