

文章编号: 2095-4980(2015)03-0436-06

一种用于全数字接收机的位同步算法

宋青平, 刘荣科, 段瑞枫, 李彦融, 牟伟清

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘要: 设计了一种适用于全数字遥测接收机的位同步算法, 该算法采用固定的采样速率, 结合 Farrow 多项式内插算法与 Gardner 定时误差检测算法的优点, 具有较宽的码速率适用范围, 较低的信噪比适用环境。在分析 Farrow 多项式内插原理的基础上, 采用一种简化的分段抛物线内插方法, 此方法减少了原有内插方法的运算量。仿真结果表明, 在单个码元采样点很少的情况下, 其误比特率(BER)性能依然接近于理想 BER 性能, 优于 Gardner 算法, 能够有效地完成低信噪比条件下的位同步, 因此有着良好的应用前景。

关键词: 全数字接收机; 位同步; 内插滤波; 定时误差检测; BER 性能

中图分类号: TN911.23

文献标识码: A

doi: 10.11805/TKYDA201503.0436

A symbol timing synchronization algorithm for all digital receiver

SONG Qingping, LIU Rongke, DUAN Ruifeng, LI Yanrong, MU Weiqing

(School of Electronic and Information Engineering, Beihang University, Beijing 100191, China)

Abstract: A symbol timing synchronization algorithm for all digital telemetry receiver is designed. The new algorithm combines the advantages of Farrow interpolation algorithm and Gardner timing error detection algorithm with fixed sampling rate, which is suitable for symbol timing synchronization with a wide range of symbol rate and low Signal to Noise Ratio(SNR). Based on the analysis of the Farrow interpolation principle, a simplified piecewise parabolic interpolation method is put forward to reduce the complexity of the original interpolation method. The simulation results show that the Bit Error Rate(BER) performance of the new algorithm is close to the ideal BER performance, and is better than that of Gardner algorithm with a small number of sampling points in a symbol. The new algorithm can achieve the symbol timing synchronization under low SNR effectively.

Key words: all digital receiver; symbol timing synchronization; interpolation filter; timing error detection; Bit Error Rate performance

随着数字信号处理技术及高性能处理器的飞速发展, 20世纪90年代提出的全数字遥测接收机成为近年来的研究热点, 全数字遥测接收机相比模拟遥测接收机具有处理精确度高、小型化、易于集成、稳定性好、功耗低等优点^[1], 得到了广泛的应用。位同步系统是全数字遥测接收机中的关键部分^[2], 它被用来确定每个码元的最佳采样时刻, 从而进行后续的判决以恢复原始数据, 因此对整个系统的误比特率(BER)性能有着直接的影响。由于遥测接收机向更高速率的发展, 出现了基于内插的位同步系统^[3], 利用内插估计信号的最佳采样点值以减少信号的采样速率, 降低硬件设计的复杂度。本文设计了一种基于Farrow结构的多项式内插滤波位同步算法, 并结合Gardner定时误差检测算法的优点, 其系统时钟是固定的并且与码元时钟相互独立, 接收机以一固定的采样速率对接收到的基带信号进行采样, 经过内插滤波后在输出端生成正确的判决码元。

1 基于内插位同步法的系统结构

基于内插的位同步法的工作时钟可以是码元时钟的2~4倍, 而非内插方法的工作时钟往往是码元时钟的十几

倍、几十倍才能满足BER性能要求。对于缺少先验信息的盲接收模式，信号的码速率未知，但采样速率固定，每个码元的采样点有一个较大的变化范围，当采样点较少时，同步较为困难，因此也可以统一采用内插的位同步算法。基于内插的位同步算法能在不改变采样时钟的前提下，对采样后的基带信号进行插值而在输出端生成正确的判决码元，其原理框图如图1所示。

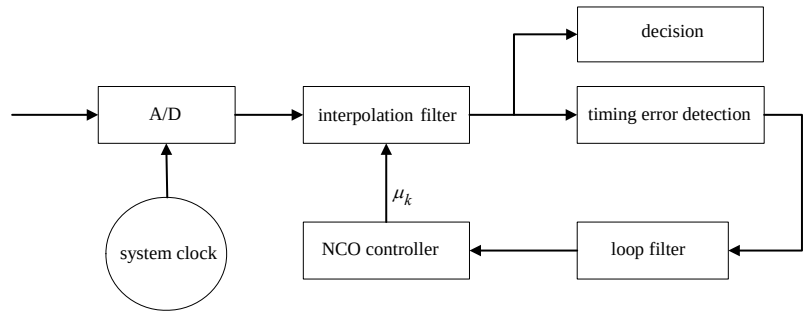


Fig.1 Schematic diagram of the symbol timing synchronization algorithm

图 1 位同步算法原理框图

整个系统由A/D、固定频率的系统时钟、内插滤波器、误差检测单元、环路滤波器、数字控制振荡器(Numerically Controlled Oscillator, NCO)、判决器等部分构成。送入内插滤波器的基带信号为 $x(m_k T_s)$ ，其采样周期为 T_s ，码元周期为 T ，插值后得到的信号为 $y(kT_i)$ ，其中 $T_i = T/k$ ， $T_i > T_s$ ， k 是一个正整数， T_i 与发端码元周期同步。定时误差检测单元检测出每个码元的定时误差，该误差信号进入环路滤波器滤波，以减小定时误差抖动，滤波结果输入到NCO控制器，经过计算得到内插滤波器的内插时钟和分数间隔 μ_k ，反馈回内插滤波器以控制内插的过程，其中内插时钟决定内插基点 $m_k T_s$ 的位置，而 μ_k 则是具体的插值位置 kT_i 和内插基点位置 $m_k T_s$ 之间的时间间隔^[3]。判决器在内插滤波后的每个码元的最佳采样点处进行判决以恢复出原始数据。在已知 kT_i 和 T_s 的情况下，内插参数 m_k 和 μ_k 的值可以按以下方法求出：

$$m_k = \text{int} \left[kT_i / T_s \right] \quad (1)$$

$$\mu_k = kT_i / T_s - m_k \quad (2)$$

式中： $\text{int}[x]$ 表示不大于 x 的最大整数； m_k 和 μ_k 为内插控制参数。

2 多项式内插滤波分析

接收到的采样信号首先要进行内插滤波，以确定出码元的最佳采样点以及2个最佳采样点之间的中间点。

2.1 多项式内插器

从理论上讲，任何带限信号 $x(t)$ 都可以由其采样值 $x(m_k T_s)$ 通过一个理想内插滤波器进行恢复。但是理想内插滤波器是IIR(Infinite Impulse Response)滤波器且是非因果的，物理上难以实现，而且实际中也没有任何滤波器可以对 $x(t)$ 进行完全无失真恢复。因此，在实际系统中可以采用多项式内插滤波器，即滤波器的时域响应是 t 的一个多项式，或者是 t 的一个分段多项式。

根据输入序列 $x(m_k T_s)$ 和内插参数 m_k, μ_k ，可以按照式(3)计算 $y(kT_i)$ 的值：

$$y(kT_i) = y[(m_k + \mu_k)T_s] = \sum_{i=I_1}^{I_2} x[(m_k - i)T_s] h_l[(i + \mu_k)T_s] \quad (3)$$

式中： $h_l[(i + \mu_k)T_s]$ 是内插滤波器的时域响应； $I = I_2 - I_1 + 1$ 为滤波器长度。 $h_l[(i + \mu_k)T_s]$ 可采用Farrow高效结构实现，表达如下^[4]：

$$h_l[(i + \mu_k)T_s] = \sum_{l=0}^N b_l(i) \mu_k^l \quad (4)$$

结合式(3)和式(4)，可以得到内插后的信号表达式：

$$\begin{aligned} y(kT_i) &= \sum_{i=I_1}^{I_2} x[(m_k - i)T_s] h_l[(i + \mu_k)T_s] = \sum_{i=I_1}^{I_2} x[(m_k - i)T_s] \sum_{l=0}^N b_l(i) \mu_k^l = \\ &= \sum_{l=0}^N \mu_k^l \sum_{i=I_1}^{I_2} x[(m_k - i)T_s] b_l(i) = \sum_{l=0}^N \mu_k^l v(l) \end{aligned} \quad (5)$$

式中 $v(l) = \sum_{i=l_1}^{l_2} x[(m_k - i)T_s]b_l(i)$ 。从式(5)可以看出, Farrow结构包含 $N+1$ 个分支, 每个FIR子滤波器 $v(l)$ 包含 I 个抽头, 因此 N 阶多项式内插滤波器总的抽头系数有 $(N+1)I$ 个。由于每个子滤波器的系数都是固定的, 只有 μ_k 是变化的, 所以在滤波过程中只需用 μ_k 来计算输出值。

Farrow结构多项式内插滤波器主要有3种: 立方(cubic)内插器、分段抛物线(Piecewise-Parabolic)内插器、线性(linear)内插器^[4]。对于线性内插器, 滤波器长度 $I = 2$, 对于立方和分段抛物线内插器, $I = 4$ 。

1) 立方内插器, 其系数为:

$$\begin{cases} C_{-2}(\mu) = \frac{(\mu+1)\mu(\mu-1)}{6} = \frac{1}{6}\mu^3 - \frac{1}{6}\mu \\ C_{-1}(\mu) = \frac{(\mu+1)\mu(\mu-2)}{-2} = -\frac{1}{2}\mu^3 + \frac{1}{2}\mu^2 + \mu \\ C_0(\mu) = \frac{(\mu+1)(\mu-1)(\mu-2)}{-2} = \frac{1}{2}\mu^3 - \mu^2 - \frac{1}{2}\mu + 1 \\ C_1(\mu) = \frac{\mu(\mu-1)(\mu-2)}{-6} = -\frac{1}{6}\mu^3 + \frac{1}{2}\mu^2 - \frac{1}{3}\mu \end{cases} \quad (6)$$

式中 $C_i(\mu) = h_i[(i+\mu)T_s]$ 。

2) 分段抛物线内插器, 其系数为:

$$\begin{cases} C_{-2}(\mu) = \alpha\mu^2 - \alpha\mu \\ C_{-1}(\mu) = -\alpha\mu^2 + (1+\alpha)\mu \\ C_0(\mu) = -\alpha\mu^2 + (\alpha-1)\mu + 1 \\ C_1(\mu) = \alpha\mu^2 - \alpha\mu \end{cases} \quad (7)$$

文献[4]中指出, 当参数 $\alpha = 0.43$ 时, 分段抛物线内插滤波器的抗噪声性能最优, 但 $\alpha = 0.5$ 时在硬件平台上实现较为简单, 在硬件运算时只需进行移位操作, 可以避免乘法运算, 简化计算复杂度。当 $\alpha = 0.5$ 时, 滤波器系数变为:

$$\begin{cases} C_{-2}(\mu) = \frac{1}{2}\mu^2 - \frac{1}{2}\mu \\ C_{-1}(\mu) = -\frac{1}{2}\mu^2 + \frac{3}{2}\mu \\ C_0(\mu) = -\frac{1}{2}\mu^2 - \frac{1}{2}\mu + 1 \\ C_1(\mu) = \frac{1}{2}\mu^2 - \frac{1}{2}\mu \end{cases} \quad (8)$$

3) 线性内插器, 当分段抛物线内插器的参数 α 取为0时, 滤波器就变成了线性内插器, 其系数为:

$$\begin{cases} C_{-1}(\mu) = \mu \\ C_0(\mu) = 1 - \mu \end{cases} \quad (9)$$

2.2 简化的多项式内插器

由于分段抛物线内插器与立方内插器的频谱通带特性较为理想, 比线性内插器更平坦, 带外抑制能力也更好^[4], 所以前两者的整体滤波性能较为接近, 优于线性内插器。同时由于 μ 是可变的, 因此在每次环路更新的内插滤波过程

表1 内插器系数计算复杂度对比

interpolation type	multiplication times	addition times
cubic	4	8
piecewise-parabolic	4	7
piecewise-parabolic ($\alpha = 0.5$)	2	5

中, 都需要计算内插器系数。对于单次滤波, 立方内插器、分段抛物线内插器及 $\alpha = 0.5$ 的分段抛物线内插器系数计算复杂度对比如表1所示。

从表1中可以看出, $\alpha = 0.5$ 的分段抛物线内插器系数计算复杂度最低, 相比于另外2种内插器, 乘法运算量可以节省1倍, 加法运算量也是最小的, 所以其在计算复杂度方面有明显优势。根据以上分析, 综合计算复杂度和滤波性能考虑, 本文选用 $\alpha = 0.5$ 的分段抛物线内插滤波器。

3 定时误差检测

定时误差检测的作用就是根据内插滤波后的最佳采样点对每个码元计算出1个定时误差, 通过环路滤波器减小误差抖动后输入给NCO控制器用于控制内插滤波器的运算。

常用的定时误差检测算法主要有早迟门算法、同相/中相算法(Data Transition Tracking Loop, DTTL)^[5]和Gardner算法^[6]。其中早迟门算法每个码元周期内需要有3个采样点, 而且需要较高的采样速率, 对于数据传输速率较高的通信系统, 复杂度较高。DTTL 算法根据比特判决得到的实际比特跳变信息, 决定跟踪误差信号的正确极性, 但只适用于中低速数据通信。而Gardner算法每个码元只需要2个采样点就可计算出定时误差, 适用于FPGA或A/D工作频率受限的高速解调系统, 且可以工作在低信噪比的情况下, 因此本文采用Gardner算法。

对于Gardner算法, 每个码元中的一个采样点在最佳采样点附近, 设为 $x(nT)$, 另一采样点在 $x(nT)$ 与 $x((n+1)T)$ 之间, 设为 $x(nT + T/2)$ 。若第 n 个码元与第 $n+1$ 个码元不同, 则可进行位同步误差提取, 如图2所示。

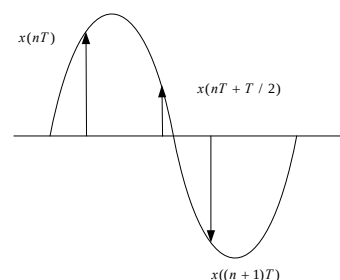


Fig.2 Schematic diagram of Gardner decision point
图 2 Gardner 判决点示意图

设 $u_i(n)$ 为同步误差值, 对于BPSK调制则有:

$$u_i(n) = x(nT + T/2) \{x((n+1)T) - x(nT)\} \quad (10)$$

通过计算即可得到位同步时间误差。当 $x(nT)$ 相对最佳采样点超前, 误差值 $u_i(n)$ 为负; 当 $x(nT)$ 相对最佳采样点滞后, 误差值 $u_i(n)$ 为正。

Gardner算法检测出的定时误差需要经过环路滤波器以减小误差信号的抖动。由于输入信号为一稳定频率信号, 因此可以认为位同步时只需消除恒定时间差别即可, 因此采用累加器形成一阶环路^[7]。

4 系统性能仿真

针对本文提出的算法进行仿真。接收信号为码速率具有一定变化范围的BPSK调制信号。载波捕获采用快速傅里叶变换(Fast Fourier Transform, FFT)鉴频算法, 初步确定输入信号的载波频率^[8]。载波捕获完成后, 载波跟踪的多普勒频偏在35 Hz以内, 频率变化率在15 Hz/s以内, 此时启动载波同步环路及位同步环路开始工作。载波同步环路采用Costas环^[9], 位同步采用本文基于Farrow内插滤波的算法, 降采样后的采样频率为4 000 Hz。图3表示码速率为1 000 bps、 E_b/N_0 为10 dB时位同步后的星座图, 考虑到载波同步环中低通滤波器的复杂度, 对于当前采样率, 码速率最好不低于100 bps。图4、图5分别表示码速率为100 bps、1 000 bps时BPSK的BER性能。当码速率为1 000 bps时, 1个码元仅有4个采样点。

图4、图5中比较了当码速率为100 bps和1 000 bps时理想BER、本文位同步算法BER与只采用Gardner算法^[6]进行位同步的BER性能, 从图4中的仿真结果可以看出, 当单个码元采样点较多时, Gardner算法BER性能与理想BER性能相比, 性能损失不到0.5 dB, 当单个码元采样点较少时, Gardner算法BER性能与理想BER性能相差较大, 超过了1 dB。而本文算法在2种情况下, 都具有良好的BER性能, 在 E_b/N_0 为1 dB~10 dB的范围内, 其BER性能接近于理想BER性能。适用于低信噪比(E_b/N_0 为5 dB以下^[10])的环境。

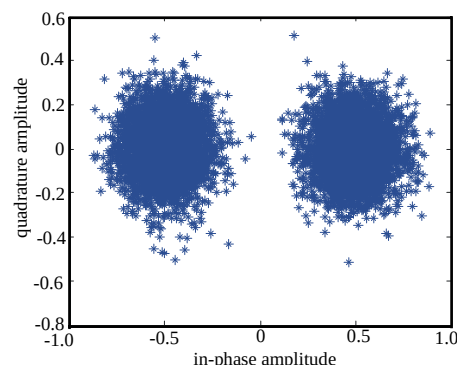


Fig.3 Constellation from timing synchronization
图 3 位同步后的星座图

当码速率为 1 000 bps 时, 本文算法与 Gardner 算法相比, 具有 1 dB 左右的性能增益, 并没有因为单个码元的采样点较少而影响性能。所以当采样速率固定时, 本文算法具有更宽的码速率适用范围。

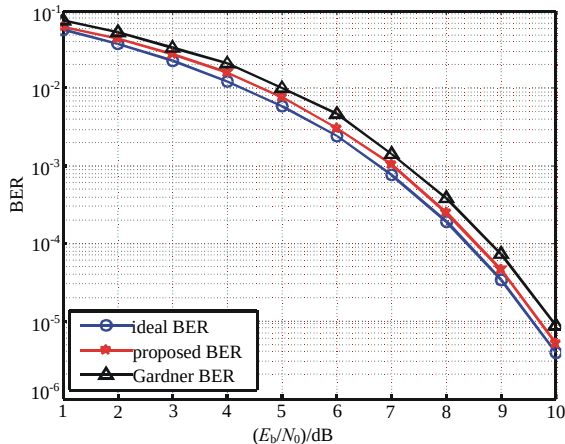


Fig.4 BER performance with 100 bps symbol rate
图 4 码速率 100 bps 时算法的 BER 性能

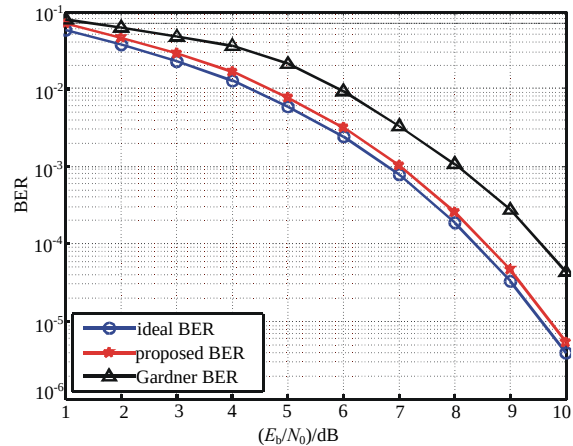


Fig.5 BER performance with 1 000 bps symbol rate
图 5 码速率 1 000 bps 时算法的 BER 性能

5 结论

本文针对全数字遥测接收机的位同步系统设计了一种基于内插滤波的位同步算法, 此算法将 Farrow 结构的多项式插值法与 Gardner 定时误差检测算法结合, 在单个码元采样点很少的情况下, 其 BER 性能依然接近于理想 BER 性能, 克服了传统位同步算法无法适应高传输速率的缺点, 同时本算法计算复杂度低, 并可适用于低信噪比的测控通信系统。

参考文献:

- [1] 陈媛, 常青, 于渊. 导航信号的射频直接采样与数字下变频方法[J]. 太赫兹科学与电子信息学报, 2010, 8(5): 521–525. (CHEN Yuan, CHANG Qing, YU Yuan. RF direct sampling and digital down conversion to navigation signals[J]. Journal of Terahertz Science and Electronic Information Technology, 2010, 8(5): 521–525.)
- [2] WU N, WANG H, KUANG J M, et al. Performance analysis of code-aided symbol timing recovery on AWGN channels[J]. IEEE Transactions on Communications, 2011, 59(7): 1975–1984.
- [3] Gardner F M. Interpolation in digital modems-Part I: Fundamentals[J]. IEEE Transactions on Communications, 1993, 41(3): 501–507.
- [4] Erup L, Gardner F M, Harris R A. Interpolation in digital modems-Part II: Implementation and Performance[J]. IEEE Transactions on Communications, 1993, 41(6): 994–1008.
- [5] Tsang C S, Lindsey W C. Bit synchronization in the presence of asymmetric channel noise[J]. IEEE Transactions on Communications, 1986, 34(6): 528–537.
- [6] Gardner F M. A BPSK/QPSK timing-error detector for sampled receivers[J]. IEEE Transactions on Communications, 1986, 34(5): 423–429.
- [7] Daneshfahani R, Moghaddasi M, Mahlouji M. Enhanced acquisition and tracking in all digital phase-locked loops [J]. Circuits, Systems, and Signal Processing, 2008, 27(4): 537–552.
- [8] 韩孟飞, 王永庆, 吴嗣亮, 等. 一种低信噪比下 LFM 信号参数快速估计算法[J]. 北京理工大学学报, 2009, 29(2): 147–151. (HAN Mengfei, WANG Yongqing, WU Siliang, et al. A fast algorithm on parameter estimation of LFM signals under low SNR[J]. Transactions of Beijing Institute of Technology, 2009, 29(2): 147–151.)
- [9] 武玲娟, 崔莹莹, 路卫军, 等. 高灵敏度 GPS 接收机载波跟踪环路的设计优化与实现[J]. 北京大学学报: 自然科学版, 2011, 47(5): 783–788. (WU Lingjuan, CUI Yingying, LU Weijun, et al. Design optimization and implementation of carrier tracking loop for high sensitivity GPS receivers[J]. Acta Scientiarum Naturalium Universitatis Pekinensis, 2011, 47(5): 783–788.)
- [10] 帅涛, 刘会杰, 梁旭文, 等. 一种高频偏和低信噪比条件下的全数字锁相环设计[J]. 电子与信息学报, 2005, 27(8): 1208–1212. (SHUAI Tao, LIU Huijie, LIANG Xuwen, et al. The design of DPLL for low SNR signals with large frequency offset[J]. Journal of Electronics & Information Technology, 2005, 27(8): 1208–1212.)

(下转第 453 页)