2015 年 8 月 Journal of Terahertz Science and Electronic Information Technology

文章编号: 2095-4980(2015)04-0544-06

# 平面肖特基二极管的制作

罗跃川,赵 妍,沈昌乐,阎大伟

(中国工程物理研究院 激光聚变研究中心, 四川 绵阳 621999)

摘 要:为研究制作 THz 频段下工作的肖特基二极管器件,系统研究了平面肖特基二极管的制作工艺。通过分子束外延(MBE)生长了掺杂浓度分别为 5×10<sup>18</sup> cm<sup>-3</sup> 的缓冲层和 2×10<sup>17</sup> cm<sup>-3</sup> 的外延层,并研究温度对厚度的影响,使得膜层厚度控制良好,晶格完整。通过参数控制,减小了等离子体增强化学气相沉积(PECVD)的 SiO2钝化层应力,使压指结构的翘曲情况得以改善。研究了不同退火温度下欧姆接触的情况,使接触电阻率减小到 0.8×10<sup>-7</sup> Ω/cm<sup>2</sup>。用电子束光刻和干法刻蚀制作了亚微米级的阳极区域,结合 GaAs 湿法刻蚀的速率控制,完成了表面沟道的制作,制作出完整的平面肖特基二极管。通过 *I-U* 曲线理论计算,二极管的截止频率达到太赫兹量级,为后续工作奠定了基础。

关键词:平面肖特基二极管;制作工艺;截止频率;太赫兹 中图分类号:TN311<sup>+</sup>.7 **文献标识码:A** doi:10.11805/TKYDA201504.0544

# Fabrication of planar Schottky barrier diode

LUO Yuechuan, ZHAO Yan, SHEN Changle, YAN Dawei

(Research Center of Laser Fusion, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

**Abstract:** For the fabrication of Schottky barrier diode working under Terahertz(THz) frequency, the whole fabrication process of planar Schottky barrier diode is studied, especially on materials growth, ohm contact, fabrication of anode, trench etching. Suffer layer and epitaxial layer are grown on GaAs substrate by Molecular Beam Epitaxy(MBE), with doping concentration of  $5 \times 10^{18}$  cm<sup>-3</sup> and  $2 \times 10^{17}$  cm<sup>-3</sup> respectively, which are well controlled on thickness and lattice perfection by controlling the temperature. Through parameter controlling, the stress of SiO<sub>2</sub> passivation layer obtained by Plasma Enhanced Chemical Vapor Deposition(PECVD) is reduced, which therefore alleviates the bending of finger. The ohm contact resistivity is reduced to  $0.8 \times 10^{-7} \Omega/cm^2$  by optimizing the annealing temperature. The anode is fabricated by e-beam lithography and dry etching, and the trench is fabricated by controlled GaAs wet etching, then the complete planar Schottky diode is obtained. According to the calculation with *I-U* curve, the cut-off frequency of diodes can reach 1 THz. These studies can lay a foundation for following work. **Key words:** planar Schottky barrier diode; fabrication; cut-off frequency; Terahertz

带表面沟道的平面肖特基二极管在截止频率高的同时还具有寄生参量小的优点,因此近年来在毫米波等高频 通信领域被广泛用于混频器、倍频器等器件中。随着实际应用要求的提高,对肖特基二极管的工作频率提出了更 高的要求,工作在太赫兹频段(0.1 THz~10 THz)的肖特基二极管及相应的混频器成为目前工作的重点。一般来说, 肖特基二极管的正常工作频率是其截止频率的 1/5~1/8<sup>[1]</sup>,因此提高工作频率即提高截止频率。

综合相关资料,在平面肖特基二极管的制作流程中,基片、欧姆接触、金属阳极以及表面沟道的制作是较为困难的步骤。基片的生长直接影响二极管的性能,其上的 SiO<sub>2</sub> 层也会影响压指的寄生电容;欧姆接触和金属阳极分别主要影响二极管的串联电阻 *R*<sub>s</sub>和零偏压结电容 *C*<sub>j0</sub>,因此对于提高截止频率有重要作用;表面沟道需在保证压指悬空,缓冲层刻通的同时抑制侧向钻蚀,否则可能使得阴极暴露于沟道。本文在平面肖特基二极管的制作过程中对这些过程加以研究。

**收稿日期**: 2014-10-30; 修回日期: 2015-01-05 **基金项目**: 国家科技部重大科学仪器设备开发专项基金资助项目(2011YQ130018)

#### 1 实验原理

肖特基二极管的截止频率为:

$$f_{\rm c} = \frac{1}{2\pi R_{\rm s} C_{\rm i0}}$$
(1)

式中: f<sub>c</sub>为二极管的截止频率; R<sub>s</sub>为二极管的串联电阻; C<sub>i0</sub>为二极管的零偏压结电容。

从式(1)可以看出,提高肖特基二极管的截止频率,就应减小 *R*<sub>s</sub>和 *C*<sub>j0</sub>。减小 *R*<sub>s</sub>可以采用高掺杂层作欧姆接触,以减小金属与半导体的接触电阻;而作为肖特基接触的阳极,其电容可以看作一平板电容,因此减小 *C*<sub>j0</sub>的方法主要是减小金属阳极半径,其他减小 *C*<sub>j0</sub>的方法还包括减小二极管整体尺寸以降低场分布的影响、优化二极管结构以降低封装电容、采用特殊结构(如集成天线结构)等<sup>[1]</sup>。然而两者在实际中相互矛盾,无法同时增减,随着二极管尺寸的减小,*R*<sub>s</sub>必然增加。因此两者需折中考虑。同时在肖特基二极管中存在各种寄生参量,它们对于二极管高频工作时的影响也较大,目前的平面肖特基二极管通过表面沟道的方式大大减小了阳极 Pad 和下层GaAs 衬底间的寄生电容的影响,但其他的一些寄生参量,如阴极 Pad 和阳极 Pad 间的电容,仍然影响较大(10 fF~20 fF)<sup>[2]</sup>,由于表面沟道和压指结构的引入,也出现了一些新的寄生参量,包括压指的电感、压指和阴极 Pad 间的电容<sup>[3]</sup>。这些寄生参量也应在二极管的结构设计和制作工艺中加以考虑,使其尽量降低。

#### 2 平面肖特基二极管的制作

平面肖特基二极管制作流程如图1所示,其大致分为材料生长,电极制作、表面沟道及 Pad 制作几个部分。



 Fig.1 Fabrication of SBD

 图 1 平面肖特基二极管制作流程

#### 2.1 基片的制作

基片制作包括缓冲层的沉积、外延层的沉积、SiO2钝化层的沉积。

缓冲层是欧姆接触层,高浓度的掺杂有利于增强其与金属接触式的隧穿电流,实现欧姆接触。采用 n 型掺杂, 根据文献[4]和文献[2],掺杂浓度为 5×10<sup>18</sup> cm<sup>-3</sup>,厚度选为 3 µm,使用 MBE 生长而成。外延层是肖特基接触层, 采用 n 型掺杂,掺杂浓度应大于 10<sup>14</sup> cm<sup>-3</sup>,随着掺杂浓度的升高,二极管的 *R*<sub>s</sub>将减小,正向特性会得到改善<sup>[5]</sup>, 但过高的浓度会增大隧穿电流,影响其反向特性,最佳掺杂浓度与具体材料有关。参考文献[4],取掺杂浓度为 2×10<sup>17</sup> cm<sup>-3</sup>,厚度 0.1 µm,同样使用 MBE 生长而成。在掺杂生长工艺中,用 Si 元素替代 Ga 元素,掺杂浓度由 炉温来判定。通过实验测得的炉温与掺杂浓度的关系如图 2 所示。图 2 显示掺杂浓度随炉温增加而基本呈线性上 升,通过拟合和插值可知,重掺杂浓度对应的炉温约为 1 270 ℃,轻掺杂浓度对应的炉温约为 1 144 ℃。沉积后 的基片的霍尔测试和光致荧光谱的结果分别如表 1 和图 3 所示,从霍尔测试中可以看到,基片的电子迁移率随沉 积温度和掺杂浓度的上升而降低,且掺杂浓度与用炉温标定的掺杂浓度有一定差别,这是因为霍尔测试无法区分 外延层、缓冲层和衬底,给出的掺杂浓度和电子迁移率均为样品整体而不是外延层的性能,这种差别会随沉积温 度的升高而被放大,但基本在可接受范围内。从光致荧光谱中,可看到明显的 GaAs 的 817 nm 峰(液氮温度下), 峰的半高宽约为 10 nm,表明外延具有良好的结晶质量,完整的晶格有利于肖特基接触。

SiO<sub>2</sub> 钝化层具有对器件表面保护、电绝缘及降低金属-半导体接触的边缘效应等作用<sup>[6]</sup>,但其厚度太大会造成后续工艺困难,考虑到将来与混频器电路的集成,本文取 SiO<sub>2</sub>厚度为 700 nm。沉积 SiO<sub>2</sub>的方法包括电子束蒸 发、物理溅射、低压力化学气相沉积(Low Pressure Chemical Vapor Deposition, LPCVD)、PECVD等,在肖特基 二极管结构中,外延层厚度很小,而与缓冲层的掺杂浓度差一个数量级,因此应避免高温,否则造成杂质的扩散, 严重破坏外延层的掺杂浓度,同时由于 SiO<sub>2</sub> 层以后也会形成压指结构,对其致密性和均匀性也有一定要求,因

此,沉积温度低、成膜性能好又不损伤衬底的 PECVD 是适合的方法。低温 PECVD 工艺采用 SiH<sub>4</sub>和 N<sub>2</sub>O 为反应 气体,感应耦合等离子体激励,在 75 ℃下进行沉积,该温度参考了设备 Si 衬底上低温沉积 SiO<sub>2</sub>的工艺。SiO<sub>2</sub> 膜层表现出压应力,这种应力会在形成压指结构时造成空气桥的向下翘曲,加大寄生电容。若沉积温度不变,可 通过调节反应气体流量、反应气压、RF 功率等方法对膜层应力进行改善。通过研究各参数的具体影响,可以得 到较好的应力结果,表 2 为优化参数后基片上同一区域应力的变化,应力减小后,压指结构的翘曲情况有所改善, 如图 4 所示。





Fig.2 Relation between MBE temperature and doping concentration 图 2 MBE 炉温与 GaAs 基片掺杂浓度的标定关系

Fig.3 Fluorescence spectra of the chips 图 3 基片的光致荧光光谱测试图

#### 表1基片的霍尔测试结果 Table1 Hall test of the chips

ntensity/(a.u.

-									
	sample NO.	Si temperature/°C	doping concentration /cm <sup>-3</sup>	sheet resistance/( $\Omega \cdot sq^{\text{-1}})$	electron mobility/(cm <sup>2</sup> ·V <sup>-1</sup> ·s <sup>-1</sup> )	doping concentration/cm-3			
_			(calculated by temperature)			(measured)			
	1	1 200	$8.03 \times 10^{17}$	39.081	2 603.5	9.85×10 <sup>17</sup>			
	2	1 170	3.86×10 <sup>17</sup>	9.790	3 588.8	3.55×10 <sup>17</sup>			
	3	1 130	1.39×10 <sup>17</sup>	69.725	4 253.7	$1.58 \times 10^{17}$			





Fig.4 Improvement of the finger. The left is before optimization, the right is after optimization. 图 4 压指结构的优化结果。左图为原 SiO<sub>2</sub>膜层的刻蚀结果,右图为 SiO<sub>2</sub>膜层优化应力后的刻蚀结果

Table2 Results of the SiO <sub>2</sub> stress after optimization								
measured region	max stress/Mpa	max stress after optimization/Mpa	average stress/Mpa	average stress after optimization/Mpa				
region 1	766	171	334	127				
region 2	353	382	325	173				
region 3	986	188	363	120				

## 表 2 SiO2 膜层的应力优化结果

#### 2.2 欧姆接触电极的制作

欧姆接触通过电子束蒸发沉积金属 AuGe/Ni/Au 及快速退火 完成。快速退火是合金化制作欧姆接触的关键步骤,首先快速升 温使 AuGe 熔化,使得和其接触的 GaAs 被合金熔解;接着在快速 降温时,熔解在合金中的 GaAs 首先在固态 GaAs 表面析出,得到 高掺 Ge 的 n<sup>++</sup>GaAs 层,形成良好的欧姆接触。多层金属中的 Ni 可使电极表面形貌更加光滑平整,最上层的 Au 可提供良好的低 阻引线层。快速热退火在氮气保护下进行,通过调整退火温度和 退火时间控制欧姆接触的性能。

欧姆接触质量的好坏通过测量传输线模型(Transmission Line Model, TLM)曲线求得接触电阻率进行判断,接触电阻率越小越好。图 5 为 TLM 测试单元图和在不同退火温度下维持 90 s 后退

火测量得到的 TLM 曲线(图 6)。通过测量 TLM 曲线,计算出 390 ℃,420 ℃和 450 ℃退火温度下源漏欧姆电极的 接触电阻率分别为 1.15×10<sup>-7</sup> Ω/cm<sup>2</sup>,0.8×10<sup>-7</sup> Ω/cm<sup>2</sup>,1.03×10<sup>-7</sup> Ω/cm<sup>2</sup>。因而可知退火温度为 420 ℃时,源漏欧姆电 极的接触电阻率值最低。



Fig.7 Relationship between photoresist thickness and spin speed of coating. The left is PMMA A2, and the right is PMGI. 图 7 电子束光刻胶的厚度与匀胶转速的关系曲线。左图为 PMMA A2 胶, 右图为 PMGI 胶

#### 2.3 金属阳极的制作

该部分的主要工艺包括阳极区域的电子束光刻、SiO<sub>2</sub>的干法刻蚀、阳极金属 Pt/Au 的电子束蒸发及剥离。要提高二极管的截止频率,减小阳极的半径是一个主要的办法。目前,高频的平面肖特基二极管的阳极尺寸已普遍在亚平方微米量级<sup>[7-8]</sup>,主要有 2 种阳极结构,一种是传统的圆形阳极的直接缩小,一种是 T 型电极结构<sup>[9-10]</sup>,两者都有广泛的应用。因为工艺相对简便,本文采用圆形阳极结构,直径大小分别为 0.8 μm,1.0 μm,1.5 μm,2.0 μm。由于尺寸很小,用光刻的方法制作阳极区域有一定难度,但对于电子束光刻,这样的尺寸容易达成。后续的阳极金属剥离技术需要光刻胶侧壁为倒台面形状,由于没有电子束的反转胶,采用了双层胶光刻的方法。双层胶选用PMGI/PMMA A2 结构,上层的 PMMA A2 分辨力高,适于形成微小的图形,下层的 PMGI 对电子束敏感性不高,靠显影控制图形的大小,可避免曝光时 2 层胶的相互影响。图 7 为通过台阶仪得到的 2 种胶的匀胶转速与厚度的

Fig.5 Unit of TLM test

图 5 TLM 测试单元图

关系,据此可调整实验的胶厚。曝光剂量会因图形大小的改变而有所改变,剂量不足会导致胶无法完全显影,剂 量过量会加大图形展宽。如何准确选择合适的剂量和与之对应的曝光时间,以使图形展宽最小,还需进一步研究。

#### 2.4 表面沟道的制作

表面沟道通过 GaAs 的各向同性湿法刻蚀完成,需要刻蚀透缓冲层,释放压指结构,但同时不能对沟道的侧壁钻蚀过大,要达到此目的,需要研究该 GaAs 基片的刻蚀速率。刻蚀前用稀盐酸去除表面氧化层,再用磷酸刻蚀,刻蚀剂配比为:H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:1:10。每刻蚀一段时间,即取出基片,洗净后用台阶仪测刻蚀深度,完毕后继续刻蚀,以此来标定刻蚀速率。对基片上 5 个处于不同区域的器件进行的刻蚀速率的测定结果如图 8 左图所示。从图中可以看出,各器件刻蚀速率大致相同,刻蚀均匀性较好,刻蚀速率可以拟合为线性。根据拟合后插值,刻蚀 690 s 后,刻蚀深度能达到约 5 500 nm,刻蚀速率约为 8 nm/s。但放入数片待刻蚀片进行刻蚀,时间直接选为 690 s,测得刻蚀深度约 8 300 nm~8 600 nm,明显快于标定的刻蚀速率,刻蚀的重复性较好,但速率有较大偏差。这是由于标定刻蚀速率时基片被较频繁地从刻蚀剂中取出和放入,刻蚀剂放置时间较久,其中的 H<sub>2</sub>O<sub>2</sub>成分属于易分解成分,可能会在长时间的无保护放置中分解,减少了其中的配比,造成刻蚀速率变化。从图 5 中也能看到,刻蚀深度曲线有缓缓地变慢的趋势,前 3 个采样点的刻蚀速率大于后面的采样点,因为此时的刻蚀剂还未发生明显的分解。如果只用刻蚀剂未明显分解的前 3 点进行刻蚀深度拟合,结果如图 8 右图所示。可算得该拟合曲线在刻蚀时间 690 s 时的刻蚀深度约为 8 900 nm,考虑到刻蚀过程中刻蚀剂的分解还会减缓刻蚀速率,该结果较符合实验结果。以此算出的刻蚀速率约为 12.9 nm/s,刻蚀 5 000 nm 只需约 390 s。通过实验,将待刻片直接刻蚀 390 s 后,刻蚀深度约为 5 600 nm,与理论值基本符合。





由于该方法是各向同性刻蚀,钻蚀速率与刻蚀速率基本相同,对于沟道侧壁的钻蚀很严重,需要在结构设计 时做出相应的改善,效果还有待进一步研究。最终制作得到的平面肖特基二极管样品如图9所示。

### 3 二极管的 I-U 测试及参数提取

通过探针台用四探针法对制得的二极管进行 *I-U*测试,图 10为阳极直径 1.0 μm 的二极管的 *I-U* 曲线图。图中可以看出,该管具有明显的整流特性。 通过 *I-U*曲线计算 *R*<sub>s</sub>和 *C*<sub>i0</sub>的公式如下<sup>[5]</sup>:

$$C_{j0} = A_{\sqrt{\frac{eN_D}{2\Phi_s}}}, \quad R_s = \frac{\Delta V_d}{I'}$$
(2)

式中: $\Phi_s$  为势垒高度, $\Phi_s = kT \ln AA^*T^2/I_s$ ; k 为玻尔 兹曼常数; T 为测量温度; A 为阳极面积;  $A^*$ 为有效



Fig.9 Complete Schottky barrier diodes 图 9 制作的平面肖特基二极管图

理查德孙常数,  $I_s$ 为反向电流; e 为电子电荷,  $N_D$ 为外延层掺杂浓度;  $\Delta V_d$ 为 lg I-U 曲线饱和部分与线性部分延长线在同一电流值时的电压值之差; I'为 lg I-U 曲线饱和部分某点的电流值。

通过式(2)和数据计算,可得 *R*<sub>s</sub>≈100 Ω, *C*<sub>j0</sub>≈1.17 fF。 根据式(1)可得,截止频率 *f*<sub>c</sub>约为 1 THz。

同时,*I*-U曲线还反映出该管电流过小,只有 μA 量级, 表明二极管的接触存在较大的问题,原因是由于阳极的制 作尚未完善,存在一些无法控制的环节。解决这些问题将 是下一步工作的方向。

#### 4 结论

对平面肖特基二极管制作中的材料生长、欧姆接触、 阳极制作和沟道制作几个重要步骤作了参数控制方面的研 究,部分实现了相关工艺的可控性,制作出了具有明显整



#### 参考文献:

- [1] 杨晓帆.基于平面肖特基二极管的太赫兹分谐波混频器研究[D]. 成都:电子科技大学, 2012. (YANG Xiaofan. Study on terahertz subharmonic mixer based on the planar Schottky diode[D]. Chengdu, China: University of Electronic Science and Technology, 2012.)
- [2] Bishop W L, Mckinney K, Mattauch R J, et al. A novel whiskerless Schottky diode for millimeter and submillimeter wave application[C]// 1987 IEEE Int. Microwave Symp. Digs.. Palo Aoto, CA, USA:[s.n.], 1987:607-610.
- [3] 姚常飞,徐金平.太赫兹 GaAs 肖特基二极管电路模型研究[C]// 2009 年全国微波毫米波论文集.西安:电子工业出版社, 2009. (YAO Changfei,XU Jinping. Analysis and modeling of GaAs Schottky diode for THz application[C]// Paper Collection of 2009 National Conference on Microwave and Millimeter Wave. Xi'an, China: Publishing House of Electronics Industry, 2009.)
- [4] 田超,杨浩,董军荣,等. 一种指数掺杂的砷化镓平面肖特基变容二极管的设计与制作[J]. 电子器件, 2011,34(1):29-32.
   (TIAN Chao,YANG Hao,DONG Junrong, et al. Design and fabrication of GaAs planar Schottky varactor diode with the exponential doping structure[J]. Chinese Journal of Electron Device, 2011,34(1):29-32.)
- [5] 张海燕. 薄硅外延片的生长及高频肖特基二极管的研制[D]. 杭州:浙江大学, 2002. (ZHANG Haiyan. Growth of thin silicon epilayer and fabrication of SBD of high frequency[D]. Hangzhou, China: Zhejiang University, 2002.)
- [6] 李蓓.肖特基二极管相关材料生长及器件研究[D].杭州:浙江大学, 2003. (LI Bei. Investigation on materials growth and device fabrication of Schottky barrier diodes[D]. Hangzhou, China: Zhejiang University, 2003.)
- [7] Mehdi I,Lee T H,Humphrey D A,et al. 600 GHz planar-Schottky-diode subharmonic waveguide mixers[C]// 1996 IEEE MTT-S Int. Microwave Symp. Digs.. San Francisco,CA,USA:[s.n.], 1996:377-380.
- [8] ZHANG J,Piironen P V,Möttönen V,et al. Model of quasi-vertical planar anti-parallel Schottky diode[C]// ICMMT'98. Beijing:[s.n.], 1998:130-133.
- [9] Mehdi I,Martin S C,Dengler R J,et al. Fabrication and performance of planar Schottky diodes with T-gate-like anodes in 200 GHz subharmonically pumped waveguide mixers[J]. IEEE Microwave and Guide Wave Letters, 1996,6(1):49-51.
- [10] Mehdi I,Marazita S M,Humphrey D A. Improved 240 GHz subharmonically pumped planar Schottky diode mixers for spaceborne applications[J]. IEEE Transactions on Microwave Theory and Techniques, 1998,46(12):2036-2042.

#### 作者简介:



罗跃川(1985-),男,四川省绵阳市人,助理研究员,主要研究方向为太赫兹技术、光子晶体与超材料.email:medievalman@sina.com.

**赵** 妍(1983-),女,石家庄市人,副研究员,主要研究方向为太赫兹技术、材料生长.

**阎大伟**(1984-),男,河南省焦作市人,助 理研究员,主要研究方向为太赫兹技术、光子晶 体与超材料.

沈昌乐(1981-),男,江西省高安市人,副研究员,主要研 究方向为太赫兹技术、材料生长、激光技术.

