

文章编号: 2095-4980(2015)04-0619-06

基于 cRIO 的时序控制软件架构设计

宋海峰^{a,b}, 张敏^{a,b}, 张蓉^{a,b}, 赵平^{a,b}, 潘旭东^{a,b}

(中国工程物理研究院 a.高能激光科学与技术重点实验室; b.应用电子学研究所, 四川 绵阳 621999)

摘要: 面向时序控制的功能需求, 基于 CompactRIO(cRIO)硬件系统, 使用 LabVIEW 软件作为编程语言, 设计了时序控制软件的程序架构。软件划分为现场可编程逻辑门阵列(FPGA)层和实时(RT)层 2 个层次, 2 层之间通过先入先出直接内存访问(DMA FIFO)和前面板控件进行数据通信。时序控制和硬件指令交互功能在 FPGA 层用状态机实现; RT 层实现与上位机的人机交互功能, 上报时序流程状态。经测试, 时序控制软件的硬件指令响应时间小于 50 μs 。

关键词: 时序控制; cRIO 硬件; 架构设计; 状态机; 消息队列

中图分类号: TN702; TP206

文献标识码: A

doi: 10.11805/TKYDA201504.0619

Architecture of time sequence control software design based on cRIO

SONG Haifeng^{a,b}, ZHANG Min^{a,b}, ZHANG Rong^{a,b}, ZHAO Ping^{a,b}, PAN Xudong^{a,b}

(a.The Key Laboratory of Science and Technology on High Energy Laser;

b.Institute of Applied Electronic, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

Abstract: Program architecture is designed to meet the requirements on time sequence control based on CompactRIO and LabVIEW. According to different requirements on instructions responses, the time sequence control software is divided into two layers: Field Programmable Gate Array(FPGA) layer and Real Time(RT) layer. Data communication is achieved by using Direct Memory Access First-In First-Out(DMA FIFO) and interface widget between the two layers. Function of time sequence control and hardware logical operations are achieved by using state machine in FPGA layer. Human-computer interaction is carried out in RT layer. The state of time sequence is passed to upper level computer. As a result of measurement, hardware operations response time is less than 50 μs .

Key words: time sequence control; cRIO; architecture design; state machine; event queue

CompactRIO(cRIO)是美国 NI 公司推出的一款工业级的嵌入式测控系统, 它集成了嵌入式 RT 控制器、FPGA 以及可重配置的 I/O 模块^[1-3]。整机采用了嵌入式设计, 系统具有低功耗、高可靠性等优点, 创新性地采用集成 FPGA 机箱, 使系统具备高速并行的运算处理能力。cRIO 系统设计精巧且坚固, 可满足苛刻的工业级指标, 特别适用于复杂工业环境中对可靠性有严格要求的各种应用^[4]。可利用 LabVIEW FPGA 直接通过 I/O 节点函数完成数字通道的读写, cRIO RT 控制器定时精确度一般是微秒级, FPGA 层实时响应可达到纳秒级^[5]。

时序控制软件通过接收本地上位机指令或采集 I/O 输入端口的状态信息(数字电平信号), 按照既定的时间顺序和逻辑判断结果, 向外部被控系统发送控制命令, 向本地控制上位机回传状态信息, 同时向 I/O 输出口输出当前重要状态信息。通信方式有网络传输控制协议(Transmission Control Protocol, TCP), 控制器局域网络(Controller Area Network, CAN)通信和硬件 I/O。本文基于 cRIO 嵌入式结构, 应用 LabVIEW2012 对时序控制软件的总体架构进行设计。

1 时序控制软件的设计要求

时序控制软件的设计需要满足以下要求^[6]:

- 1) 满足各子系统/设备不同接口信号的接入和输出需求, 包括 CAN 总线接口、专用电缆接口信号;
- 2) 完成各种试验模式下的时序控制, 确保各子系统/设备按时序协调一致地工作;

- 3) 完成异常情况下的时序处理, 并给予警示;
- 4) 对时序控制流程和各子系统/设备的状态进行监视;
- 5) 记录时序控制流程及状态信号;
- 6) 控制指令响应时间不大于 10 ms;
- 7) 控制系统不单独占用监控显示器。

2 时序控制的功能分解

2.1 时序控制软件的测控关系

时序控制通过部署在 cRIO 的时序控制软件, 实现对手序流程的控制与监测功能, 其核心功能是按照时间顺序控制分系统的阀门动作, 实现各种试验模式下的时序流程控制。时序控制软件的测控关系如图 1 所示。时序控制软件通过 CAN 与外部系统 S1 和 S2 进行通信, 接收和发送 CAN 指令, 对 S1 和 S2 的动作进行时序与单指令操作控制; 通过网络 TCP 与系统 S3, S4 和 S5 通信, 接收单指令控制指令, 对手序控制模式进行设置,

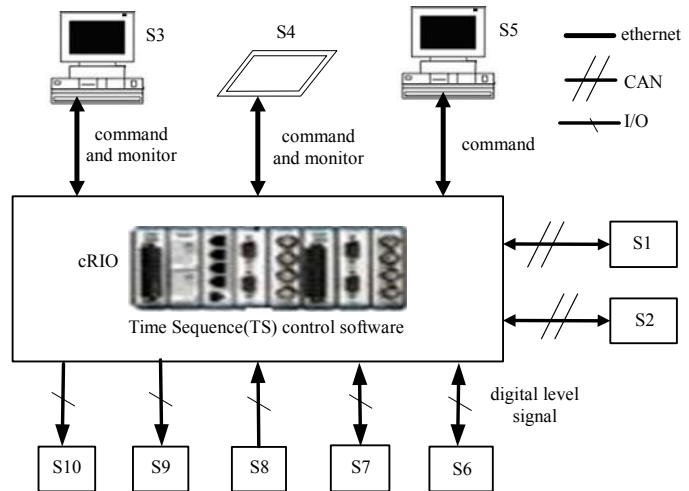


Fig.1 Observe and control relationship of time sequence control software
图 1 时序控制软件的测控关系图

监测时序控制流程, CAN 通信内容和 I/O 状态变化; 同时, 通过 I/O 硬件模块向 S6, S7, S8, S9, S10 采集和输出电平信号, 接收时序触发信号, 接收紧急故障处理信号, 输出控制流程中关键状态信号。

2.2 时序控制软件的功能分解

根据时序控制软件设计需求及测控关系, 对手序控制软件的功能进行划分, 应具有以下 7 大功能: 初始化功能、I/O 数据(电平信号)采集与输出功能、触发控制功能、安全连锁与紧急故障自动处理功能、控制联调功能、CAN 通信功能和网络通信功能。如图 2 所示, 将这些功能进行细化分解。

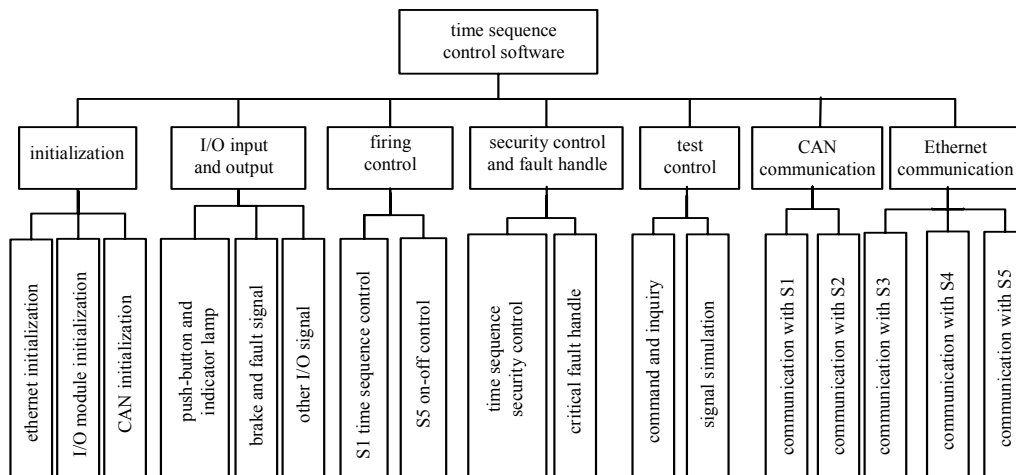


Fig.2 Detail function of time sequence control software
图 2 时序控制软件的功能分解图

3 时序控制软件的总体架构设计

3.1 时序控制软件设计实现的技术路线

根据图 2 中时序控制软件的功能描述, 将时序控制软件的功能划分至 cRIO 的 RT 和 FPGA 两层分别实现, 其中, 实时性要求比较高, 与外部硬件有关系的功能的实现放在 FPGA 层, 如: I/O 数据采集与输出功能、时序流程控制功能、安全连锁与紧急故障自动处理功能、CAN 通信功能以及部分的初始化与控制联调功能。人机交互操作及实时性要求不高的功能放在 RT 层实现, 如网络通信功能、单阀门控制和查询功能。

3.2 时序控制软件设计的总体构架

如图 3 所示,按照软件的运行环境,将软件划分为 FPGA 层和 RT 层两大部分软件。其中,FPGA 层软件通过 CAN 硬件模块与外部系统 S1 和 S2 通信,通过 I/O 硬件模块控制和采集 S6~S10 的电平状态。依托 FPGA 硬件电路并行工作,可保证微秒级的实时性。FPGA 层软件负责执行 I/O 数据采集与输出、触发时序控制、安全连锁与紧急故障自动处理、CAN 通信功能;RT 层软件通过网络与外部系统 S3,S4,S5 通信,可保证毫秒级的实时性,主要负责执行网络通信、单指令控制和查询功能。时序控制软件由 17 个功能模块组成,各模块的名称和功能概述如表 1 所示。

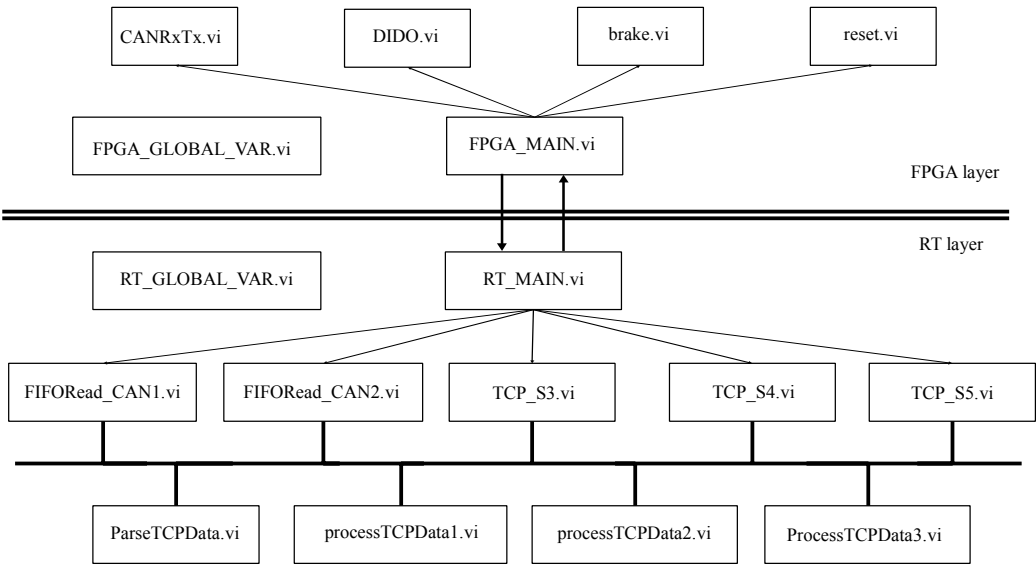


Fig.3 Architecture of time sequence control software
图 3 时序控制软件总体架构

表 1 时序控制软件功能模块的组成及功能概述

Table1 Partition and function of time sequence control software

number	code name	name	function overview
1	ZK_SXXKZ_01	FPGA_MAIN	initialization of IO and CAN, time sequence control state machine and communication between RT layer and FPGA layer
2	ZK_SXXKZ_02	CANRxTx	CAN receive and send
3	TZK_SXXKZ_03	Brake	safety and emergency fault automatic processing
4	ZK_SXXKZ_04	DIDO	output and input of IO signal
5	ZK_SXXKZ_05	Reset	reset of time sequence control state machine
6	ZK_SXXKZ_06	FPGA_GLOBAL_VAR	definition of global variables in FPGA layer
7	ZK_SXXKZ_07	RT_MAIN	initialization of network, upper level computer instruction interaction, control of program run and manage of FIFO_RT_FPGA
8	ZK_SXXKZ_08	TCP_S3	communication with S3
9	ZK_SXXKZ_09	TCP_S4	communication with S4
10	ZK_SXXKZ_10	TCP_S5	communication with S5
11	ZK_SXXKZ_11	FIFORead_CAN1	send S1's CAN command from FPGA layer to upper level computer
12	ZK_SXXKZ_12	FIFORead_CAN2	send S2's CAN command from FPGA layer to upper level computer
13	ZK_SXXKZ_13	ParseTCPData	receive TCP network data
14	ZK_SXXKZ_14	ProcessTCPData1	deal with TCP1 network data, create and add state machine event in RT main function
15	ZK_SXXKZ_15	ProcessTCPData2	deal with TCP2 network data, create and add state machine event in RT main function
16	ZK_SXXKZ_16	ProcessTCPData3	deal with TCP3 network data, create and add state machine event in RT main function
17	ZK_SXXKZ_17	RT_GLOBAL_VAR	definition of global variables in RT layer

2 层之间通过 FPGA 主 VI 的前面板控件和 3 个 DMA FIFO 实现数据通信和控制功能。每层内部通过全局变量通信。其中,2 个 DMA FIFO 分别存储系统 S1 和系统 S2 的 CAN 指令,另 1 个 FIFO 用来存储 S3 的硬件控制指令和 FPGA 层的一些关键状态信息;FPGA 层前面板控件存储其他状态、数据变量。DMA FIFO 的定义如表 2 所示。

表 2 DMA FIFO 对照表
Table2 List of DMA FIFO

number	name	purpose	remarks
1	FIFO_S1_FPGA_to_RT	store S1's information received from CAN and send it from FPGA layer to RT layer	U32 type 1 023 elements
2	FIFO_S2_FPGA_to_RT	store S2's information received from CAN and send it from FPGA layer to RT layer	U32 type 1 023 elements
3	FIFO_FGPA_to_RT	store other information needed to send from FPGA layer to RT layer	U32 type 1 023 elements

4 时序控制功能的设计

时序控制功能是时序控制软件的核心功能，对实时性和可靠性要求高，将此功能放在 FPGA 层实现。它包含 3 个方面的子功能：时序控制状态机，时序控制状态机的挂起，信号采集与通信。下面主要阐述前 2 个子功能的设计。

4.1 时序控制状态机的设计

用 LabVIEW 状态机^[7-8]实现时序控制功能，称为时序控制状态机，在 FPGA_MAIN.vi 中实现。状态机的主体是 while 循环+case 语句，时序控制状态机包含 15 种不同的状态，根据不同的任务模式，设计相应的状态切换顺序，程序执行对应的条件分支函数。状态机各状态的功能说明如表 3 所示。

表 3 时序控制状态机对应的状态设计
Table3 State design of time sequence control state machine

number	state	function overview
1	Idle	detect time sequence trigger signal
2	ClosePLZKF	send close number one valve command to S1
3	Delay0.3s	delay Δt_1 and receive the S1's feedback signal of close number one valve
4	StarS2	send start command to S2
5	CheckS2DF	delay Δt_2 and receive the feedback signal of S2, determine whether number one valve is opened successfully
6	DelayCloseS2	delay Δt_3
7	StartS1	send start command to S1
8	RecieveS11	receiving the feedback signal of S1 to determine whether the first experiment model is completed
9	RecieveS12	receiving the feedback signal of S1 to determine whether the second, third or fourth experiment model is completed
10	Delay0.5s	delay Δt_4
11	StopS2	send stop command to S2
12	Delay4s	delay Δt_5 and receive the feedback signal of S2, determine whether number one valve is closed successfully
13	OpenPLZKF	send open number one valve command to S1equipment
14	Delay8s	delay Δt_6 and send reduced speed command to S1 equipment
15	Reset	state reset

表 3 中各状态的状态转换图如图 4 所示。时序控制状态机的起始状态是 Idle 状态，满足时序启动条件后，进行状态跳转，终了状态是 Reset 状态。状态机循环执行，Reset 状态执行完毕后，标志当前时序流程执行完毕，自动跳转到起始的 Idle 状态，重新检测时序启动条件是否满足，开始下一时序控制。时序控制状态机可被故障信号挂起，故障清除后，根据状态寄存器当前状态，继续运行。

4.2 时序控制状态机的挂起

设计时序控制状态机的挂起机制，进行紧急故障的处理，以保证时序运行过程中，硬件设备的安全。考虑到故障处理具有最高的优先级，将故障处理函数的输出作为条件放在时序控制状态机的入口。时序控制状态机是一种带条件的状态机，

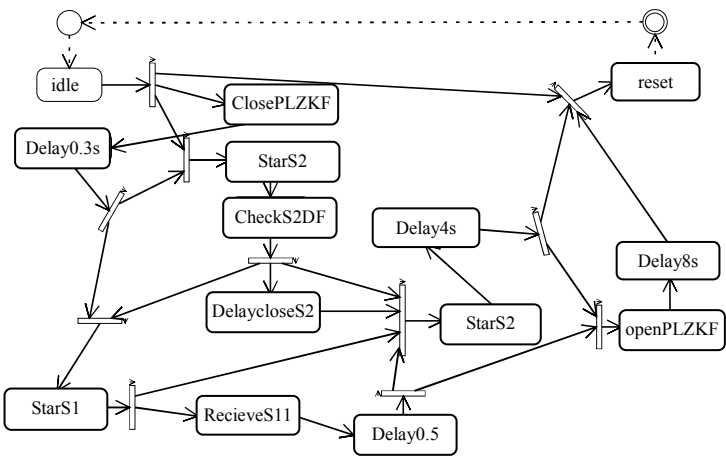


Fig.4 Transfer of time sequence control state machine
图 4 时序控制状态机状态转换图

在状态机 while 循环与 case 语句之间嵌套一个条件语句,该条件语句判断时序是否刹车,时序未刹车,才去执行状态机寄存器里当前寄存的状态函数;如果时序刹车,根据时序触发状态给状态机寄存器赋对应的状态值。通过这种条件嵌套的方式,使时序控制状态机能够快速响应故障和刹车信息,当出现故障或刹车信息时,时序迅速挂起,停止操作外部系统/设备,并寄存对应的状态;故障或刹车清除后,时序继续执行当前寄存的状态。具体执行流程见图 5 所示。

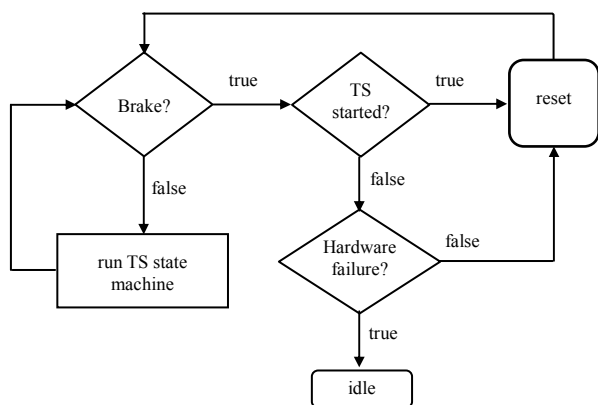


Fig.5 Execute and hang-up logic of time sequence control state machine
图 5 时序控制状态机的执行与挂起逻辑

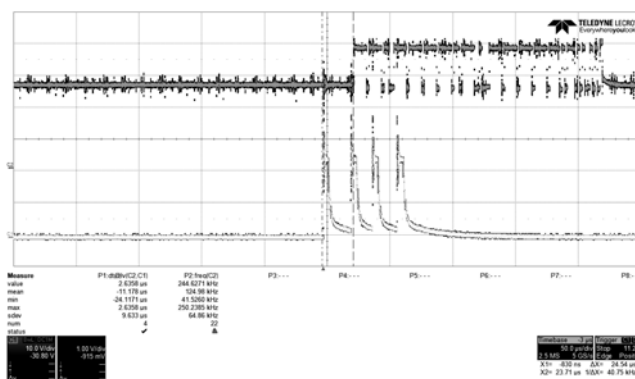


Fig.6 Hardware operations response time of time sequence control software
图 6 时序控制软件硬件响应时间测试结果

5 时序控制软件硬件响应时间测试结果

软件开发完成后,用示波器对硬件按钮触发信号的响应时间进行了测试,结果如图 6 所示,上方曲线为响应信号,下方曲线为按钮触发信号,可以看出响应时间约为 24.5 μs。结果表明,时序控制软件满足了设计指标对硬件响应时间的要求。

6 结论

时序控制软件功能复杂,对指令的实时性、逻辑的严密性、控制的安全性都有很高的要求。cRIO 是实时系统、FPGA 逻辑电路、可重配置 IO 相结合的硬件平台,结合 LabVIEW 强大稳定的编程功能,可实现时序控制软件的各项功能。采用 RT+FPGA 的双层架构模式,实现了时序控制软件的总体架构,满足了设计指标的要求。

参考文献:

- [1] 陈宝江,米佳. 基于 LabVIEW 和 cRIO 的大中型建筑机械嵌入式监控系统[J]. 起重运输机械, 2010(4):72-74. (CHEN Baojiang, MI Jia. A LabVIEW/cRIO-based embedded monitoring system for large and medium-scale construction machinery[J]. Hoisting and Conveying Machinery, 2010(4):72-74.)
- [2] 何芝霞,黄昶,倪瑞萍. 共享变量技术在 CompactRIO 中的应用[J]. 计算机系统应用, 2008(12):121-123. (HE Zhixia, HUANG Chang, NI Ruiping. Shared variables used in CompactRIO[J]. Computer Systems & Applications, 2008(12):121-123.)
- [3] 卢航,高峰,程刚. LabVIEW 现场可编程门阵列模块数据采集系统仿真[J]. 太赫兹科学与电子信息学报, 2013,11(6):977-980. (LU Hang, GAO Feng, CHENG Gang. Field Programmable Gate Array module data acquisition simulation system based on LabVIEW[J]. Journal of Terahertz Science and Electronic Information Technology, 2013,11(6):977-980.)
- [4] 索长生,李振,李一波,等. TCP/IP 技术在 CompactRIO 系统中的应用[J]. 沈阳航空航天大学学报, 2011,28(2):39-42. (SUO Changsheng, LI Zhen, LI Yibo, et al. The application of TCP/IP technology in CompactRIO system[J]. Journal of Shenyang Aerospace University, 2011,28(2):39-42.)
- [5] 贾军,梁述海. 基于 NI cRIO 的柴油机转速控制的半实物仿真[J]. 机电工程, 2011,28(11):1332-1335. (JIA Jun, LIANG Shuhai. Semi-physical simulation of speed control for diesel engine based on NI Crio[J]. Journal of Mechanical & Electrical Engineering, 2011,28(11):1332-1335.)
- [6] 张蓉,邓浩,王磊. 基于 PC104 的时序控制系统设计[J]. 计算机工程, 2011,37(1):251-253. (ZHANG Rong, DENG Hao, WANG Lei. Design of time-sequence control system based on PC104[J]. Computer Engineering, 2011,37(1):251-253.)

- [7] 叶枫桦,周新聪,白秀琴,等. 基于 LabVIEW 队列状态机的数据采集系统设计[J]. 现代电子技术, 2010(4):204-207. (YE Fenghua,ZHOU Xincong,BAI Xiuqin,et al. Design of data acquisition program based on queued state machine in LabVIEW[J]. Modern Electronics Technique, 2010(4):204-207.)
- [8] 聂影,冯向军,廖瑛,等. 基于 LabVIEW 的状态机模型研究[J]. 计算机测量与控制, 2007,15(9):1166-1168. (NIEYing, FENG Xiangjun,LIAO Ying,et al. Research on State Machine Model based on LabVIEW[J]. Computer Measurement & Control, 2007,15(9):1166-1168)

作者简介:



宋海峰(1980-),男,安徽省淮北市人,副研究员,从事激光应用技术相关研究.email: 25717922@qq.com.

张敏(1977-),女,四川省平昌县人,高级工程师,从事软件开发和测试工作.

张蓉(1972-),女,四川省梓潼县人,高级工程师,从事指控技术和可靠性技术研究.

赵平(1971-),男,四川省绵阳市人,高级工程师,从事软件工程化相关研究.

潘旭东(1972-),男,四川省遂宁市人,研究员,从事自动控制研究.

(上接第 608 页)

- [11] 胡世鹏,刘知贵,张活力,等. 核部件探测技术算法研究初探[J]. 太赫兹科学与电子信息学报, 2011,9(6):698-702. (HU Shipeng,LIU Zhigui,ZHANG Huoli,et al. Survey on algorithm of nuclear component detection technology[J]. Journal of Terahertz Science and Electronic Information Technology, 2011,9(6):698-702.)
- [12] 段玉波,范超,刘继承. 基于小波分析的振动信号阈值去噪新方法[J]. 太赫兹科学与电子信息学报, 2013,11(5):782-787. (DUAN Yuchao, FAN Chao, LIU Jicheng. A new method of vibration signal threshold denoising based on wavelet analysis[J]. Journal of Terahertz Science and Electronic Information Technology, 2013,11(5):782-787.)

作者简介:



周伟(1979-),男,南京市人,博士,副教授,主要研究方向为核信号采集与数字处理. email:zhouwei@cdut.edu.cn.

肖永江(1981-),男,江西省萍乡市人,讲师,主要研究方向为数字信号处理.

周建斌(1971-),男,湖南省常德市人,博士,教授,主要研究方向为核方法与核仪器仪表.

洪旭(1989-),男,重庆市涪陵人,在读博士研究生,主要研究方向为核信号数字处理.

赵祥(1991-),男,四川省彭州市人,在读硕士研究生,主要研究方向为智能仪器与仪表.