Journal of Terahertz Science and Electronic Information Technology

文章编号: 2095-4980(2015)06-0921-04

芯片级原子钟专用射频模块设计

罗国勇,赵建业

(北京大学 电子学系, 北京 100871)

摘 要:为进一步实现原子钟的低功耗、微型化,设计了一种用于⁸⁵Rb原子钟的专用射频模块芯片。该芯片采用了交叉耦合差分结构,利用串联的平面集成螺旋电感达到3GHz的输出频率,同时采用了累积型 MOS 变容管,实现控制电压对于输出频率的单调调节。最终对设计芯片进行了仿真测试,并完成了流片与封装,基本达到了设计指标。

关键词:射频模块;可变电容;螺旋电感;芯片设计

中图分类号:TN874+.2 文庫

文献标识码:A

doi: 10.11805/TKYDA201506.0921

Design of chip scale atomic clock dedicated RF module

LUO Guoyong, ZHAO Jianye

(Department of Electronics, Peking University, Beijing 100871, China)

Abstract: A dedicated RF module for ⁸⁵Rb atomic clock chip is designed in order to implement a low power and miniature atomic clocks. The structure of ⁸⁵Rb atomic clock chip dedicated RF modules is described. The chip employs a cross-coupled differential structure, and utilizes planar integrated spiral inductor in series to ensure the output frequency can reach 3 GHz. The chip uses the accumulation mode MOS varactors, and realizes the monotone adjustment on the output frequency by controlling the voltage. The simulation test is performed on the chip, then the flow sheet and packing are completed. The results basically reach the design specifications.

Key words: RF module; variable capacitor; spiral inductors; chip design

近年来,随着信息技术的不断发展和应用的不断深入,低功耗、微型化的原子钟需求也越来越多,例如 GPS 导航定位系统。而在不能接收外界授时信号的场合,比如水下作业平台,小型化低功耗的原子钟需求显得更为迫切和必要。原子相干布局囚禁(Coherent Population Trapping, CPT)现象的发现,使得原子钟的体积和功耗得到了大幅度的压缩。随着微电子技术和微波技术的快速进步,CPT 原子钟也逐渐趋于成熟,目前美国的研究机构 NIST、Agilent 公司和 Symmetricom 公司已经实现了微型 CPT 原子钟样机的研制。Symmetricom 公司已经在 2009 年研制出了第1款微型 CPT 原子钟产品,它的秒稳能达到 10⁻¹¹量级,千秒稳能达到 10⁻¹²量级。除此以外,Symmetricom 公司计划在未来几年实现更小体积和更低功耗的芯片级 CPT 原子钟。所谓芯片级 CPT 原子钟,就是将现有的电路模块进行重新整合,去掉一些复杂的冗余设计,从而将整个系统集成到一块或者多块芯片内部,真正实现集成化。设计自己专用的芯片模块,不仅可以对整个系统的体积进行大幅度压缩,也降低了系统的损耗,最大限度地满足了人们对于体积功耗的需求。本文主要针对 Rb 原子钟^[1-2]所需要的射频电路进行了深入研究,最终设计实现了 Rb 原子钟所需要的射频模块芯片。

1 射频模块工作原理及结构设计

依据原子的相干布居囚禁原理,在原子与激光相互作用时,当激光的频率恰好等于原子能级的频率差时,原 子会吸收入射的光子,被激发到上能级,使得透射激光功率大大降低,出现一个谷值。用2束相干激光与原子相 互作用,当2束激光的频率差恰好等于原子超精细能级的2个基态能级差时,原子不再被激发到上能级,因而在 荧光谱上出现一条暗线。 使用的⁸⁵Rb 原子,它的基态能级对应的 2 个超精细能级之间的频率差为 3.035 737 GHz,因此整个系统的射频模块要求输出频率在 3 GHz,同时为了保证系统能正常锁定,射频模块还应该包含一定的工作带宽。为了达到设计指标,利用交叉互补耦合的"负阻"结构来实现压控振荡器(Voltage Controlled Oscillator, VCO)^[3-5],使其工作的中心频率在 3.00 GHz。并通过调节其压控端,改变输出频率,最终产生 3.035 737 GHz 附近的频率调制信号,并利用该信号激发在对 CPT 峰锁定过程中产生的误差信号进行锁相反馈调节。

1.1 射频模块原理设计

VCO 是指能够长时间稳定产生固定频率,且频率能随着控制端电 压变化而变化的电路。振荡器主要由频率选择电路和能量提供电路构 成,见图 1。当前 VCO 有 2 大类型,一个是环形 VCO,一个是电容电 感 VCO。环形振荡器的结构简单,仅由一些延迟电路构成一个环路来 形成振荡。延迟电路的延迟时间决定了振荡器的振荡频率。它不需要 电感,可以节省大量的芯片面积,但是相位噪声差,且很难达到 1 GHz 以上频率。由于需要的工作频率在 3 GHz 附近,因此选择了电容电感 VCO(LV-VCO)^[6-8],其基本结构见图 2。

振荡器可简单被拆分成 2 个模块的互联,即提供能量的有源网络和筛选频率的谐振网络。其中谐振网络可以看成基本的 RLC 并联电路, R_p 代表电路的损耗电阻,这个损耗一般是由电感和导线的寄生电阻带入的。设计过程中,使用了交叉耦合全差分结构,它是由 1 个金属氧化物半导体(Metal Oxide Semiconductor, MOS)互耦对构成的,电流源 I_{ss} 提供直流偏置,设计过程中保证 2 个 MOS 管的跨导 $g_{m1}=g_{m2}=g_m$,那 么整个电路的等效负阻阻值为 $-2/g_m$ 。为了振荡电路持续稳定工作,谐 振电路的损耗阻抗要不大于有源电路等效负阻的阻值,即 $2R_p-2/g_m \leq 0$ 。 实际条件下,由于温度的变化和工艺的不确定性,振荡器会有额外的 损耗,因此需要设计一定的余量。在这里, g_m 约为 $1/R_p$ 的 2.5~3 倍。

1.2 集成可变电容

可变电容是调节 VCO 的关键器件,由于集成电感通常比较复杂, 并且一旦制作完成,很难修改其数值,因此改变振荡器的频率只能通 过改变可变电容容值的方式。

为了保证振荡器的输出频率和控制电压是一一对应的关系,设计 的可变电容应该具有单调的 C-U 曲线。设计中,在 N 阱内制造 1 个 N 型 MOS(NMOS)管,抑制沟道中形成少数载流子,这样就将 MOS 管限 制在累积区和耗尽区这 2 个工作区内,而不会进入反型区,这样就构 成了累积型 MOS 变容管^[9],其基本结构见图 3,对应的控制电压曲线 见图 4。

1.3 集成螺旋电感

射频电路的性能与电感设计的优良有着很大的关系。传统的射频 电路一般使用片外的电感,虽然片外电感的 Q 值很高,但是由于器件



 $-R_{\rm P}$

 $R_{\rm P}$

图 4 控制电压曲线

外置带来的寄生参数大和不利于芯片集成的因素成为它的重大缺陷,所以性能优异的片内集成电感的实现成为迫切的需要。在 COMS 集成工艺中,片内电感式通过在金属层进行光刻等手段形成线圈来实现的。它的可集成性强,功耗低,噪声小,所以在射频电路设计上得到广泛的应用。

在 CMOS 集成工艺中,片内电感最广泛的实现方式是平面的螺旋电感^[10]。片内电感的主要参数为电感大小和品质因数。在 CMOS 集成工艺中,为了保证这 2 个参数的稳定,有以下几点需要注意:

1) 将电感设计在最上层的金属中。这是因为 CMOS 工艺一旦确定,金属层的参数就固定下来,为了减少电感与其他金属层间产生的寄生电容,增大电感与其他走线的距离成为最有效的方式。

2)将电感的金属线宽度限定在一定范围内。过宽的金属线宽会增加电感的占用面积和寄生效应,同时增加 金属线宽不能有效降低金属线的寄生阻抗。一般情况下在 0.18 μm 的 CMOS 工艺中,10 μm 的宽度是比较合理的。

3) 尽量减小电感金属线的间距。靠近的金属连线会有磁场耦合效应,而且这种效应随着间距的缩小而增大。 减小金属线的间距将增大电感值和品质因数。

4) 保持电感与其他器件之间的距离。这也是尽量减小电感寄生阻抗的具体措施。

系统设计中使用了 GLOBALFOUNDRIES 提供的电感器件包,按照以上几点原则进行了参数设计和布局,确 保了片内集成电感的性能。

设计结果 2

设计过程中,选用了 GLOBALFOUNDRIES 公司的 0.18 µm CMOS 集成工艺,设计环境使用 Cadence IC5141。 整个芯片的面积为 1.12 mm×1.35 mm,由于需要的振荡频率较高,单一电感很难提供较高的 L 值,因此采用了多 个电感串联的结构。整个设计的版图见图 5,图 6 为对应的芯片实物图。版图完成之后,对寄生参数进行提取, 并且利用软件仿真,得到的振荡曲线见图 7。



Fig.6 Physical map of chip 图 6 芯片实物图



Fig.7 Shock graph of VCO 图 7 VCO 振荡曲线图

结论 3

图 5 芯片版图

本文设计了一种原子钟专用射频模块芯片,从测试结果看出,整个芯片的启振时间大概在 50 ns,并且在振 荡 100 ns 之后趋于稳定。整个振荡信号覆盖的范围为 2.85 GHz 到 3.14 GHz, 包含了需要的 3.035 GHz 的信号, 满足了设计目标。

参考文献:

- [1] 段巍,邢城,赵建业. 基于 ⁸⁵Rb 的微型化 CPT 原子钟的设计和实现[J]. 太赫兹科学与电子信息学报, 2015, 13(4): 649-652. (DUAN Wei,XIN Cheng,ZHAO Jianye. A design and implementation of miniature CPT atomic clock based on ⁸⁵Rb[J]. Journal of Terahertz Science and Electronic Information Technology, 2015,13(4):649-652.)
- [2] 郭涛. 小型化 CPT 原子钟电路系统设计及新型 CPT 原子钟提案[D]. 北京:北京大学, 2009. (GUO Tao. A miniaturized CPT atomic clock circuit design and new CPT atomic proposal[D]. Beijing:Peking University, 2009.)
- [3] Greenhouse H M. Design of planar rectangular microelectronic inductors[J]. IEEE Transactions on Parts, Hybirds, and Packating, 1974, PHP-10(2):101-109
- [4] Amaya Goni, Javier Del Pino, Benito Gonzalez, et al. An analytical model of electric substrate losses for planar spiral inductors on silicon[J]. IEEE Transcactions on Electron Devices, 2007,54(3):546-556.
- [5] 唐长文. 电感电容压控振荡器[D]. 上海:复旦大学, 2004. (TANG Changwen. LC Voltage-Controlled Oscillators[D]. Shanghai, China:Fudan University, 2004.)
- [6] 宁彦卿,池宝勇,王志华. 覆盖频率 3.2 GHz-6.1 GHz 的 CMOS LC VCO[J]. 半导体学报, 2007,28(4):526-531. (NING Yanqing,CHI Baoyong,WANG Zhihua. A CMOS LC VCO with 3.2 GHz-6.1 GHz tuning range[J]. Chinese Journal of Semiconductors, 2007,28(4):526-531.)
- [7] CAO Yu, Groves Robert A, HUANG Xuejue, et al. Frequency-independent equivalent-circuit model for on-chip spiral inductos[J]. IEEE Journal of Solid-State Circuits, 2003,38(3):419-425.
- [8] WANG Yong, SHI Yanling, LIU Yun, et al. Performance analysis of RF spiral inductor with gradually changed metal width and space[J]. Chinese Journal of Semiconductors, 2005,26(9):1716-1721.