

文章编号: 2095-4980(2016)03-0421-05

一种自偏置锁相环电路的分析与测试

鲍飞鸿, 郭伟, 李智鹏, 鲍景富

(电子科技大学 电子工程学院, 四川 成都 611731)

摘要: 自偏置锁相环电路结构自提出以来便受到了极大的关注, 人们普遍认为其可以改善锁相环的相位噪声。为了验证这种结构能否改善传统锁相环电路的相位噪声性能, 根据锁相环的基本理论设计并实现了一种可进行重新配置的锁相环电路结构, 电路中的锁相环结构可以在传统锁相环、自偏置锁相环和普通偏置锁相环之间进行切换。使用信号源分析仪分别测试得到了这3种结构的相位噪声性能: 自偏置锁相环的带内相位噪声比普通锁相环恶化了约6 dB, 而采用普通偏置锁相环使环路等效分频比减小5的相位噪声比普通锁相环改善了约14 dB。理论与测试结果均表明, 自偏置锁相环和普通锁相环相比, 环路反馈回路中的分频比并没有有效降低, 因此自偏置锁相环的相位噪声性能并没有得到改善。

关键词: 锁相环; 相位噪声; 自偏置; 环路等效分频比

中图分类号: TN911.8

文献标识码: A

doi: 10.11805/TKYDA201603.0421

Analysis and measurement of a self-offset Phase-Locked Loop

BAO Feihong, GUO Wei, LI Zhipeng, BAO Jingfu

(School of Electronic Engineering, University of Electronic Science and Technology of China, Chengdu Sichuan 611731, China)

Abstract: The self-offset Phase-Locked-Loop(PLL) structure, which is considered to have the ability to improve the phase noise performance of the PLL, has gained much attention. In order to verify this viewpoint, a reconfigurable circuit board is designed and implemented based on the basic theory of the PLL. The phase-locked loop structure can be switched among the conventional, self-offset and offset topologies, whose phase noise performances are measured by Agilent signal source analyzer, respectively. The in-band phase noise performance of the conventional PLL is better than that of the self-offset one by 6 dB, and the phase noise performance of the offset PLL is improved about 14 dB compared to the conventional one. The experimental results indicate that the frequency dividing-ratio in the feedback path of the loop has not been reduced in self-offset PLL compared to conventional PLL, thus the phase noise performance has not been improved.

Key words: Phase-Locked Loop; phase noise; self-offset; loop equivalent frequency dividing-ratio

频率合成器是现代电子系统中必不可少的一部分, 作为电子系统的“心脏”, 广泛应用于各种通信、雷达系统及测试测量设备中^[1]。频率合成器的一种典型应用是为无线接收机和发射机中的变频电路提供本振信号^[2-3], 它的相位噪声性能直接影响到通信系统或雷达系统中收发机所能处理信号的动态范围, 因此低相噪频率合成技术得到广泛研究与实现。在2008年由Sadowski等人提出了一种自偏置锁相环技术^[4-5], 由于该技术能够有效降低锁相环环路带宽内的相位噪声而受到广泛关注, 但是其理论分析存在一些缺陷。本文对自偏置锁相环技术原理进行分析并得到了不同的结论。通过对实验电路进行测试, 其结果与本文的分析结果相吻合。

1 原理分析

现在常用的锁相环多为电荷泵锁相环, 它主要由鉴频鉴相器(Phase Frequency Detector, PFD)、环路滤波器

收稿日期: 2014-11-28; 修回日期: 2015-03-05

基金项目: 国家自然科学基金委员会和中国工程物理研究院联合基金资助项目(U1430102)

(Loop Filter, LF)、压控振荡器(Voltage Controlled Oscillator, VCO)和分频器 4 部分组成^[6]。一般的锁相环集成电路芯片集成了参考 R 分频器、射频 N 分频器和鉴频鉴相等, 只需外加 VCO 和环路滤波器即可构成一个完整的锁相环电路。但对于微波频率合成器而言, 由于其频率往往超出了锁相环芯片 N 分频器的最大工作频率, 需要在锁相环芯片外加一个预分频器, 见图 1 中分频器 K。

VCO 输出信号分 2 路, 一路作为输出信号, 另一路经预分频器后直接输入锁相环芯片。锁相环芯片内部 N 分频器对信号进一步分频, 此分频输出与参考信号 f_{ref} 的 R 分频信号 f_{pd} 进行鉴相, 鉴相器输出通过环路滤波器滤除高频分量后作为 VCO 的控制电压, 从而连接成为一个完整的相位负反馈系统。其中环路滤波器的传递函数为 $Z(s)$ 。VCO 的输出频率 f_{out} 与鉴相频率 f_{pd} 之间的关系为:

$$f_{\text{out}} = KNf_{\text{pd}} \quad (1)$$

普通锁相环的优点是结构简单, 成本低, 体积小, 但它有一个主要的缺点是输出相位噪声相对于参考信号会以 $20\log N$ (N 为反馈回路的分频比) 的比例恶化。改善这种结构的一种方案是采用偏置式锁相环, 见图 2。在普通锁相环的反馈回路中添加一个混频器, 外加一个低相位噪声的信号 f_{offset} 作为混频器的本振输入, 预分频器 K 的输出作为混频器的射频输入, 混频器输出通过低通滤波器后获得中频信号 $f_{\text{IF}} = f_{\text{out}}/K - f_{\text{offset}}$ 。此中频信号通过 N 分频之后作为鉴相器的输入。图 2 所示的普通偏置锁相环的输出 f_{out} 与鉴相频率 f_{pd} 之间的关系为:

$$f_{\text{out}} = K(Nf_{\text{pd}} + f_{\text{offset}}) \quad (2)$$

对于图 2 的偏置锁相环虽然可以有效降低输出相位噪声, 但前提是要另外提供一个低相位噪声且频率相对较高的本振信号, 如何实现这个信号又成为了关注的问题。为了解决这个问题, Sadowski 首先提出了一种新型的自偏置锁相环结构^[4-5], 见图 3。

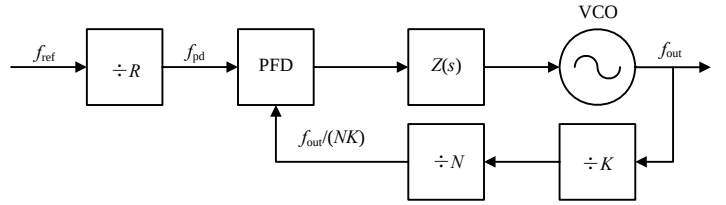


Fig.1 Conventional phase-locked loop architecture
图 1 普通锁相环结构

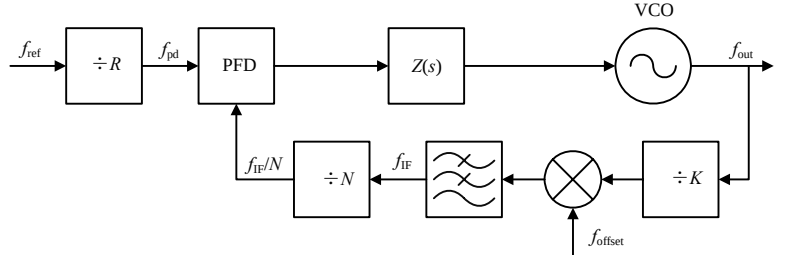


Fig.2 Microwave frequency synthesizer architecture using an offset PLL
图 2 使用偏置锁相环的微波频率合成器结构

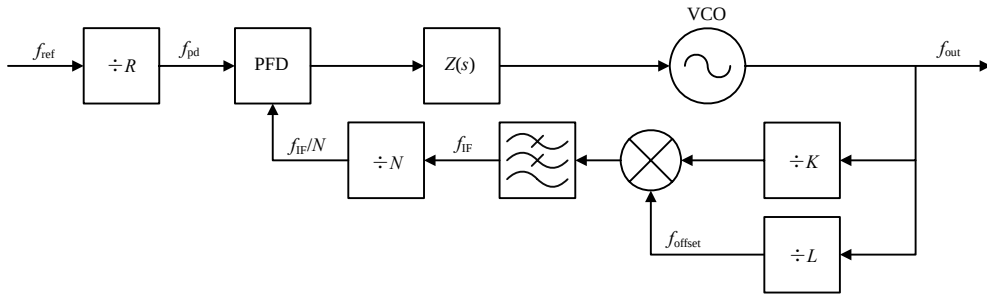


Fig.3 Microwave frequency synthesizer architecture using a self-offset PLL
图 3 使用自偏置锁相环的微波频率合成器结构

图 3 的自偏置锁相环与图 2 的普通偏置锁相环区别在于不需要外加本振信号, 而是增加一个从 VCO 输出的 L 分频信号作为混频器的本振输入, 从而显著降低了硬件成本。其中 L 值为一个比 K 值略大的整数, 若定义它们之间的差值为 x , 即 $L = K + x$, 则混频器输出的中频信号频率为:

$$f_{\text{IF}} = \frac{f_{\text{out}}}{K} - \frac{f_{\text{out}}}{L} = \frac{f_{\text{out}}}{K} - \frac{f_{\text{out}}}{K+x} = \frac{x}{K(K+x)} f_{\text{out}} \quad (3)$$

输出信号频率 f_{out} 与参考输入频率 f_{ref} 之间的关系为:

$$f_{\text{out}} = \frac{NLK}{L-K} f_{\text{pd}} \quad (4)$$

与图 1 的普通锁相环进行比较, 在相同鉴相频率 f_{pd} 和输出频率 f_{out} 的情况下, 设此时的 N 分频器值为 $N_{\text{self-offset}}$, 比较式(1)与式(4)可得:

$$N_{\text{conv}} = \frac{L}{L-K} N_{\text{self-offset}} = \frac{L}{x} N_{\text{self-offset}} \quad (5)$$

由式(5)可知,由于 L 是一个比 x 大的数,锁相环电路中 N 分频器的值 $N_{\text{self-offset}}$ 减小为 N_{conv} 的 x/L 倍,于是文献[4]得出使用自偏置锁相环可使得相位噪声改善 $20\lg \frac{N_{\text{conv}}}{N_{\text{self-offset}}} = 20\lg \frac{L}{x}$ (dB)的结论。但是此结论存在一定的缺陷。

锁相环是一个相位负反馈系统,见图4,锁相环的反馈增益:

$$H(s) = \frac{1}{N} \quad (6)$$

式中 N 为输出与参考之间等效分频比,即当输出频率变化 Δf 时,分频器输出变化 $\Delta f/N$ 。锁相环输出信号相对于参考信号来说相位噪声会恶化 $20\lg N$ 。设计低相位噪声锁相频率合成器的关键就在于减小此等效分频比,增大反馈增益。对于图1所示的普通锁相环结构,其等效分频比:

$$N_{\text{eq_conv}} = KN_{\text{conv}} \quad (7)$$

对于图2所示的普通偏置锁相环,由于本振信号频率 f_{offset} 固定,由式(2)可知,当输出变化 Δf_{out} 时,鉴相频率变化为 $\Delta f_{\text{pd}} = \frac{1}{KN_{\text{offset}}} f_{\text{out}}$,即等效分频比为:

$$N_{\text{eq_offset}} = KN_{\text{offset}} \quad (8)$$

对于图3所示的自偏置锁相环, K 和 L 为固定值,当输出变化 Δf_{out} 时,由式(4)可知鉴相频率变化为 $\Delta f_{\text{pd}} = \frac{L-K}{LKN_{\text{self-offset}}} f_{\text{out}}$,即等效分频比为:

$$N_{\text{eq_self-offset}} = \frac{LK}{L-K} N_{\text{self-offset}} = \frac{LK}{x} N_{\text{self-offset}} \quad (9)$$

把式(5)代入式(9)可得:

$$N_{\text{eq_self-offset}} = \frac{LK}{x} \frac{x}{L} N_{\text{conv}} = KN_{\text{conv}} \quad (10)$$

在输出频率和鉴相频率相同的情况下,自偏置锁相环环路反馈回路中的等效分频比与普通锁相环的相同,因此反馈回路增益相同。实际上,图5自偏置锁相环中的自偏置电路相当于一个分频器,分频比为 $\frac{LK}{L-K}$ 。因此,采用自偏置锁相环结构不能改善输出相位噪声。

2 实验验证

为验证自偏置锁相环电路能否改善相位噪声性能,设计电路结构见图6,其中输出频率 f_{out} 为2.4 GHz,鉴相频率 f_{pd} 为1 MHz。选用分频器分别为Hittite公司的HMC361S8G除2分频器,HMC426MS8G除4分频器,HMC394LP4可编程分频器实现除5功能。调试所用2.4 GHz VCO的调谐

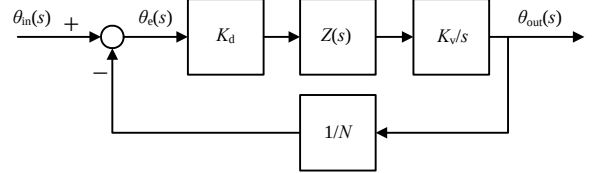


Fig.4 PLL phase negative feedback system model
图4 PLL 相位负反馈模型

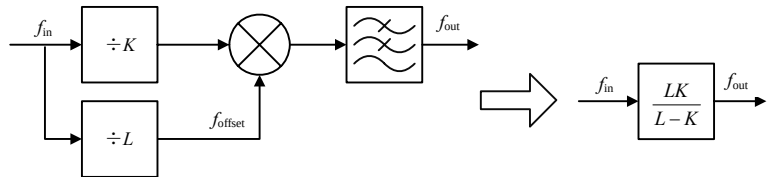


Fig.5 Equivalent divider model of the self-offset circuit
图5 自偏置电路的等效分频模型

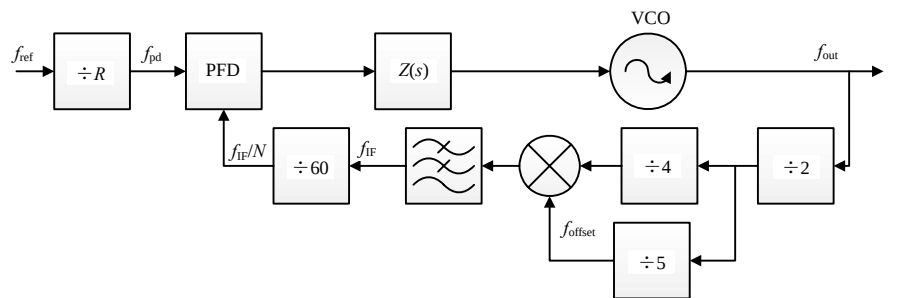


Fig.6 Self-offset phase-locked loop circuit
图6 自偏置锁相环电路

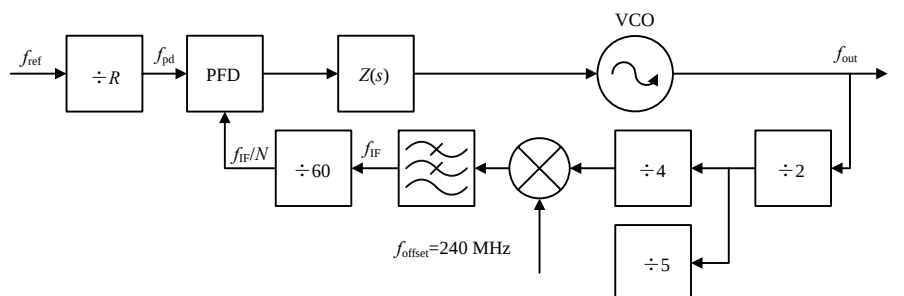


Fig.7 Offset phase-locked loop circuit
图7 普通偏置锁相环电路

电压为 0 V~5 V, 输出频率为 2.28 GHz~2.52 GHz, 输出频率为 2.4 GHz 时的调谐电压约为 2.5 V。鉴相器使用 Analog Devices 公司的 ADF4002。VCO 输出频率为 2.4 GHz 的情况下, 除 4 分频器的输出信号频率为 300 MHz, 除 5 分频器的输出信号频率为 240 MHz, 混频器选用 Mini-Circuit 公司的 ADEX-10L。混频输出经滤波放大过后得到 60 MHz 的信号, 此信号接到锁相环芯片 ADF4002 的射频信号输入端, 经芯片内部分频器 60 分频后得到 1 MHz 鉴相频率。

此电路通过适当变换可作为普通锁相环以及普通偏置锁相环。断开 5 分频器输出与混频器本振之间的连接, 使用外部信号源为混频器加入一个 240 MHz 的本振信号, 如图 7 所示, 此即为普通偏置锁相环。5 分频器输出的 240 MHz 信号可以直接输入到锁相环芯片 ADF4002 的输入端, 如图 5 所示。通过 ADF4002 内部分频器进行 300 分频后得到 1 MHz 鉴相频率, 这就是传统普通锁相环的配置, 见图 8。

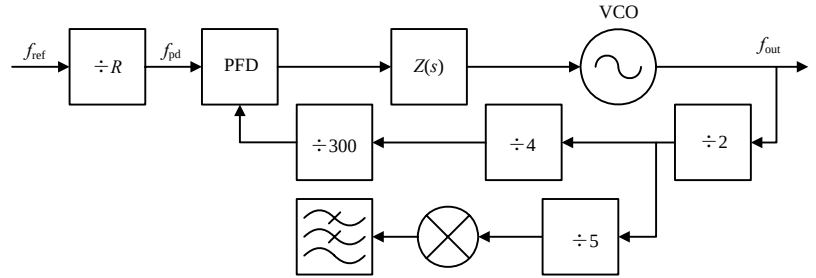


Fig.8 Conventional phase-locked loop circuit
图 8 普通偏置锁相环电路

3 实验结果与分析

在这 3 种电路配置中, $K=8, L=10, N_{\text{conv}}=300, N_{\text{offset}}=60, N_{\text{self-offset}}=60$ 。由式(9)~式(11)可知 3 种锁相环相应的等效分频比分别为 $N_{\text{eq-conv}}=2400, N_{\text{eq-offset}}=480, N_{\text{eq-self-offset}}=2400$ 。如果按照文献[4-5]得出的结论计算, 自偏置锁相环对相位噪声的改善为 $20\lg(N_{\text{conv}}/N_{\text{self-offset}})=20\lg 5 \approx 14$ dB。但由本文的分析可知, 使用自偏置锁相环并没有减小环路等效分频比, 因此起不到改善相位噪声的作用。

3 种电路配置使用的参考信号源相同, 鉴相频率均为 1 MHz, 输出频率为 2400 MHz, 锁相环的环路带宽设计为 100 kHz 左右。使用 Keysight 公司(原 Agilent 电子测量事业部)信号源分析仪 E5052B 分别测量 3 种锁相环的输出信号相位噪声, 测试结果见图 9。

实际电路测试结果表明, 使用自偏置锁相环的输出信号带内相位噪声不但没有比使用传统锁相环的噪声改善 14 dB, 反而恶化了约 6 个 dB。而使用普通偏置锁相环时, 输出信号的带内噪声与自偏置锁相环和传统锁相环相比有着明显的改善。测试结果与分析结果吻合。改善普通锁相环的相位噪声可以选用图 2 的偏置式锁相环, 或者其他有效的结构^[7-8]。

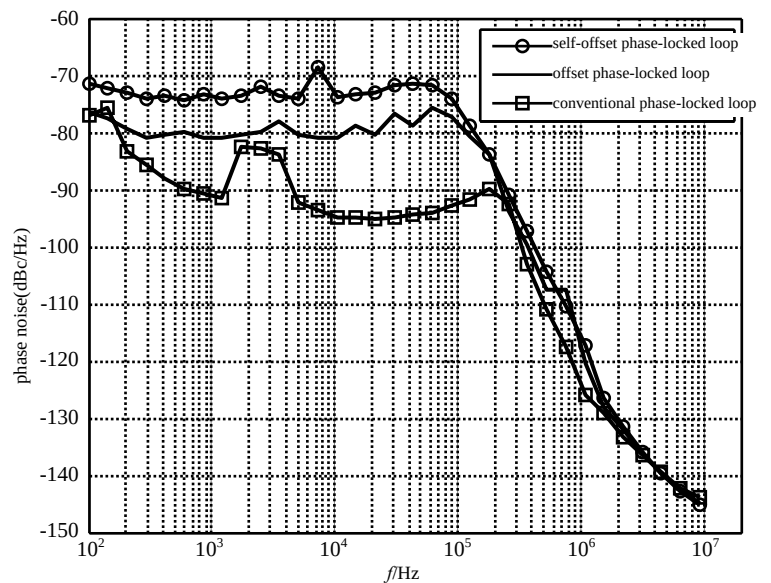


Fig.9 Three types of different PLL circuits phase noise measurement
图 9 3 种不同类型锁相环电路的相位噪声测试

4 结论

本文主要分析并测试了一种自偏置锁相环的相位噪声性能。理论与测试结果表明, 采用自偏置锁相环电路并不能有效改善锁相环的环路带宽内相位噪声。自偏置部分的电路只是相当于普通锁相环电路中的一个分频器。并且与普通传统的锁相环相比, 由于引入了更多分频器、放大器等有源器件以及混频器、滤波器等无源器件, 其相位噪声会有一定的恶化。

参考文献:

- [1] 王家礼, 孙璐. 频率合成技术[M]. 西安: 西安电子科技大学出版社, 2009. (WANG Jiali, SUN Lu. Frequency Synthesis Techniques[M]. Xi'an, China: Xidian University Press, 2009.)

- [2] CHENAKIN A. Frequency Synthesizers: Concept to Product[M]. [S.l]: Artech House, Inc. 2011.
- [3] MANASSEWITSCH V. Frequency Synthesizers Theory and Design[M]. 3rd ed. New York: Wiley, 1987.
- [4] SADOWSKI B. A self-offset Phase-Locked Loop[J]. Microwave Journal, 2008, 51(4): 116-124.
- [5] 万鸣, 廖志雄, 魏萍. 一种自偏置锁相环结构的分析[J]. 太赫兹科学与电子信息学报, 2013, 11(1): 110-112. (WAN Ming, LIAO Zhixiong, WEI Ping. Analysis of a self-offset Phase Lock Loop[J]. Journal of Terahertz Science and Electronic Information Technology, 2013, 11(1): 110-112.)
- [6] 张有正, 陈尚勤, 周正中. 频率合成技术[M]. 北京: 人民邮电出版社, 1984. (ZHANG Youzheng, CHEN Shangqin, ZHOU Zhengzhong. Frequency Synthesis Techniques[M]. Beijing: Posts & Telecom Press, 1984.)
- [7] DRUCKER E. Techniques for improving noise and spurious in PLLs[J]. Microwave Journal, 2012, 55(5): 110-122.
- [8] 李智鹏, 刘永智, 徐铭海. 基于级联式偏置锁相环的低相噪宽带频率合成器[J]. 微波学报, 2014, 30(6): 17-21. (LI Zhipeng, LIU Yongzhi, XU Minghai. Low phase noise wideband frequency synthesizer based on cascaded-offset phase locked loop[J]. Journal of Microwaves, 2014, 30(6): 17-21.)

作者简介:



鲍飞鸿(1991-), 男, 浙江省金华市人, 在读硕士研究生, 研究方向为电路与系统.
email: imbaofh@outlook.com.

郭伟(1990-), 男, 四川省泸州市人, 在读硕士研究生, 研究方向为低相噪频率合成技术.

李智鹏(1985-), 男, 成都市人, 在读博士研究生, 研究方向为相位噪声模型、低相噪振荡器与频率合成器.

鲍景富(1964-), 男, 浙江省义乌市人, 教授, 博士生导师, 主要研究领域为射频电路与系统、射频微机电器件及系统等.

2016 中国雷电防护高峰论坛征文通知

为了反思发展中的症结, 研讨中国防雷行业在新形势下的发展方向, 中国气象学会、深圳市防雷协会联合旻生展览(上海)有限公司定于2016年6月19日在中国国家会议中心举办“2016中国雷电防护高峰论坛”。本届论坛与“第八届中国气象科技和水文技术设备展、中国第十届防雷技术与产品展”同期举行, 将邀请国家气象局、中国气象学会雷电委员会、全国雷电防护标准化技术委员会、大专院校、科研设计院所、国家电网、防雷检测机构、投融资机构、知名防雷企业、省市防雷中心等相关领域学者、专家、负责人出席, 通过权威主题报告、技术方案解析以及“专家论道”等互动形式, 对防雷行业共同关注的热点问题指明方向。

征文要求:

- 1、为了集中反映当前中国智能防雷技术的水平和发展方向, 为各应用领域提供最具针对性的智能防雷解决方案或设计策略, 本届论坛面向相关企事业单位、国内外科研机构、大专院校等征集论文, 截稿时间: 2016年5月15日。
- 2、论文主题范围: 防雷产业发展方向和趋势、智能防雷技术解决方案, 需具有前瞻性、技术先进性和实用性。
- 3、论文格式要求: WORD 电子文档, 发送至邮箱: 14260473@qq.com
- 4、所有论文经专家评审组严格审核通过后, 编入《2016中国雷电防护高峰论坛论文集》, 在全行业发行。
- 5、入选论文作者享受论坛会务费特别优惠。

论坛背景

2015年, 由国家行政审批制度改革引发的防雷体制改革有了实质性的进展, “智慧城市”建设在全球范围内快速铺开, 大数据、云计算、物联网的广泛应用被上升到国家战略层面, 诸如此类的利好极大地促进了中国防雷产业的市场化和智能防雷技术的发展, 也给防雷行业带来机遇、困惑和挑战。

2016年, 是国家“十三五”规划的开局之年, 在“保持经济中高速增长, 推动产业迈向中高端水平”的宏观战略指导下, 政府将加强交通、能源、信息化等重大基础设施建设, 由此产生出巨大的市场供需。中国的防雷行业, 面对新的市场规则、新的市场需求, 能否成就产业的转型升级? 能否让当前面临的种种困局逐一水落石出?

此外, 四川省电子学会电磁脉冲与雷电防护技术专业委员会也将于2016年7月14日在成都新国际会展中心举办专题技术研讨会, 并出版论文专辑, 欢迎投稿并参会交流。

投稿邮箱: 13988401@qq.com

有关论坛详情, 请关注【中国防雷】微信公共号: CNFangLei

