

文章编号: 2095-4980(2016)05-0753-05

一种自适应低相位噪声相参时钟源的设计

周晓鹏¹, 宋烨曦²

(1.中国人民解放军军事代表室, 四川 绵阳 621000; 2.四川九州电器集团有限责任公司 共性技术研究部, 四川 绵阳 621000)

摘 要: 通过锁相环电路(PLL), 不仅将外部系统提供的具有高频率准确度但相位噪声较差的主时钟信号转化为高频率准确度、低相位噪声的内部时钟信号, 同时也满足了内外部系统的相参要求。通过仿真和测试, 重点分析了锁相环电路中环路滤波器的环路带宽对输出信号相位噪声的影响。测试结果显示, 当环路带宽为 100 Hz 时, 锁相环的输出信号在偏离载波 1 kHz 处的相位噪声与其内部振荡器在此处的相位噪声基本一致; 而当环路带宽为 500 Hz 时, 输出信号在偏离载波 1 kHz 处的相位噪声会由于环路影响, 相比内部振荡器产生 8 dB 左右的恶化。设计所得时钟源在输出 100 MHz 信号时, 其相位噪声优于 -147 dBc/Hz@1 kHz, 相比外部参考时钟信号改善了 12 dB, 并且其频率准确度可达 1×10^{-9} 。

关键词: 锁相环; 环路滤波器; 低相位噪声

中图分类号: TN74

文献标识码: A

doi: 10.11805/TKYDA201605.0753

Design of an adaptive coherent clock source with low phase noise

ZHOU Xiaopeng¹, SONG Yexi²

(1.Military Representative Office of People's Liberation Army of China, Mianyang Sichuan 621000, China;

2.Common Technology Research Department, Sichuan Jiuzhou Electric Group Co., Ltd., Mianyang Sichuan 621000, China)

Abstract: By the circuit of Phase-Locked Loop(PLL), the external system clock with high frequency accuracy but poor phase noise is converted into an internal clock signal with high frequency accuracy and low phase noise simultaneously. The internal clock source is coherent with the external source by the PLL as well. The effect of the PLL loop bandwidth on the phase noise of the output signal is analyzed emphatically through both simulations and measurements. Test results show that, at 100 Hz of loop bandwidth, the phase noise of the PLL output signal basically equals to that of the internal oscillator at 1 kHz away from the carrier. While at 500 Hz of loop bandwidth, the phase noise of the PLL output signal is decreased by 8 dB at the same place, compared to the internal oscillator phase noise, due to being affected by the loop filter. The phase noise of the proposed 100 MHz clock source is better than -147 dBc/Hz@1 kHz, which is improved by 12 dB than that of the external reference clock signal, and the frequency accuracy can reach up to 1×10^{-9} .

Key words: Phase-Locked Loop; loop filter; low phase noise

雷达系统中, 频率源的相位噪声特性直接影响到系统中接收机的灵敏度和带宽、雷达的分辨力以及雷达的改善因子等关键技术指标^[1-2]。而低相位噪声的参考时钟源是实现系统内部低相位噪声频率源的基础。另外, 相参雷达系统相比于非相参系统, 在目标的探测、跟踪以及系统的抗干扰能力等多个方面均存在较大优势^[3-5]。因此, 研制低相位噪声的相参时钟源就成为实现高性能相参雷达系统的一项关键技术。本文设计的时钟源具有 2 种工作模式, 通过自适应控制可以自动切换。当外部主时钟(准确度很高, 但因为受干扰严重导致相位噪声较差)有信号过来时, 自动选择激活内部的锁相环电路, 使内部振荡器(准确度较差, 但相位噪声很好)与外部主时钟同步, 实现整个系统的相参, 并输出具有低相位噪声高频率准确度的信号(工作模式 1); 当外部主时钟信号无信号输入时, 自动切换到内部振荡器直接输出, 以实现系统的一些基本功能(工作模式 2)。相比张帆、许国宏等人设计的高精确度同步时钟源^[6-7], 本文介绍的相参时钟源, 不仅具有高精度度的特点, 还同时具备自适应性和低相噪的特性。

收稿日期: 2015-11-16; 修回日期: 2016-01-05

1 低相位噪声的实现原理

本文设计的时钟源,其低相位噪声特性主要由锁相环电路来实现。锁相式频率合成器输出信号的相位噪声模型如图 1 所示,其中 $S_{\phi i(f)}$ 为参考信号的相位噪声; $S_{\phi R(f)}$ 为参考 R 分频器引入的相位噪声; $S_{\phi N(f)}$ 为反馈端 N 分频器引入的相位噪声; $S_{\phi PD(f)}$ 为鉴相器底噪; $S_{\phi VCO(f)}$ 则为压控振荡器的开环相位噪声; $K_d, F(s), K_{vco}/s$ 分别表示鉴相器增益,环路滤波器的传递函数以及压控振荡器的调谐灵敏度^[8-9]。由此可见锁相环的相位噪声主要由锁相参考源的相位噪声、压控振荡器的相位噪声以及锁相环路中有源器件的噪声基底决定。当环路中的有源器件噪声基底足够小时,输出信号的相位噪声则只受锁相参考源的相位噪声以及压控振荡器的相位噪声影响。其中,由于环路滤波器对输入的参考信号噪声表现为低通效应而对压控振荡器的输出信号噪声表现为高通效应,使得锁相环路带宽以内的相位噪声主要由锁相参考源决定,而环路带宽以外的相位噪声主要由内部振荡器决定^[8-11],即锁相环输出信号的相位噪声可以表达成以下形式:

$$S_{\phi out(f)} = S_{\phi L} |H(f)|^2 + S_{\phi H} |H_e(f)|^2 \quad (1)$$

式中 $S_{\phi L}$ 表示具有低通传输特性的噪声,包括 $S_{\phi i(f)}, S_{\phi R(f)}, S_{\phi N(f)}$ 和 $S_{\phi PD(f)}$; $H(f)$ 为环路的闭环传递函数; $S_{\phi H}$ 表示具有高通传输特性的噪声,这里主要是 $S_{\phi VCO(f)}$; $H_e(f)$ 为环路的相位误差传递函数。因此,为了实现低相位噪声的频率源,需要选择合适的锁相参考源和压控振荡器并且合理地选择锁相环的环路带宽。

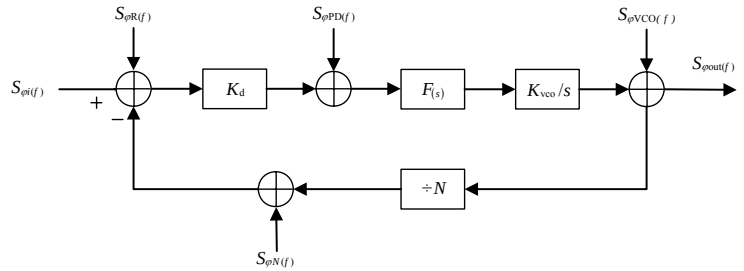


Fig.1 Phase noise model of the PLL frequency synthesizer

图 1 锁相式频率合成器的相位噪声模型

2 电路的设计与实现

基于某型产品对时钟源的需求进行设计。外部输入主时钟为 10 MHz,相位噪声优于-130 dBc/Hz@1kHz,频率准确度优于 1×10^{-9} 。有外部主时钟输入时,主要指标具有一定要求。工作模式 1,当检测到有外部主时钟输入时,时钟源应满足指标:输出频率 100 MHz;相位噪声优于-145 dBc/Hz@1 kHz;频率准确度优于 1×10^{-9} ;杂散抑制优于-70 dBc;输出功率 10 dBm $\pm$ 2 dB;时钟源输出与外部主时钟的关系为相参。工作模式 2,同时当无外部主时钟输入时,时钟源应满足以下指标:输出频率 100 MHz;相位噪声优于-145 dBc/Hz@1 kHz;频率准确度优于 1×10^{-7} ;杂散抑制优于-70 dBc;输出功率 10 dBm $\pm$ 2 dB。

通过对指标的分析,可以看出该时钟源的设计难点在于输出时钟在保证与输入主时钟相参的同时还要输出较高的频率准确度和较低的相位噪声指标,同时无外部主时钟输入时其指标要求依然很高。根据上述指标要求,选择 CTS 公司生产的带有电压控制功能的恒温晶振作为时钟源内部的振荡器,其主要参数指标如下:输出频率 100 MHz;频率稳定度优于 5×10^{-8} ;相位噪声优于-150 dBc/Hz@1 kHz;输入信号谐波抑制优于-25 dB;调谐电压范围 0~4.5 V。

2.1 测试结果

技术要求时钟源具有 2 种工作模式,而具体工作模式由外部主时钟的输入决定。设计的时钟源电路如图 2 所示,其主要由以下几个子电路组成:a) 功分网络,将外部输出的时钟信号功分为 2 路,其中一路进入检波器进行信号检测,另一路供给锁相环芯片作为参考信号;b) 检波比较电路,将外部时钟信号的功率值转换为对应电压值,并与比较器中设定的门限电压进行对比,输出用以控制后级开关的高/低电平信号;c) 开关电路,通过比较器输出的控制电压控制开关切换时钟源的工作模式;d) 锁相环电路,该电路作为时钟源的第一种工作模式,通过模拟开关来选择是否激活这种模式;e) 恒温晶振 DAC 调节电路,通过 DAC 输出 0~4.5 V 的控制电压,微调内部 100 MHz 恒温晶振的输出频率,该电路作为时钟源的第 2 种工作模式,也是通过模拟开关来选择是否将其激活;f) 放大滤波电路,模式 1 和模式 2 的输出信号均由该部分电路放大和滤波后输出,以满足系统对输出信号功率和杂散的要求。

下面对 2 种工作模式的实现原理作进一步说明。时钟源工作在模式 1 状态时,为了保证输入和输出信号相参并满足高频率准确度和低相位噪声的指标要求,本设计选择采用 PLL 电路来实现。其中,PLL 电路中的参考信号由外部的 10 MHz 高频率准确度信号提供,PLL 电路中的压控振荡器由内部的 100 MHz 低相位噪声恒温晶

振提供。PLL 电路的输出信号有以下 3 个特点：a) 输出信号与输入信号相参；b) 输出信号的频率准确度由参考信号决定，并且理论上与参考信号的频率准确度一致；c) 当锁相环芯片的噪底足够低时(使用锁相环芯片 ADF4002BRUZ，其噪底为 -222 dBc/Hz)，输出信号的相位噪声由参考信号和内部振荡器共同决定^[8-9]。因此，当输入的 10 MHz 参考信号频率准确度达到 1×10^{-9} 时，经过 PLL 电路输出的 100 MHz 信号频率准确度就能达到 1×10^{-9} ；当内部的 100 MHz 振荡器相位噪声优于 $-150\text{ dBc/Hz}@1\text{ kHz}$ 时，通过选择合理的环路带宽值，并做好电源去耦、射频链路充分接地等方面的设计，输出信号的相位噪声理论上就可以满足 $-145\text{ dBc/Hz}@1\text{ kHz}$ 的指标要求。时钟源工作在模式 2 状态时，由于内部的 100 MHz 振荡器在频率稳定性和相位噪声指标上均可以满足系统要求，因此只需要通过控制 D/A 转换器，微调内部恒温晶振的调谐电压，调节输出频率的准确度以满足指标要求即可。

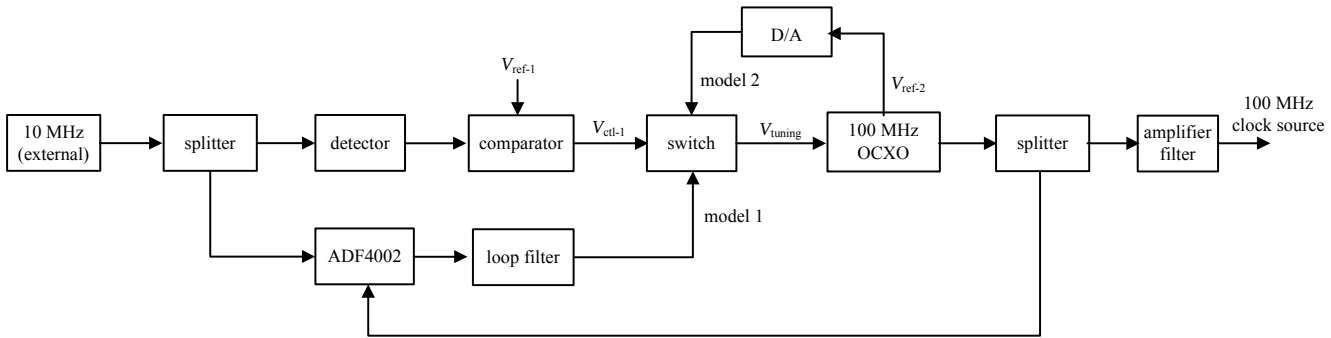


Fig.2 Block diagram of the adaptive coherent clock source with low phase noise
图 2 自适应低相位噪声相参时钟源的实现原理框图

2.2 低相位噪声的实现

通过以上的分析可知，模式 1 中低相位噪声的实现，除了器件的选择外，其重点还在于环路滤波器的设计。首先需要确定环路滤波器的类型和阶数。这里使用的内部振荡器调谐电压为 0~4.5 V，锁相环芯片 ADF4002BRUZ 可以直接提供，不需要额外的放大，所以环路滤波器采用无源结构。另外需要注意的是，通常使用的环路滤波器为三阶结构，如图 3(a)所示。然而在本设计中，只能使用两阶的环路滤波器，如图 3(b)所示。这是因为本设计中选用的环路带宽很窄，通过 AD 公司提供的锁相环电路仿真软件 ADIsimPLL，对环路参数做了初步仿真，发现 R_2 值始终大于 0.2 MΩ。而 CTS 公司的这款恒温晶振调谐端的电流大概有 2 μA。显然如此大的电阻会带来不小的压降(0.4 V 以上的压降)，影响环路的锁定，所以三阶环路不适合在本设计中使用。

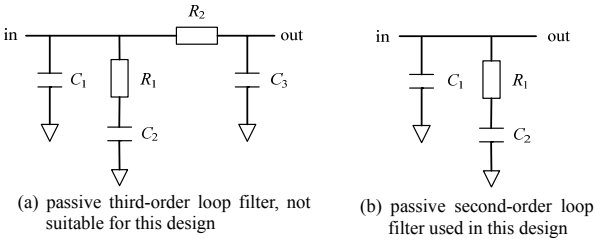


Fig.3 Design of the loop filter
图 3 环路滤波器的设计

最后需要确定环路滤波器的环路带宽。由于外部参考的相位噪声不满足指标要求，因此希望输出信号在偏离载波 1 kHz 处的相位噪声由内部振荡器决定。根据锁相环相位噪声原理，选取的环路带宽必须小于 1 kHz。依次仿真了在 500 Hz,250 Hz 以及 100 Hz 环路带宽下，频率源的输出信号相位噪声，如表 1 所示。由仿真结果可以看出，当环路带宽为 100 Hz 时，输出信号 1 kHz 处的相位噪声与内部振荡器的相位噪声基本一致，完全满足指标要求；当环路带宽为 250 Hz 时，输出信号 1 kHz 处的相位噪声受环路影响，基本满足指标要求；而当环路带宽为 500 Hz 时，输出信号 1 kHz 处相位噪声相比内部振荡器已恶化了 8 dB，不再满足要求。因此最终选择 100 Hz 作为锁相环环路滤波器的环路带宽。

表 1 环路带宽对输出信号相位噪声的影响
Table1 Impact of the loop bandwidth (BW) on the output signal phase noise

loop BW=100 Hz			loop BW =250 Hz			loop BW =500 Hz		
f	$PN_{\text{output}}/(\text{dBc}\cdot\text{Hz}^{-1})$	$PN_{\text{VCO}}/(\text{dBc}\cdot\text{Hz}^{-1})$	F	$PN_{\text{output}}/(\text{dBc}\cdot\text{Hz}^{-1})$	$PN_{\text{VCO}}/(\text{dBc}\cdot\text{Hz}^{-1})$	f	$PN_{\text{output}}/(\text{dBc}\cdot\text{Hz}^{-1})$	$PN_{\text{VCO}}/(\text{dBc}\cdot\text{Hz}^{-1})$
100 Hz	-117.0	-127.3	100 Hz	-114.8	-129.5	100 Hz	-114.8	-132.7
1.00 kHz	-148.5	-149.9	1.00 kHz	-145.3	-149.7	1.00 kHz	-141.5	-149.5
10.0 kHz	-159.6	-159.6	10.0 kHz	-159.6	-159.6	10.0 kHz	-159.6	-159.6
100 kHz	-160.0	-160.0	100 kHz	-160.0	-160.0	100 kHz	-160.0	-160.0
1.0 MHz	-160.0	-160.0	1.0 MHz	-160.0	-160.0	1.0 MHz	-160.0	-160.0

3 测试结果及指标分析

由于该时钟源具有 2 种工作模式,设计难点主要集中在模式 1 上,因此这里只介绍工作在模式 1 状态下的输出信号测试情况。首先测试了输出信号的频率准确度和功率大小,如图 4 所示。指标要求频率准确度优于 1×10^{-9} ,对于 100 MHz 信号来说,也就是要求精确度要达到 0.1 Hz。测试结果显示,输出频率为 99 999 999.919 Hz,显然满足指标要求。输出信号功率 11.7 dBm,同样满足要求。图 5~图 7 分别对比了 3 种环路带宽下,输出信号的相位噪声特性。由图可知,环路带宽为 100 Hz 和 250 Hz 时,输出信号在偏离载波 1 kHz 处的相位噪声分别为 $-147.6 \text{ dBc/Hz}@1 \text{ kHz}$ 和 $-145.8 \text{ dBc/Hz}@1 \text{ kHz}$,均满足要求,而环路带宽为 500 Hz 时,相位噪声明显恶化,仅为 $-142.3 \text{ dBc/Hz}@1 \text{ kHz}$,不再满足要求。图 6 显示的测试结果和图 4 的仿真结果其趋势基本一致。误差的产生主要是由于实际电路中的环路带宽数值受环路中电阻电容精确度的限制,不会是标准的 100 Hz、250 Hz 以及 500 Hz,而本设计中输出信号的相位噪声对环路带宽又相对敏感,所以测试和仿真结果会有一定偏差。

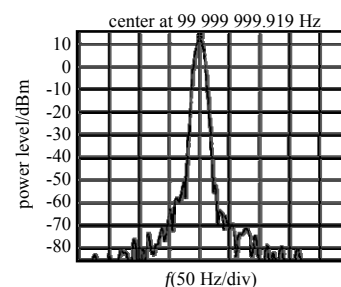


Fig.4 Measurement results of the clock source frequency accuracy

图 4 时钟源频率准确度的测试结果

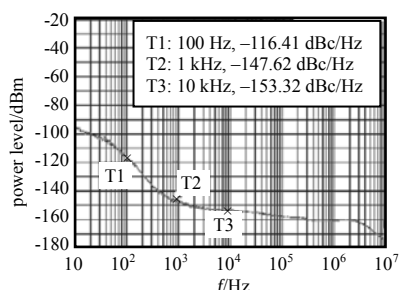


Fig.5 Measurement results of the clock source phase noise (loop BW=100 Hz)

图 5 环路带宽=100 Hz 时,时钟源的相位噪声测试结果

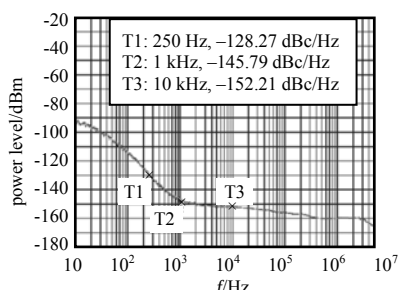


Fig.6 Measurement results of the clock source phase noise (loop BW=250 Hz)

图 6 环路带宽=250 Hz 时,时钟源的相位噪声测试结果

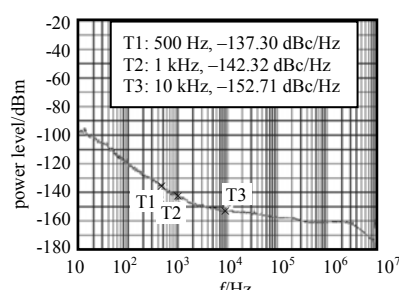


Fig.7 Measurement results of the clock source phase noise (loop BW=500 Hz)

图 7 环路带宽=500 Hz 时,时钟源的相位噪声测试结果

4 结论

通过锁相环电路,将外部主时钟和内部振荡器的优点相结合,不仅实现了高频率准确度、低相位噪声的时钟输出,同时也满足了内外部系统的相参要求。重点介绍了锁相环电路中环路滤波器的设计,尤其是环路带宽的选择。仿真和测试结果表明,当环路带宽为 100 Hz 时,锁相环输出信号在偏离载波 1 kHz 处的相位噪声基本由锁相环内部的振荡器决定,与参考信号无关,同时也不会因为环路的影响而恶化。

参考文献:

- [1] 丁鹭飞,耿富录,陈建春. 雷达原理[M]. 北京:电子工业出版社, 2013. (DING Lufei, GENG Fulu, CHEN Jianchun. Radar Principles[M]. Beijing: Publishing House of Electronics Industry, 2013.)
- [2] 张光义,赵玉洁. 相控阵雷达技术[M]. 北京:电子工业出版社, 2006. (ZHANG Guangyi, ZHAO Yujie. The Technology of Phased Array Radar[M]. Beijing: Publishing House of Electronics Industry, 2006.)
- [3] 叶昊儒. 相参雷达与非相参雷达的差异分析[J]. 现代电子技术, 2010,14(3):17-19. (YE Haoru. Coherent radar and non-coherent radar difference analysis[J]. Modern Electronic Technique, 2010,14(3):17-19.)
- [4] 王强,张永顺,李欣,等. 多基地相参雷达抗主瓣干扰性能分析[J]. 空军工程大学学报(自然科学版), 2013,14(3):37-41. (WANG Qiang, ZHANG Yongshun, LI Xin, et al. Anti-main-lobe jamming capability analysis of multi-static coherent radar[J]. Journal Of Air Force Engineering University(Natural Science Edition), 2013,14(3):37-41.)
- [5] SKOLNIK Merrill Ivan. Introduction to Radar System[M]. New York: McGraw-Hill, 1980.
- [6] 张帆,陈琨,朱正平,等. 基于 GPS 的恒温晶振频率校准系统的设计与实现[J]. 电子设计工程, 2013,21(8):91-94. (ZHANG Fan, CHEN Kun, ZHU Zhengping, et al. Design and realization of frequency calibration system for OCXO based on GPS[J]. Electronic Design Engineering, 2013,21(8):91-94.)
- [7] 许国宏,李铁成,李星. 基于 GPS 驯服技术的高稳频综设计[J]. 电子设计工程, 2010,18(4):63-65. (XU Guohong, LI Tiecheng, LI Xing. Design of high stability frequency synthesizer based on GPS tame technology[J]. Electronic Design Engineering, 2010,18(4):63-65.)

- [8] 高树亭,高峰,徐盛旺,等. 合成频率源工程分析与设计[M]. 北京:兵器工业出版社, 2008. (GAO Shuting,GAO Feng,XU Shengwang,et al. The Design and Analysis of Synthesized Frequency Source[M]. Beijing:Arms Industry of Publishment, 2008.)
- [9] 白居易. 低噪声频率合成[M]. 西安:西安交通大学出版社, 1995. (BAI Juxian. Low Noise Frequency Synthesizer[M]. Xi'an,China:Xi'an Jiaotong University Press, 1995.)
- [10] 李仲秋,曾全胜. 锁相环相位噪声与环路带宽的关系分析[J]. 现代电子技术, 2009,32(14):132-134. (LI Zhongqiu, ZENG Quansheng. Relationship analysis between PLL phase noise and PLL bandwidth[J]. Modern Electronic Technique, 2009,32(14):132-134.)
- [11] 蔡竞业,夏蓉,刘镰斧,等. Ka 波段全相参雷达收发射频前端系统组件研制[J]. 电子科技大学学报, 2009,38(5):629-633. (CAI Jingye,XIA Rong,LIU Lianfu,et al. Development of transceiver RF front-part system module for Ka-band coherent radar[J]. Journal of University of Electronic Science and Technology of China, 2009,38(5):629-633.)

作者简介:



周晓鹏(1977-), 男, 兰州市人, 硕士, 工程师, 主要研究方向为航空电子工程.email: 284608529@qq.com.

宋烨曦(1985-), 男, 四川省乐山市人, 硕士, 工程师, 主要研究方向为频率合成器及相关产品.

(上接第 728 页)

- [17] SEVERIN J,EBERHARDT E,LEONI L,et al. Use of ground-based synthetic aperture radar to investigate the complex 3-D kinematics of a large open pit slope[J]. Bulletin of the School of Oriental & African Studies, 2012,7(4):799-808.
- [18] TRAGLIA F D,VENTISETTE C D,ROSI M,et al. Ground based InSAR reveals conduit pressurization pulses at Stromboli volcano[J]. Terra Nova, 2013,25(3):192-198.
- [19] PIERACCINI M,NOFERINI L,MECATTI D,et al. Integration of radar interferometry and laser scanning for remote monitoring of an urban site built on a sliding slope[J]. IEEE Trans. Geosci. & Remote Sensing, 2006,44(9):2335-2342.
- [20] PIPIA L,FABREGAS X,AGUASCA A,et al. Polarimetric temporal analysis of urban environments with a ground-based SAR[J]. IEEE Trans. Geosci. & Remote Sensing, 2013,51(4):2343-2360.
- [21] LUZI G,PIERACCINI M,MECATTI D,et al. Monitoring of an alpine glacier by means of ground-based SAR interferometry[J]. IEEE. Geosci. & Remote Sens. Letters, 2007,4(3):495-499.
- [22] STROZZI T,WERNER C,WIESMANN A,et al. Topography mapping with a portable real-aperture radar interferometer[J]. IEEE Geosci. & Remote Sens. Lett., 2012,9(2):277-281.
- [23] MORRISON K,ROTT H,NAGLER T,et al. The SARALPS-2007 measurement campaign on X and Ku band backscatter of snow[C]// Proc. IGARSS 2007. [S.l.]:IEEE, 2007:1207-1210.
- [24] MARTINEZ-VAZQUEZ A. Snow cover monitoring techniques with GB-SAR[M]. Spain:Universitat Polit ècnica de Catalunya. 2008.

作者简介:



李俊慧(1990-), 女, 山西省大同市人, 在读硕士研究生, 主要研究方向为地基合成孔径雷达的形变监测技术和成像处理 .email: 1043570861@qq.com.

王 洪(1974-), 男, 成都市人, 副教授, 研究方向为 MIMO 雷达、FOD 雷达等.

汪学刚(1962-), 男, 湖南省常德市人, 教授, 博士生导师, 研究方向为雷达信号处理、毫米波雷达系统等.

燕 阳(1990-), 男, 内蒙古包头市人, 在读硕士研究生, 研究方向为射频通信电路设计、微波器件等.