

文章编号: 2095-4980(2016)06-0948-05

用于视频图像传感器的 12 bit 60 MS/s 流水线模数转换器

邓 准^{a,b}, 谢 亮^{a,b*}, 金湘亮^{a,b}

(湘潭大学 a.物理与光电工程学院; b.微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105)

摘 要: 介绍了一种 12 bit 60 MS/s 流水线模数转换器(ADC), 该转换器使用采样保持电路, 将连续变化的模拟信号通过一定时间间隔的采样, 以实现信号的准确量化, 利用增益自举运放提高信号建立的线性度; 采用每级 1.5 bit 精确度的流水线结构实现冗余编码, 降低比较器失调电压对精确度的影响, 同时提出一种新型的消除静态功耗的预放大比较器结构。该流水线 ADC 芯片采用华力 55 nm 互补金属氧化物(CMOS)工艺进行电路和版图设计。对后仿真结果进行快速傅里叶变换(FFT)分析得到: 动态参数无杂散动态范围(SFDR)为 86.18 dB, 信噪比(SNR)为 72.91 dB, 信纳比(SNDR)为 72.8 dB, 有效位数(ENOB)为 11.72 bit。

关键词: 流水线模数转换器; 增益自举运放; 预放大比较器

中图分类号: TN792

文献标志码: A

doi: 10.11805/TKYDA201606.0948

A 12 bit 60 MS/s pipeline ADC for video image sensor

DENG Zhun^{a,b}, XIE Liang^{a,b*}, JIN Xiangliang^{a,b}

(a.Faculty of Materials, Optoelectronics and Physics; b.Hunan Engineering Laboratory for Microelectronics, Optoelectronics and System on A Chip, Xiangtan University, Xiangtan Hunan 411105, China)

Abstract: A 12 bit 60 MS/s pipeline Analog-to-Digital Conversion(ADC) is introduced. Using the sample and hold circuit, the continuous variation of the analog signal is sampled by a certain time interval, in order to achieve accurate signal. Gain bootstrap amplifier is adopted to improve the establishment of signal linearity. The pipeline structure of 1.5 bit per stage is utilized to achieve redundancy encoding, and reduce the offset voltage of the comparator. A new pre-amplifier comparator structure which can eliminate the static power is put forward. The design of schematic and layout is based on Huali Microelectronics Corp(HMC) 55 nm Complementary Metal Oxide Semiconductor(CMOS) technology. Fast Fourier Transform(FFT) analysis results on post simulation give the Dynamic parameters: Spurious Free Dynamic Range(SFDR) of 86.18 dB, Signal-to-Noise Ratio(SNR) of 72.91 dB, Signal-to-Noise-and-Distortion Ratio(SNDR) of 72.8 dB, Effective Number of Bits(ENOB) of 11.72 bit.

Keywords: pipelined Analog-to-Digital Conversion; gain bootstrap amplifier; pre-amplifier comparator

目前, 随着集成电路工艺技术的发展, 电路的集成度越来越高, 极大地推进了 IC 设计技术的发展。模数转换器(ADC)作为沟通模拟世界与数字信号处理器(Digital Signal Processor, DSP)的桥梁, 实现将模拟信号转换为数字信号, 已经成为系统一个必不可少的部分, 而且它的性能通常是整个系统的瓶颈^[1]。流水线 ADC 在高清电视、无线通信、医学影像等领域得到广泛应用, 本文以全高清(1 920×1 080)逐行扫描视频图像传感器为应用背景, 设计了一种 12 bit 60 MS/s 流水线 ADC, 采样保持和前两级乘法型数模转换器(Multiplicative Digital to Analog Converter, MDAC)采用增益自举运放, 以实现信号快速精准的建立。

与一般的增益自举运放^[2]相比, 本文所设计的增益自举运放结构辅助运放不需要额外的基准电压, 最大程度简化了共模反馈电路; 另外与传统的锁存比较器^[3-4]相比, 本文提出一种新型结构预放大高速比较器来提高子 ADC 通路中信号传递的速度和精确度, 同时减小噪声, 降低功耗。

收稿日期: 2015-04-22; 修回日期: 2015-05-31

基金项目: 国家自然科学基金资助项目(61274043; 1233010); 湖南省自然科学基金杰出青年基金资助项目(2015JJ1014)

*通信作者: 谢 亮 email:xieliang@xtu.edu.cn

1 流水线 ADC 基本结构和原理

1.1 流水线 ADC 结构

本文所采用的流水线 ADC 架构如图 1 所示, 包括 1 级前级采样保持电路、10 级流水级电路、1 级 2 bit 的 Flash ADC、延时对准模块、数字冗余校正模块。

如图 1 所示, 在两相非交叠时钟 CK2 和 CK1 控制下, 输入信号通过采样保持电路之后得到一个具体的电压值, 每个周期采样到的电压值经过交替工作的 10 级流水级和 Flash ADC 进行量化和传递, 每级量化后输出 2 bit 数字, 但实际有效位为 1.5 bit 每级^[5], 总共 22 bit 数字通过延时对

准, 在数字冗余校正模块中将前一级的低位和下一级的高位错位相加, 输出 12 bit 数字码, 对应采样的电压值。由于相邻级之间的工作状态相互错开, 所以每次采样到的信号都能如流水一般依次传递到下一级, 实现了高速吞吐率。图 2 表示 1.5 bit 每级流水级级的结构, 包括子 A/D、子 D/A、跨导运算放大器(Operational Transconductance Amplifier, OTA)和开关电容组成的乘 2 电路, 其工作过程为: 前级采样到的具体的电压信号输入到第 1 级, 在 CK1 控制下进行采样, 在采样将结束时由第 1 级子 A/D 进行量化, 输出 2 bit 数字; 输入信号与第 1 级的子 D/A 和 CK2 控制的保持电路共同作用传递到下一级^[6]。流水线级的传递函数可表示为:

$$\begin{cases} U_{out} = 2U_{in} + U_{ref} & U_{in} \leq -U_{ref}/4 \quad D_1D_0 = 00 \\ U_{out} = 2U_{in} & -U_{ref}/4 \leq U_{in} \leq U_{ref}/4 \quad D_1D_0 = 01 \\ U_{out} = 2U_{in} - U_{ref} & U_{in} \geq U_{ref}/4 \quad D_1D_0 = 10 \end{cases} \quad (1)$$

1.2 增益自举运算放大器

在每级结构的设计中, OTA 是每级设计的难度和重点, 尤其采样保持和前两级流水级电路一般采用增益自举运算放大器实现高速高精度要求, 本文所设计的结构如图 3 所示。

选用增益自举运算放大结构一方面是由于增益自举技术能提高运放的直流增益, 因为有限的直流增益会引起闭环建立的非线性, 进而影响整个系统的精确度。为了实现 12 bit 精确度流水线 ADC, 其直流增益 A_0 要满足:

$$A_0 > \frac{2^{N+B+1}}{2^{B+1}} \quad (2)$$

式中: N 为 ADC 的分辨率; B 为每级的有效位数。对于本例, $N=12$, $B=1$, 则 $A_0 > 72.25$ dB。为了保留一定的裕度, A_0 最好在 80 dB 以上。另一方面与其他的运放结构相比, 增益自举运放在实现高增益同时引入极点少, 能实现高带宽。由于每级流水级级分为采样和保持 2 个阶段, 而且运放工作在保持阶段, 也就意味着信号必须在工作频率的半个周期内建立好。设一个工作周期为 T_{clk} , 对于信号的建立分为压摆区和线性建立区, 通常地, 一个好的运放设计其压摆区与线性建立区所占时间之比^[7]为 1:3, 即压摆区时间为 $1/8T_{clk}$, 线性建立区时间为 $3/8T_{clk}$ 。由此, 确定运放的单位增益带宽积(Gain-Band Width Product, GBW), 应该满足:

$$GBW > \frac{(N+1)2\ln 2}{2\pi T_{set, GBW}} \quad (3)$$

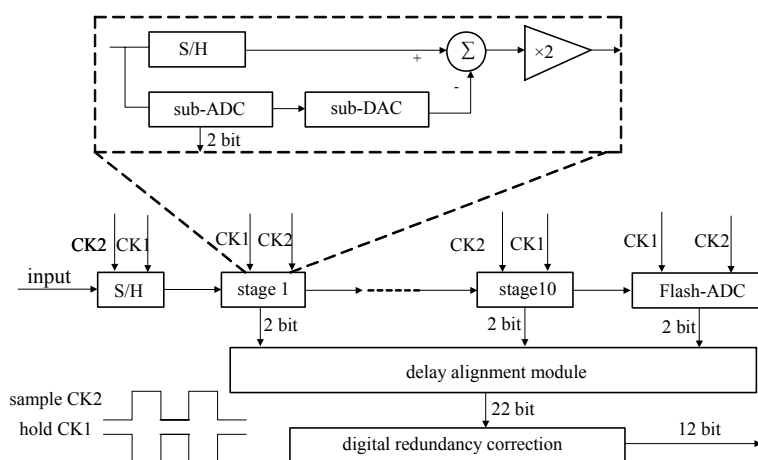


Fig.1 Block diagram of 1.5 bit/stage pipeline ADC structure

图 1 1.5 bit/stage 流水线 ADC 结构框图

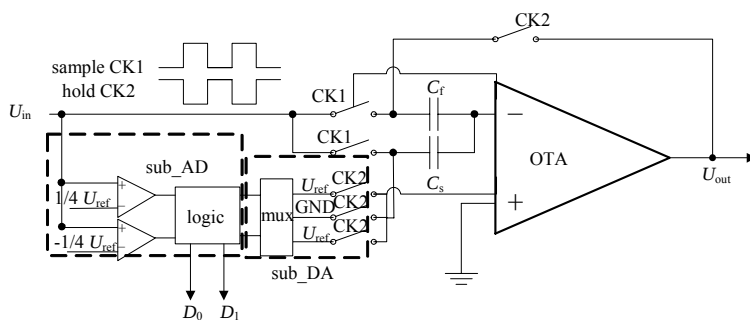


Fig.2 Diagram of 1.5 bit/stage structure

图 2 1.5 bit/stage 流水级结构简图

式中 $T_{\text{set,GBW}}$ 表示 GBW 决定的建立时间, 对于 60 MS/s 采样频率的 ADC 而言, 根据上式 GBW 为 480 MHz: 实际电路中, 由于多种非理想因素的存在, 为保证运放各种情况下能快速建立, GBW 应留有一定裕量。另外, 折叠共源共栅增益自举技术将引入零极点, 零极点之间的失配会影响到运放建立的快慢, 采用文献[8]的方法, 分别设计主运放和辅助运放的带宽和相位裕度。在电源电压 3.3 V, 负载电容为 2.4 pF 情况下, 通过仿真得到主运放的性能参数, 增益为 82 dB, 单位增益带宽为 500 MHz, 相位裕度为 60° , 信号建立良好, 达到设计要求。

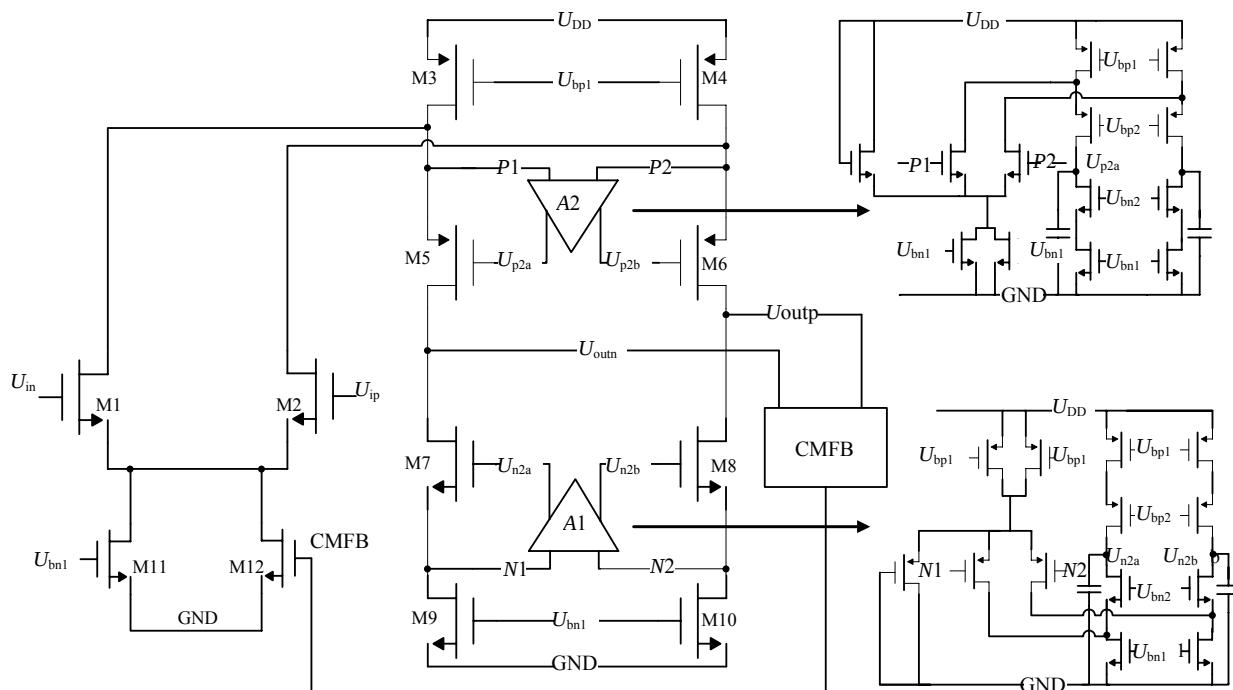


Fig.3 Gain bootstrap operational amplifier

图 3 增益自举运算放大器

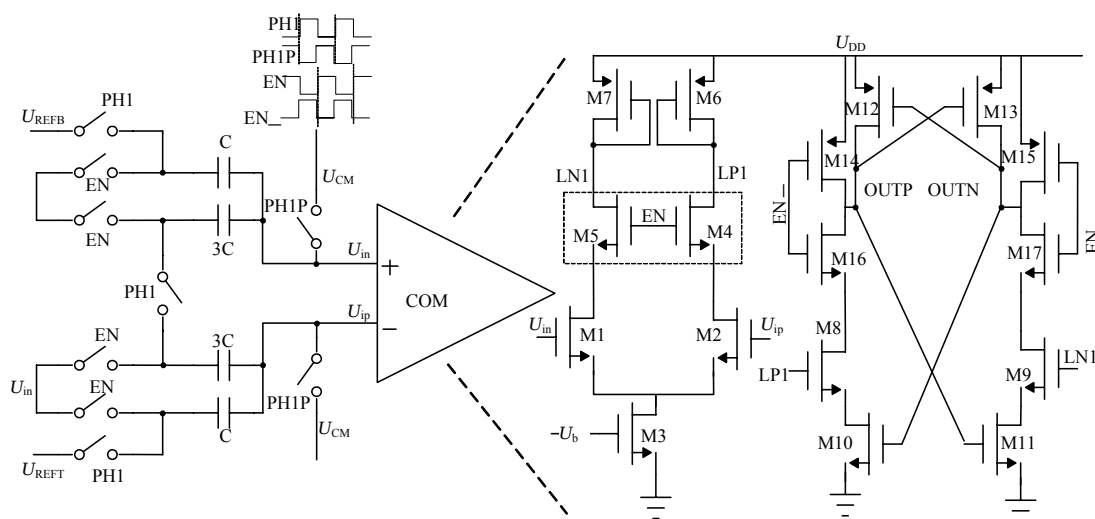


Fig.4 Comparator structure

图 4 比较器结构

1.3 比较器

每级流水级电路中, 比较器也是关键的单元。比较器作为子 AD 的重要组成部分, 在采用了冗余位数字校正技术之后, 在高速 ADC 中对比较器的失调电压要求变低, 但是在高速 ADC 设计中, 比较器速度要求较高, 同时功耗和回踢噪声应当尽量小。本文所设计流水线 ADC 预放大比较器结构如图 4 所示, U_{REFB} 和 U_{REFT} 分别为

ADC 内置 buffer 产生的 1.3 V、2.0 V 的基准电压^[9], 左边是通过开关电容产生阈值电压, 其工作过程为: 当 PH1 为高电平时, U_{REFB} 给电容 C 充电, 电容 C 上的电荷为 $(U_{REFB} - U_{CM})C$ 。其中, 时钟控制信号 PH1P 比 PH1 稍稍提前以实现底板采样; 当 EN 为高电平时, 这时 EN_ 为低电平, 由于 M14、M15 导通, OUTP、OUTN 被置为高电位。而原来电容 C 在 PH1 时充电的电荷在电容 C 和电容 $3C$ 之间发生转移, 根据电荷守恒, 有:

$$U_{in} - U_{ip} = (U_{in} - U_{ip}) - \frac{1}{4}(U_{REFT} - U_{REFB}) \quad (4)$$

此时比较器的阈值为 $1/4(U_{REFT} - U_{REFB})$, 同时预放大电路将输入信号进行放大; 当 EN 为低电平时, EN_ 为高电平, 右边锁存比较结构工作, 对放大的差值进行比较。为了减小功耗, 本文在预放大结构中插入的 M4、M5 作为开关管, 在右边锁存比较结构工作时整个预放大不会工作, 所以没有产生功耗, 同时为了不引入其他时钟, 使控制开关管 M4、M5 的时钟与输入信号的时钟 EN 一致, 降低了电路时序控制的复杂度。另外, 本文的比较器结构除了通过前面的开关电容消除回踢噪声之外, 还将 EN_ 的使能延长以进一步消除回踢噪声。

2 版图设计与仿真结果

本文设计的流水线 ADC 采用华力 55 nm CMOS 工艺, 模拟电路工作电压为 3.3 V, 采样频率为 60 MS/s, 主要应用于视频图像传感器。根据整个视频图像传感器系统工作特点, 输入信号频率在 1 MHz 左右, 幅度 0.7 V。整体版图如图 5 所示, 对版图进行寄生提取, 经 Cadence Spectre 后仿真对数据进行 FFT 分析(采点数为 1 024), 可得到如图 6 所示的输出频谱图。FFT 分析结果表明, ADC 的 SFDR 为 86.18 dB, SNR 为 72.91 dB, SNDR 为 72.3 dB, ENOB 达到了 11.72 bit。

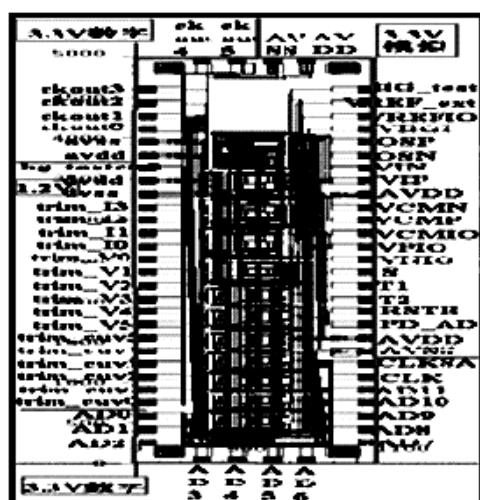


Fig.5 Layout of the pipeline ADC
图 5 流水线 ADC 版图

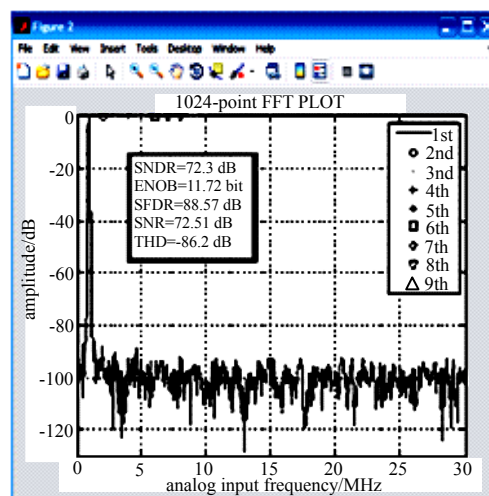


Fig.6 Photo Shop Document (PSD) of the pipeline ADC
图 6 流水线 ADC 输出频谱

3 结论

本文介绍了一种应用于全高清(1 920×1 080)逐行扫描视频图像传感器的 12 bit 60 MS/s 高速流水线 ADC 的设计, 采用每级 1.5 bit 精确度的流水线结构, 以减小比较器失调对系统的影响; 采样保持和前 2 级流水级电路采用了增益自举折叠共源共栅运放以提高信号建立的线性度; 采用带预放大的比较器以提高比较器的速度和精确度, 同时也减小噪声。电路采用了华力 55 nm CMOS 工艺, 3.3 V 模拟电压, 1.2 V 数字电压, 通过 Cadence Spectre 进行版图后仿真, 对后仿真结果进行 FFT 分析得到 ADC 的 SFDR 为 86.18 dB, SNR 为 72.91 dB, SNDR 为 72.3 dB, ENOB 达到了 11.72 bit。满足 12 bit ADC 的要求。

参考文献:

- [1] 拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 等译. 西安: 西安交通大学出版社, 2002. (BEHZAD Razavi. Design of Analog CMOS Integrated Circuit[M]. Translated by CHEN Guican, CHENG Jun, ZHANG Ruizhi, et al. Xi'an, China: Xi'an Jiao Tong University Press, 2002.)

- [2] CHEN S, HE L, ZHANG L. High gain, high speed OTA for S/H circuit in 14-b 100-MS/s pipeline ADC[C]// 2011 International Symposium on Integrated Circuits. Singapore:[s.n.], 2011:254–257.
- [3] TERADA J, MATSUYA Y, KADO Y. 8 mW, 1 V, 100 Msps, 6 bit A/D converter using a transconductance latched comparator[C]// ASICs, 2000. AP-ASIC 2000. Proceedings of the Second IEEE Asia Pacific Conference on. Cheju:[s.n.], 2000:53–56.
- [4] VIJAY U K, BHARADWAJ A. Continuous time sigma delta modulator employing a novel comparator architecture[C]// 20th International Conference on VLSI Design held jointly with 6th International Conference on Embedded Systems(VLSID'07). Bangalore:[s.n.], 2007:919–924.
- [5] LEWIS S H, FETTERMAN H S, GROSS G F. A 10 b 20 Msamples/s analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3):351–358.
- [6] ZHU K, BALAGOPAL S, SAXENA V. Systematic design of 10-bit 50MS/s pipelined ADC[C]// Microelectronics and Electron Devices(WMED). 2013 IEEE Workshop on, Boise:[s.n.], 2013:17–20.
- [7] CHANG Hyuk Cho. A power optimized pipelined analog-to-digital converter design in deep sub-micron CMOS technology[D]. Atlanta:Georgia Institute of Technology, 2005.
- [8] AHMADI M M. A new modeling and optimization of gain-boosted cascode amplifier for high-speed and low-voltage applications[J]. IEEE Trans on Circuits and Systems, 2006, 53(3):169–173.
- [9] 陈亮, 谢亮, 金湘亮. 应用于高速高精度流水线 ADC 参考电压缓冲器[J]. 太赫兹科学与电子信息学报, 2015, 13(4):362–367. (CHEN Liang, XIE Liang, JIN Xiangliang. A reference buffer used in high-speed high-precision pipelined ADC[J]. Journal of Terahertz Science and Electronic Information Technology, 2015, 13(4):362–367.)

作者简介:



邓 准(1990–), 男, 湖南省汨罗市人, 硕士, 主要研究方向为模拟集成电路设计。

谢 亮(1983–), 男, 湖南省郴州市人, 博士, 主要研究方向为 ASIC 设计、ADC、红外传感方向. email:xieliang@xtu.edu.cn.

金湘亮(1974–), 男, 湖南省邵阳市人, 博士, 教授, 主要研究方向为 SOC 设计、系统设计。

《第十三届卫星通信学术年会》征文通知

第十三届卫星通信学术年会将于 2017 年 3 月 2 日在北京召开。本届年会将由中国通信学会卫星通信委员会和中国宇航学会卫星应用专业委员会共同主办, 年会面向各界公开征集论文, 现将有关事项通知如下:

一、征文范围(包括但不限于)

- 1、卫星通信和通信卫星新理论、新技术及发展前沿;
- 2、卫星通信、卫星广播融合卫星导航及卫星遥感技术在各领域中的应用;
- 3、卫星移动通信新技术发展及与陆地移动 4G、5G 系统的融合互联;
- 4、卫星通信在大数据、云计算、互联网+和移动互联网时代的技术应用及技术特点;
- 5、S 频段和 Ka 频段卫星通信技术与发展;
- 6、量子通信和激光通信卫星等新技术和新业务;
- 7、卫星通信在航空、航海、极地科考、深空探测和其它领域的应用;
- 8、小卫星及星座技术的新发展和应用;
- 9、软件定义的卫星通信系统及终端;
- 10、卫星通信系统中的天线、功放、变频、调制解调器新技术及应用;
- 11、卫星轨道频谱资源的研究和有效利用;
- 12、卫星通信的标准化及互联互通;
- 13、先进的卫星通信系统、地球站设备及技术(包括全 IP 等各类协议及灵活的网络拓扑结构和管理形式);
- 14、卫星通信信号分析/处理新技术;
- 15、卫星通信的军民融合应用与发展;
- 16、卫星通信产业化发展及创新。

二、来稿要求、论文出版 见《太赫兹科学与电子信息学报》网站(www.iaeej.com)

三、重要日期

论文截稿日期: 2017 年 2 月 3 日

出版日期: 2017 年 3 月 1 日

会议日期: 2017 年 3 月 2 日

四、联系方式

翟峰 手机: 13901128671 电子信箱: csatcc@126.com