

文章编号: 2095-4980(2016)06-0953-08

纳米级 CMOS 集成电路的发展状况及辐射效应

刘忠立^{a,b}

(中国科学院 a.微电子研究所, 北京 100029; b.半导体研究所, 北京 100083)

摘要: 介绍互补金属氧化物半导体(CMOS)集成电路的发展历程及纳米级 CMOS 集成电路的关键技术, 在此基础上研究了纳米级 CMOS 集成电路的辐射效应及辐射加固现状。研究表明, 纳米级 FDSOICMOS 集成电路无需特殊的加固措施, 却比相同技术代的体硅 CMOS 集成电路有好得多的辐射加固能力, 特别适用于空间应用环境。

关键词: 纳米级互补金属氧化物半导体集成电路; 器件沟长; 辐射效应

中图分类号: TN78

文献标志码: A

doi: 10.11805/TKYDA201606.0953

Development of nano scale CMOS integrated circuit and its radiation effects

LIU Zhongli^{a,b}

(a.Institute of Microelectronics, CAS, Beijing 100029, China; b.Institute of Semiconductors, CAS, Beijing 100083, China)

Abstract: The development of Complementary Metal Oxide Semiconductor(CMOS) integrated circuit and the key technologies of nanometer scale CMOS integrated circuit are introduced. Based on this, the radiation effects and the current status of radiation hardening for nano scale CMOS integrated circuit are studied. The research shows that the nano scale FDSOICMOS integrated circuit bears a better radiation hardening ability than the same technology generation of bulk silicon CMOS integrated circuit, and it is especially suitable for the application of space technology.

Keywords: nano scale Complementary Metal Oxide Semiconductor integrated circuit; device channel length; radiation effect

自 1963 年仙童半导体公司的 Wanlass 和 Sah 发明 CMOS 电路^[1], 1968 年美国无线电公司(Radio Corporation of America, RCA)研发出第 1 个 CMOS 集成电路产品, 此后 CMOS 电路获得了巨大的发展。CMOS 的集成度由单芯片几十个晶体管发展到单芯片 10 亿个以上的晶体管, 器件的特征尺寸由 10 μm 量级缩小到纳米级(目前量产约为 20 nm 左右)。单芯片的功能越来越复杂。早期仙童公司的摩尔预言 CMOS 会不断的发展, 他在 1965 年预言^[2], 半导体芯片上集成的晶体管数量将每年增加 1 倍, 1975 年修订为每 18 个月增加 1 倍, 同时电路性能也提升 1 倍。自 1975 年起, CMOS 电路的发展基本上符合这个规律。摩尔定律的核心思想是: 器件尺寸缩小, 使电路面积缩小, 集成度提高; 器件沟道长度缩短, 载流子渡越沟道的时间缩短, 器件工作速度提高。

由器件物理分析, 器件的缩小不是随意的, 为了保证器件和电路特性优化, 缩小必须遵循一定的规律。1974 年 Dennard 提出器件缩小应遵循的规律, 即缩比定律^[3]。它的基本思想是: 器件的纵向、横向尺寸按比例缩小, 以此增加跨导和减小负载电容, 并提高集成电路的性能; 电源电压也要缩小相同的倍数, 以降低功耗。按这样的思想发展, 集成电路随器件缩比性能不断提高。器件缩比是通过各种重要的工艺及器件结构的改进而实现, 与此同时器件的辐射效应也会有不同的表现。为了将纳米级 CMOS 电路用于辐射环境, 必须对纳米级 CMOS 器件的辐射效应有所认识。本文先介绍 CMOS 集成电路缩比过程中的重要改进, 然后, 介绍纳米级 CMOS 器件的辐射效应。

1 CMOS 集成电路缩比过程中的重要改进

重要改进有以下 6 个方面:

- 1) 离子注入掺杂替代热扩散掺杂, 多晶硅栅电极替代金属铝栅电极, 由此建立了栅同源和漏的自对准工艺;

- 2) 轻掺杂漏(Light Doping Drain, LDD)结构的发明, 它抑制了 MOSFET 的短沟效应, 使器件的沟道能够在不断减小的同时, 还能在一定的工作电压下正常工作;
- 3) 高 K (介电常数)介质替代纯 SiO_2 , 使 MOSFET 能按缩比(Scale Down)法则沿着摩尔定律向纳米级继续发展;
- 4) 用提高载流子迁移率的应变材料 SiGe 替代 Si 作为 MOSFET 的沟道层, 使相同技术代的 CMOS 集成电路速度更高;
- 5) 用 SOI 衬底替代 Si 衬底, 使相同技术代的 CMOS 集成电路速度更高, 功耗更低, 集成密度更高;
- 6) 用 3D 的 FinFET 结构代替平面 MOSFET, 使相同技术代的 CMOS 集成电路速度更高, 功耗更低, 集成密度更高。

涉及纳米 CMOS 的关键技术有以下几点。

1.1 高 K 栅介质

按缩比规律, 为了增加栅控制能力, 栅介质必须不断减薄。表 1 列出不同技术代对栅介质厚度的要求。

如果采用纯热生长的 SiO_2 , 随其厚度减小, 隧穿效应造成的栅泄漏电流成指数增加^[4], 这样栅 SiO_2 厚度 t_{ox} 只能限制在 3 nm~2 nm, 无法维持 50 nm 以下技术代的发展。解决方案是采用高 K 介质取代传统的 SiO_2 介质。因为栅介质单位面积电容可用式(1)表示:

$$C_{\text{ox}} = K_{\text{ox}} / t_{\text{ox}} = AK_{\text{ox}} / At_{\text{ox}} = K_{\text{h}} / t_{\text{h}} \tag{1}$$

式中: K_{ox} 是 SiO_2 的介电常数; t_{ox} 是 SiO_2 的厚度(或高 K 介质的等效氧化层厚度(Effective Oxide Thickness, ETO); K_{h} 是高 K 介质的介电常数; t_{h} 是高 K 介质的厚度。

采用厚的高 K 介质($t_{\text{h}}=At_{\text{ox}}$), 假定其介电常数为 SiO_2 介电常数的 A 倍, 它的厚度可为 SiO_2 厚度的 A 倍, 结果还能保持栅电容 C_{ox} 不变, 这样器件特性不变, 但栅的漏电电流大大减小。多年研究的结果是铪(Hf)系氧化物具有实用的特性。例如 HfO_2 的介电常数 $K_{\text{eff}}=K_{\text{h}}/K_{\text{ox}}\sim 15\sim 30$; 而 HfSiO_x 的介电常数 $K_{\text{eff}}=K_{\text{h}}/K_{\text{ox}}\sim 12\sim 16$ 。它们已实用于纳米级 CMOS 电路。

1.2 栅电极

20 世纪 60 年代 MOSFET 的栅电极采用 Al 金属; 20 世纪 70 年代初开始采用多晶硅代替 Al 金属栅, 建立了栅电极同沟道自对准的工艺; 本世纪进入超深亚微米技术代, 为了解决多晶硅耗尽层的影响, 又转而发展新的金属栅电极工艺。新的金属栅技术的要点是: P 沟及 N 沟 MOSFET 分别采用自己合适(功函数)的金属材料, 以调整 2 种晶体管合适的阈值电压。

研究合适的工艺流程实现小尺寸器件的沟道自对准有 2 种方法: 前栅工艺(gate first)—S/D 掺杂前完成金属栅; 后栅工艺(gate last)—金属栅完成后再进行 S/D 掺杂(对 HK 影响小, 更常用)。2 种方法的工艺过程如图 1 所示。

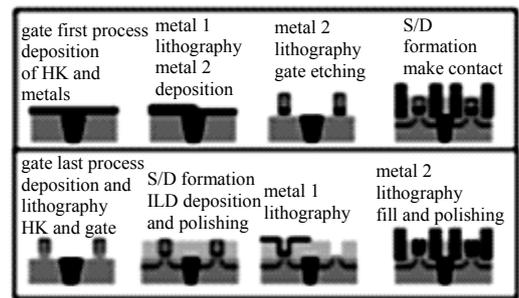


Fig.1 Before and after gate process
图 1 前栅工艺及后栅工艺过程

1.3 互联金属及中介介质层问题

传统的 IC 工艺采用铝作为金属互联线, 到 90 nm 工艺节点时, 由互联线造成的信号延时不可忽略。来自互联电路的信号延时部分可以用式(2)描述:

$$t_d = RC = (\rho L / W t_{\text{metal}})(K \epsilon_0 L W / t_{\text{ILD}}) \tag{2}$$

式中: R 是金属层的电阻; C 是中介介质层的电容; ρ 是互联金属的电阻率; L 是金属长度; W 是金属宽度; t_{metal} 是金属厚度; K 是中介介质层的相对介电常数; ϵ_0 是真空电容率; t_{ILD} 是介质层的厚度。

从式(1)可以看出, 选用小电阻率的金属及低介电常数的介质, 是降低信号延时、提高时钟频率的 2 个主要方向。

1.4 超浅结

纳米级器件出现显著的短沟效应,减小源漏(Source Drain, SD)结深可以抑制短沟效应。但是简单减小 SD 结深会增大 SD 的串联电阻,使 MOS 器件性能变坏。提出的解决办法是在 SD 两端采用源漏极延伸区(Source and Drain Extension, SDE)结构,即在 SD 两端形成超浅结延伸区(extension),如图 2 所示。

1.5 低 SD 接触电阻

纳米级器件要求更好的金属同 SD 的低接触电阻技术,以减小 SD 的附加串联电阻对器件特性的影响。低接触电阻技术包括:选择合适的金属,例如 Ni;研究合适的加工方法及加工条件,包括溅射温度、快速热退火(Rapid Thermal Annealing, RTA)温度及时间等。

1.6 高迁移率沟道

纳米级器件栅长缩短,栅氧化物变薄,有效电场强度提高,同时界面散射增强,导致沟道载流子迁移率减小。为了提高器件性能,需要提高沟道载流子迁移率。利用改变硅晶体能带结构的方法,采用调节 MOS 管沟道硅材料晶格常数的应力硅,可以提高沟道载流子迁移率。

应力硅(Strained Silicon)的原理如下:首先形成锗硅合金(SiGe),然后在其上生长硅,锗硅合金的晶格常数大,生长的硅晶格被拉长(应变)—形成应力硅,如图 3 所示。

Intel 公司将应力硅用于 p 沟器件,得到了 25%~30%的空穴迁移率的增加^[5]。为了使 p 及 n 沟器件迁移率对称,NMOS 采用产生拉伸应力的氮化硅帽层(见图 4),结果使电子迁移率提高 10%。

1.7 CMOS 器件结构的改进

采用传统结构进一步缩比受到限制,因为仍然有包括源漏耗尽区的影响,以及漏耗尽区对栅压控制影响的短沟效应。此外,进一步缩比时,由于尺寸太小,产生的量子效应显著,引起器件参数涨落,纵向及横向漏电流增加。进一步的对策是改进 CMOS 器件结构,例如采用绝缘体上硅(Silicon on Insulator, SOI)结构,特别是全耗尽(Full Depletion, FD)SOI 结构代替体硅;另外,可用多栅晶体管结构,即沟道向三维方向发展,提高单位面积的沟道宽长比,增加器件的有效跨导;也有一种隧道场效应晶体管器件(Tunneling Field-Effect Transistor, TFET)可能被采用,它利用带-带隧穿(量子)效应降低工作电压,增加 I_{on}/I_{off} 比值,从而降低功耗。

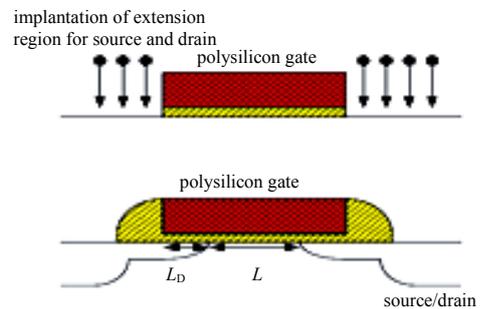


Fig.2 Schematic diagram of SDE structure
图 2 SDE 结构的示意图

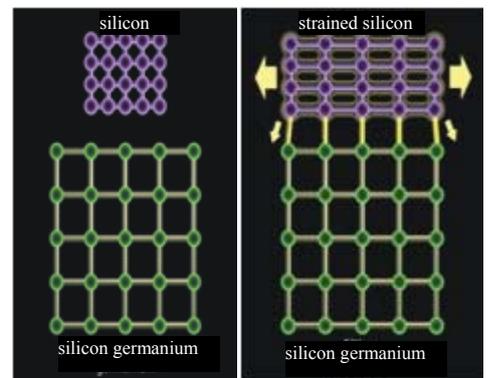


Fig.3 Schematic diagram of the stress silicon
图 3 形成应力硅的示意图

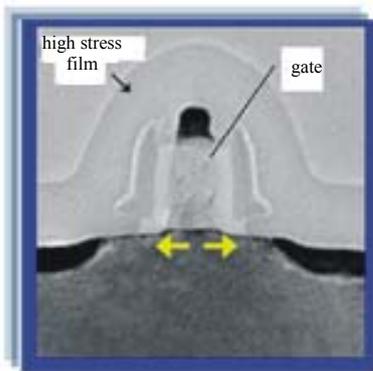


Fig.4 NMOS using the tensile stress of the silicon nitride layer
图 4 NMOS 采用拉伸应力的氮化硅帽层

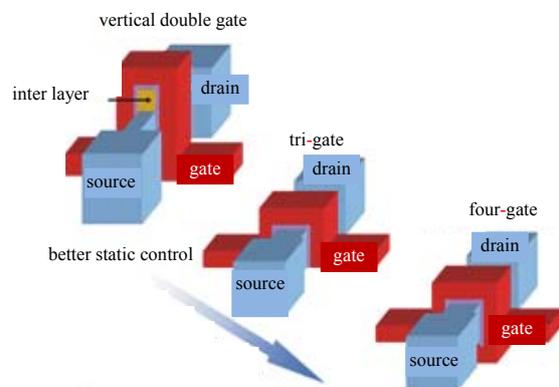


Fig.5 Several possible multi gate structures
图 5 几种可能的多栅结构

1.7.1 多栅 MOSFET 结构

几种可能的多栅结构如图 5 所示。采用多栅 MOSFET 结构是因为它们增加栅极对沟道电荷的控制能力(增加

跨导),降低短沟效应,另外具有更好的 I_{on}/I_{off} 比值的能力,以及改善亚阈值斜率(栅电压控制沟道电荷的效率更高)。多栅器件中最有可制造性的是有 2 个侧面栅电流沿侧面导通的 FinFET(鳍形 FET)。它具有比平面 MOSFET 更好的缩比性。

1.7.2 SOI CMOS

如图 6 所示,众所周知有 2 种 SOI MOSFET:部分耗尽 SOI MOSFET 及全耗尽 SOI MOSFE。前者一般硅膜厚度大于 100 nm,沟道形成时下面仍有一层中性体硅;后者硅膜厚度约小于 80 nm,沟道形成时下面无中性体硅。2 种器件各有优缺点,适用不同场合。

SOICMOS 相对于体硅 CMOS 有如下优点:优良的隔离,因此无需隔离的阱,并具有较小的电路占有面积,同时无寄生门锁效应。

由于无底面 pn 结,结电容小,同时场区无体硅,其他的寄生电容也小,因而电路工作速度快且功耗低;还有短沟器件的阈值电压 v_t 下降小,不存在阱的邻近效应;最后,它们具有较小的单粒子软错误率(Soft Error Rate, SER)误敏感性,适于空间应用。

全耗尽绝缘体上硅(FDSOI)相对于部分耗尽绝缘体上硅(Partially Depleted SOI, PDSOI)硅膜更薄,包括短沟效应在内的 SOI 一切优点得以充分发挥,此外相对于 PDSOI 更具有以下突出优点:由于无体效应,无需体引出,集成密度高的优点大大增强,它更适合于向纳米级 CMOS 进一步缩比。近年来由于厚度小于 10 nm 的超薄硅膜以及约为 20 nm 的超薄埋氧层 BOX(Buried Oxide)和超薄硅膜(Ultra Thin Body Box, UTBB)材料的进展,28 nm 的平面超薄埋氧及超薄硅膜全耗尽绝缘体上硅(UTBBFDSOI)得以迅速发展。实验证明,28 nm 的 UTBBFDSOI 具有同 28 nm 体硅 FinFET 可比拟的速度特性,而功耗则低得多,且工艺简单,具有更好的性价比,因此被认为是发展纳米级 CMOS 的重要选择对象。

1.8 发展前景

纳米级 CMOS 进一步发展至 2030 年左右可能达到物理极限,特征尺寸限制在 5 nm~10 nm,特征尺寸不再缩短。届时集成电路工业将达到完全成熟的阶段,常规工艺技术不再有大的变化。即便如此,仍然需要大量的研究工作;CMOS 以后可能是一些非传统器件,如基于量子效应的器件:包括隧穿 FET(Tunneling Field Effect Transistor, TFET)、碳纳米管器件、分子电子器件等。

2 纳米级 CMOS 器件辐射效应研究概况

2.1 纳米级薄栅 SiO₂ 器件的总剂量辐射效应

辐射在 MOS 器件中引起的薄栅阈值电压变化同较厚栅的不完全一样,它可表示为式(3)^[6]:

$$\Delta U_{ox} = \Delta U_T = \left(\frac{q}{\epsilon_{ox} \epsilon_0} \right) [b_h(t_{ox} - 2t_{h1})] t_{ox} / 2 \quad (3)$$

式中: b_h 为 SiO₂ 中产生的空穴体密度被陷阱俘获形成固定正电荷部分(空穴产额); t_{h1} 为离 Si-SiO₂ 界面指向 SiO₂ 的距离,在此距离内,俘获的空穴可以同衬底向 SiO₂ 隧穿的电子复合(见图 7)。在辐照及测量之间的时间 t 内,此距离约为 3 nm。当辐照为正栅压时方程成立,且 ΔU_T 同 t_{ox} 有 2 次方的关系。

当薄栅氧化物小于 6 nm($2t_{h1}$)时,辐射引起的阈值电压变化极小,辐射效应不显著。纳米级器件的辐射效应考虑变成了其他的相关问题,隔离不良引起的寄

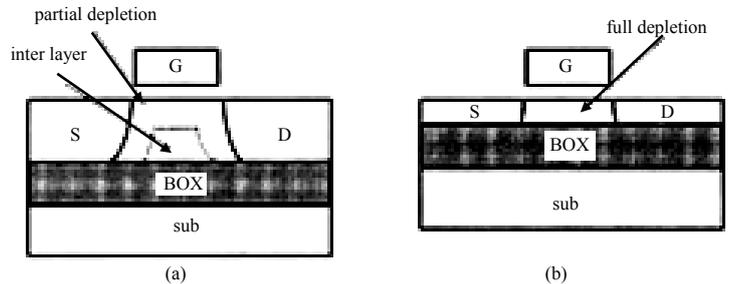


Fig.6 (a) partial depletion SOI MOSFET; (b) full depletion SOI MOSFE
图 6 (a) 部分耗尽 SOI MOSFET; (b) 全耗尽 SOI MOSFE

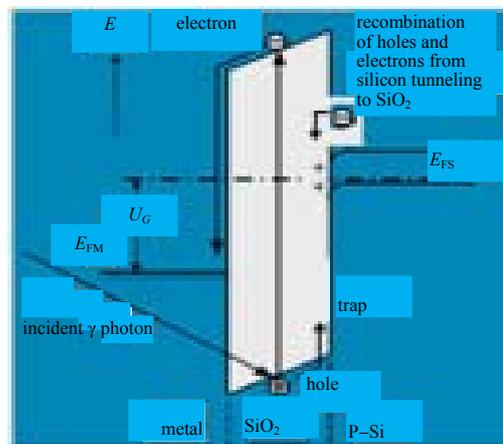


Fig.7 Recombination of the trapped holes with tunneling electrons from substrate into SiO₂
图 7 俘获的空穴可以同衬底向 SiO₂ 隧穿的电子复合示意图

生漏电电流及 SOI 结构的背栅漏电问题。

2.2 高 K 介质总剂量辐射效应的研究结果

在高 K 介质的情况下, 为了保证可靠性并维持高迁移率, 需要利用极薄的 Si/SiO₂ 间隙层。一个 7 nm H₂O₂ (加上 1 nm 厚的 SiON_x 间隙层) 的 MOS 电容器, 在辐照以后, 观察到同体氧化物陷阱相关的小但不可忽略的阈值电压变化 ΔU_{th} , 以及界面陷阱相关的阈值电压变化 ΔU_{it} 。不过, 当进行更接近先进 CMOS 所需要的 3 nm 的 H₂O₂ 膜厚度的辐射实验时, 发现阈值电压变化非常小, 而且与辐照时的外加偏压无关 (见图 8)。这一结果不仅是由于介质更薄以及有更小的捕获体积造成, 而且也是由于本征薄膜的漏电电流可有效地俘获辐射引入电荷的结果。由于在未来的先进 CMOS 工艺中会利用更薄的介质膜, 预期高 K 介质的辐射引入电荷将非常小。

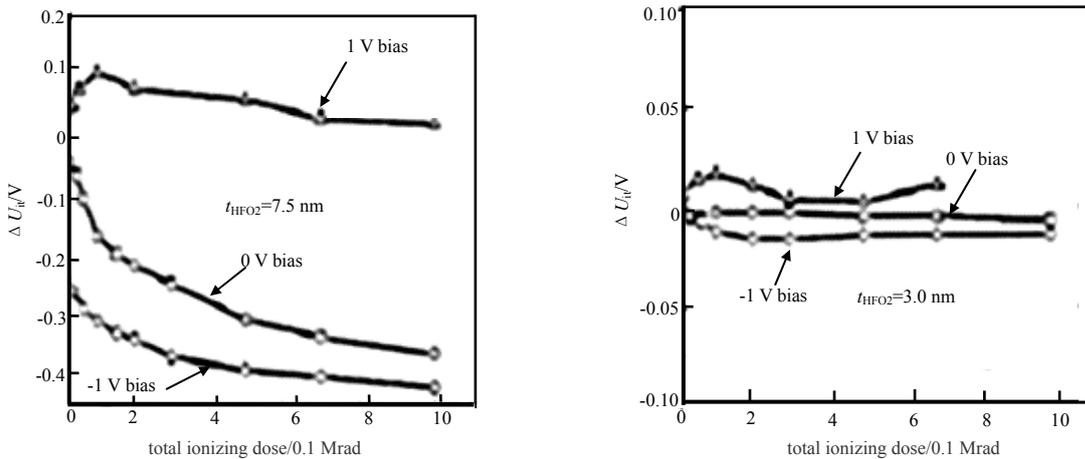


Fig.8 Relationship between the device threshold voltage change caused by total dose and the thickness of high K dielectric
图 8 总剂量引起的器件阈值电压变化同高 K 介质厚度的关系

2.3 UTBB FD SOICMOS 的辐射效应研究

2.3.1 单粒子效应

当 FDCMOS 器件向 nm 级技术节点缩比时, 有源硅膜厚度 t_{Si} 及埋氧化物 (BOX) 厚度 t_{Box} 均不断减到超薄 (ultrathin), 当技术节点缩比到 28 nm 时, t_{Si} 缩比到约为 7 nm, t_{Box} 缩比到小于 25 nm。

在 UTBB FDSOI 中, 由于隔离结构及超薄的硅膜, 一个电离粒子穿过的敏感体积机会进一步减小, 这就使得 UTBB FDSOI 比体硅甚至比 PDSOI 具有更强的抗单粒子事件 (SEE) 的能力。此外, 由于单元更紧凑, 一个单元产生的电荷胞更容易在几个单元中分享, 有效地减少了各个单元收集的电荷, 净的效果是缩比后每位的单粒子翻转率 (Single Event Rate, SER) 有所改善。

图 9 给出 ST 公司的 28 nm UTBB FDSOI 优秀的抗单粒子效应的例子 (电路: SRAM)。

同体硅 28 nm 比较, 在 28 nm FDSOI 中辐射试验测量到的 SER 要小 110 倍。从图 10 看出, 它比 45 nm 的 PDSOI 的 SER 也小很多。

另一个 720 Kb SRAM 的工作得到如下结论: 28 nm FDSOI 除了预期的具有单粒子门锁 (Single Event Latchup, SEL) 的免疫能力以外, 这个工艺具有非常高的本征的 SER 加固能力, 总的 SER 小于 10 FIT/Mb^[7]。(FIT: 10⁻⁹/h) 28 nm FDSOI 工艺的总的 SER (α 粒子加上中子) 低到完全不需要像纠错检错 (Error Detection and Correction, EDAC) 那样花费面积及功耗的缓解辐射效应的技术。28 nm FDSOI 同 28 nm 体硅工艺比较, 它的 SER (α 粒子加上中子) 下降到 1/220。

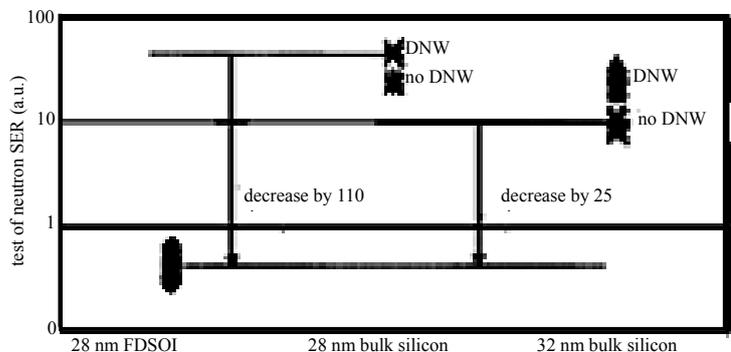


Fig.9 SER comparison of FDSOI 28 nm UTBB with 28 nm DNW (Deep N Well) and without DNW bulk silicon SRAM

图 9 28 nm UTBB FDSOI 同 28 nm 体硅 DNW (有深 N 阱) 及无 DNW SRAM 的 SER 比较

由于具有超薄体硅及超薄 BOX，28 nm FDSOI 同加了纠错改错的高可靠 130 nm PDSOI 及 65 nm PDSOI 工艺相比，也具有更好的 SER 加固能力(见图 10)。

2.3.2 总剂量效应

一般来讲，对于亚 130 nm 器件，由于采用薄栅氧化物(<30 Å)，MOS 器件的总剂量效应已经不是主要问题。在选择优良的器件加固隔离技术以后，总剂量加固水平可以达到相当高的水平。这一点对于体硅以及 SOI 来讲都是一样的。SOI 结构有一层埋氧化物，在总剂量电离辐射中俘获的电离电荷会对器件造成损伤。在 PDSOI 中，主要引起大的 n 沟背沟漏电电流。而在 FDSOI 中，还会造成整个器件的阈值电压变化。FDSOI 的电离总剂量辐射加固，曾经是限制它在空间辐射环境下可靠工作的一个重要因素。然而，到了 UTBB FDSOI，由于 BOX 的厚度大大减小，辐射产生的俘获电荷也随之减小，结果总剂量加固能力有很大提高。更重要的是背栅的减薄，使得能够引入背栅电压控制去减小 BOX 产生俘获电荷影响，这样就更大提高了器件的总剂量辐射加固能力。

给出埋氧层的减薄有利于 FDSOI 晶体管的总剂量加固的例子，如图 11 所示。图 11(a)中的 NMOS 管栅较长，为 30 nm，埋氧层厚度为 145 nm，经历 1 Mrad 的总剂量辐照以后，漏电电流明显增大；图 11(b)中给出不同埋氧层厚度的晶体管阈值电压辐照后变化的对比^[8]。可以看到，在 100 krad 总剂量辐照后，埋氧层越薄，阈值电压漂移越小。在各种偏压情况下辐照，缩小到最小的器件其阈值电压变化只有 50 mV。UTBB FDSOI 器件的这些结果，有望用于满足大部分空间应用对抗总剂量能力要求的场合。另外，如果需要的话，剩下的 mV 级的阈值电压变化，还可以在 UTBB FDSOI 中利用动态体偏压技术来抵消。

再给出一个背栅偏置控制提升 FDSOI 晶体管的抗总剂量电离辐射水平的结果。如图 12(a)所示，对于标准 0.2 μm FDSOI 工艺，埋氧层厚度为标准的 145 nm，其典型 NMOS 管的抗总剂量电离辐射能力不高于 100 krad(Si)。通过在背栅施加负偏压，如图 12(b)所示，NMOS 管的阈值电压正向变化，使得 NMOS 器件能够在很高的总剂量辐照后，仍具有良好的开关特性。对于纳米级 CMOS 同样可以利用这种方法，使抗总剂量水平达到 10 MGy(Si)。

图 13 给出体硅、PDSOI，

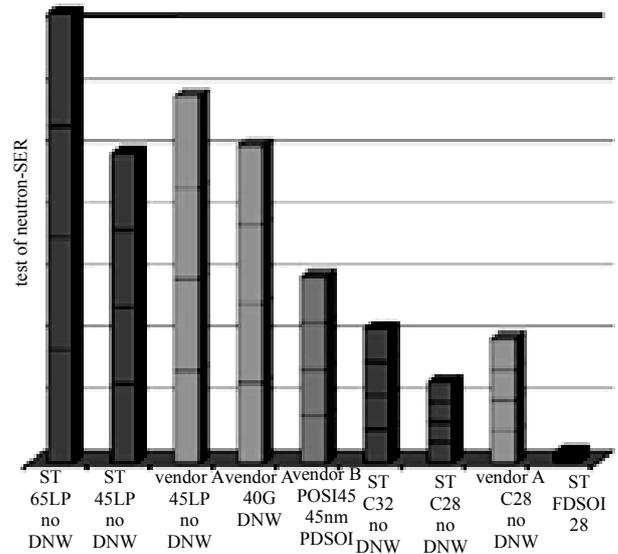


Fig.10 SER comparison of CMOS SRAM by different processes
图 10 不同工艺的 CMOS SRAM 的 SER 比较

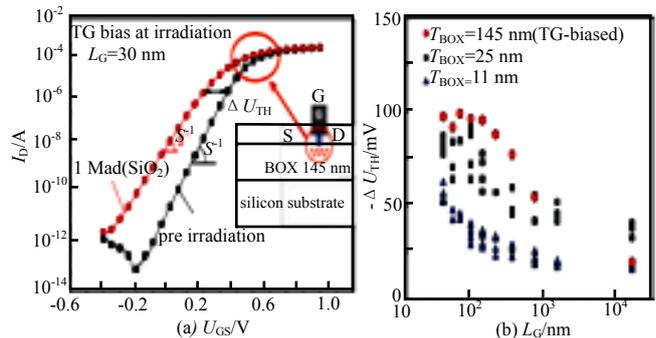


Fig.11 Reduction of the buried oxide layer thickness is helpful for total dose hardening of the FDSOI transistor
图 11 埋氧层的减薄有利于 FDSOI 晶体管的总剂量加固的例子

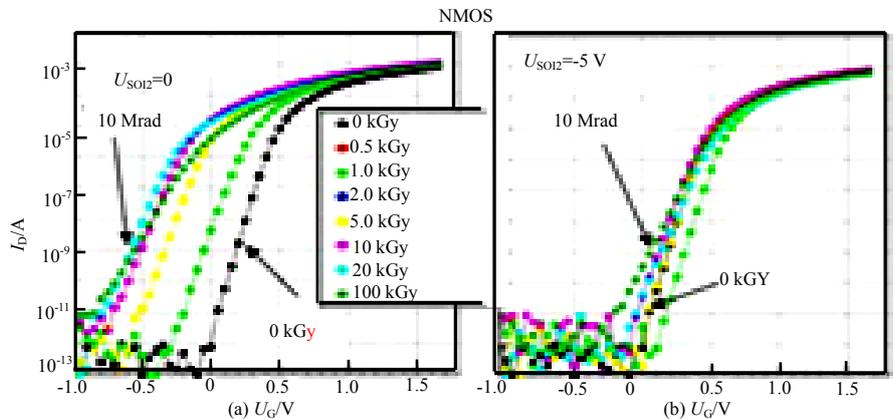


Fig.12 Improving the anti total dose ionizing radiation level of the FDSOI transistor with the back gate bias control
图 12 背栅偏置控制提升 FDSOI 晶体管的抗总剂量电离辐射水平的结果

FDSOI 以及 SOIFinFET 的 I_{on}/I_{off} 特性同总剂量的比较结果。这个性能指数反映一个给定的工艺可抗几 Mgy(1 Mgy=100 rad)的能力。最新的加固 SOI 器件可以抗到 Mgy 水平, 只需要作小的努力, 即利用背栅晶体管控制即可。总之, 纳米级 FDSOI 同样具有优良的总剂量加固特性。

2.4 纳米级 FinFET 的辐射效应

2.4.1 单粒子效应

FinFET 的单粒子效应相对复杂, 同粒子入射方向、位置及 Fin 的数量都有关系, 但和相同技术代的平面体硅器件相比, 由 FinFET 构成的电路单粒子辐射加固能力更强。图 14 中一个 20 nm 级 SRAM SER 的比较例子, 可以充分说明这一点。

由于漏面积减小及收集的电荷量减少, FinFET SRAM 的 SER 在不同电压下比平面体硅器件的 SRAM 的 SER 好 10~15 倍。如果 FinFET 放在 SOI 上, 用激光辐照的实验证明, 它比体硅 FinFET 在辐照时收集的电荷少得多(见图 15), 这意味着 SOI FinFET 具有更好的抗单粒子辐射能力。

2.4.2 总剂量效应(不同 Fin 条宽的影响)

对 SOI 上的 FinFET 辐射效应进行了研究, 而且特别进行了 Fin 的宽度对辐射效应影响的研究。例如, 在一个具有较大条宽(80 nm)的 FinFET 几何结构中, 施加 500 krad 剂量的辐照后会表现出较显著的阈值电压变化, 同时也发生了亚阈值斜率的退化。但是, 对于 40 nm 条宽的 FinFET, 阈值电压漂移显著减小, 亚阈值斜率也有所改善。22 nm 节点, 条宽为 10 nm~15 nm 的宽度量级更先进的 FinFET 技术, 将利用更细的 Fin 线条。因此, FinFET 也是未来 CMOS 工艺中减小总剂量效应的一个非常有效的结构。

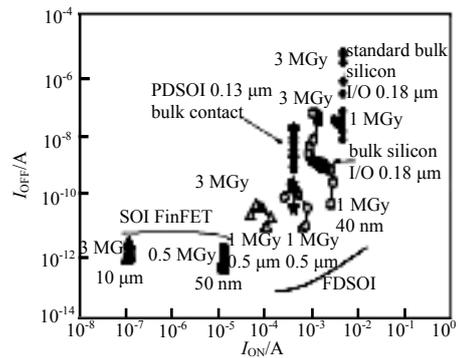


Fig.13 Comparison of I_{on}/I_{off} characteristics of bulk silicon, PDSOI, FDSOI and SOI FinFET with the total dose
图 13 体硅、PDSOI、FDSOI 以及 SOI FinFET 的 I_{on}/I_{off} 特性同总剂量的比较结果

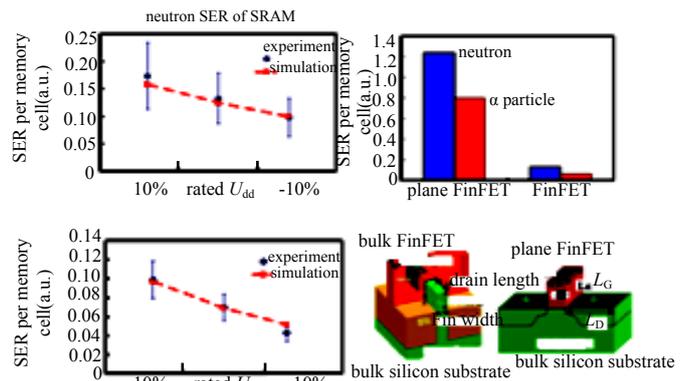


Fig.14 SER comparison of 20 nm scale SRAMs
图 14 20 nm 级 SRAMs 的 SER 比较

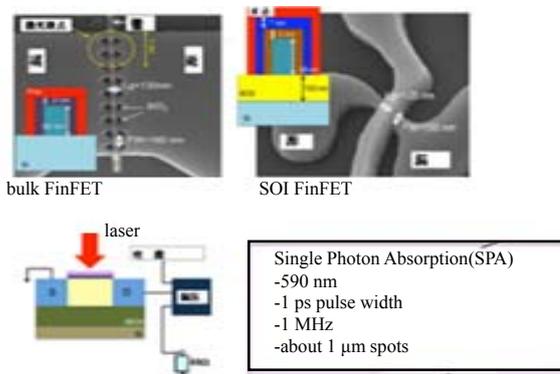


Fig.15 Experimental conditions of laser irradiation and comparison of collected charge by bulk silicon FinFET and SOI FinFET

图 15 激光辐照的条件及体硅 FinFET 和 SOIFinFET 收集电荷的比较

2.5 高迁移率沟道器件的辐射效应

高迁移率沟道器件的辐射效应研究还不多。对于沟道材料 Ge 辐射效应, 从基础的观点来看, 很多问题仍然悬而未决。虽然缺陷的作用有某些表现, 但是至今并没有进行关于辐射损伤的实际系统研究。对于 SiGe 材料,

大部分的辐射效应研究集中在 SiGe 异质结二极管或双极结晶体管, 很少有关于 SiGe 基的场效应晶体管的结果。对于双极型器件, 器件退化首先同位移损伤有关。电离损伤对高速 BiCMOS 工艺也起作用^[6]。

2.6 CMOS 潜在的替代器件的辐射效应

对于其他一些潜在的 CMOS 替代器件如碳纳米管、石墨烯 MOS 管、隧穿 FET(TFET)等纳米器件的辐射效应, 虽不同程度开展了一些研究, 也获得了一些研究结果, 但由于器件离实用化水平还有很大差距, 因此研究工作相当有限, 当它们有望成为实用的对象时, 相信会加大对其辐射效应的研究力度。

3 结论

本文从纳米 CMOS 集成电路的发展状况出发, 介绍了当前正在实用化的纳米级 CMOS 集成电路的一些关键技术及新结构, 如 FDSOI、FinFET 以及高迁移率沟道器件等, 简要地给出了它们的 CMOS 器件辐射效应研究结果。纳米级 CMOS 器件在一些方面表现出更优良的抗辐射能力, 同时也产生一些新的更复杂的研究课题。随着纳米级 CMOS 集成电路的不断实用化, 仍然还需要更深入地对它们进行研究。

参考文献:

- [1] WANLASS F M, SAH C T. Solid state circuits. conf. dig. tech. papers[J]. IEEE International, 1963,32:32-33.
- [2] MOORE Gordon. Cramming more components onto integrated circuits[J]. Electronics, 1965,38(8):114-117.
- [3] DENNARD R H, YU F H, RIDEHORT V L, et al. Design of Ion-Implanted MOSFETs with very small physical dimensions[J]. IEEE J. Sol. State Circuits, 1974,9(5):256-258.
- [4] YEO Yee Chia, KING Tsu Jae, HU Chenming. MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based consideration[J]. IEEE Transactions on Electron Devices, 2003,50(4):1027-1035.
- [5] GHANI T, ARMSTRONG M, AUTH C, et al. A 90 nm high volume manufacturing logic technology featuring novel 45 nm gate length strained silicon CMOS transistor[C]// IEEE International Electron Devices Meeting. [S.l.]:IEEE, 2003:978-980.
- [6] CLAEYS C, SIMOEN E. Radiation in Semiconductor Materials and Devices[M]. Springer Berlin Heidelberg:Springer Verlag Berlin Heidelberg, 2002:312-320.
- [7] GILLES Gasiot, SOUSSAN D, GLORIEUX M, et al. SER/SEL performances of SRAMs in UTBB FDSOI28 and comparisons with PDSOI and BULK counterparts[C]// Reliability Physics Symposium. 2014:SE.6.1-SE.6.5.
- [8] ROCHE Philippe. Technology downscaling worsening radiation effects in bulk:SOI to the rescue[C]// Proceeding of IEDM, 2013:766-769,31.1.1-31.1.4.

作者简介:



刘忠立(1940-), 男, 武汉市人, 研究员, 博士生导师及博士后合作导师, 研究方向为半导体器件及电路的设计和制造, 半导体器件及电路的辐射效应和加固技术。我国第 1 只 MOSFET 及 JFET 的研究骨干, 国际注氮隔离 SOICMOS 的发明者, 著有专著 4 本、译著 3 本, 已发表论文 160 余篇。负责的研究课题 2 次获中科院科技进步二等奖, 1 次获国防光华科技进步个人二等奖。email:liuzhongli@ime.ac.cn.