2016年12月

Journal of Terahertz Science and Electronic Information Technology

文章编号: 2095-4980(2016)06-0977-05

中图分类号:TN32

PDSOI 工艺下单粒子瞬态脉冲宽度分析

吴 驰,毕津顺,李 博,李彬鸿,罗家俊,韩郑生*

(中国科学院 微电子研究所, 北京 100029)

摘 要:单粒子瞬态脉冲宽度是评价电子系统软错误率的重要参数之一。针对0.13 μm、部分 耗尽型绝缘体上硅(PDSOI)工艺下的反相器链,解析地计算了反相器中产生的单粒子瞬态脉冲宽 度,仿真了产生的单粒子瞬态脉冲在反相器链中传播时的临界脉冲宽度和传输率随级数变化情况。 仿真结果表明,单粒子瞬态脉冲宽度的大小在几十皮秒到几百皮秒之间,反相器链的级数对临界 脉冲宽度和传输率影响较大。最后仿真得到在输入单粒子瞬态脉冲宽度较小时,建立保持时间与 输入脉冲宽度有关。该结果有利于电气掩蔽建模和锁存掩蔽建模准确性的提高。

关键词:单粒子瞬态;脉冲宽度;电气掩蔽;锁存掩蔽

文献标志码:A doi: 10.11805/TKYDA201606.0977

Analysis of Single-Event Transient pulse width in PDSOI

WU Chi, BI Jinshun, LI Bo, LI Binhong, LUO Jiajun, HAN Zhengsheng* (Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The width of Single-Event Transient(SET) pulse is one of the most important parameters for evaluating soft-error rate in electronic systems. Analytical calculation is performed in 0.13 µm Partially Depleted Silicon On Insulator(PDSOI) Complementary Metal Oxide Semiconductor(CMOS) logic. Simulation in inverter chain is carried out to study the variation of critical pulse width and transmission rate. Results reveal that SET pulse width changes from dozens of picosecond to hundreds of picosecond in duration; meanwhile, the stage of inverter chain has a great influence on critical pulse width and transmission rate. Finally, derived by simulation of D Flip-Flop(DFF), the set-up time and hold time are related to the input pulse width when pulse width is short. The results are helpful for improving the accuracy of electrical masking model and latch masking model.

Keywords: Single-Event Transient; pulse width; electrical masking; latching-window masking

空间辐照环境中高能粒子引起的单粒子效应(Single Event Effect, SEE)会导致电子元器件功能异常或失灵, 甚至会导致航天器发生致命故障,严重影响设备的可靠性。单粒子瞬态(SET)效应是深亚微米工艺下单粒子效应 的主要组成部分,主要发生在逻辑电路中^[1]。与体硅 CMOS 工艺相比,绝缘体上硅(Silicon On Insulator, SOI)CMOS 工艺实现了完全的介质隔离,场区无体硅,无底面 p-n 结,具有良好的抗单粒子效应能力,已被广泛用于空间 和军事等领域^[2]。

SET 脉冲宽度是评价电子系统软错误率最重要的参数之一^[3],在研究 SET 脉冲宽度的产生时,国内普遍采 用器件级的数值模拟方法,即对器件建立物理模型,通过仿真重离子入射的过程,得到器件的辐射特性。这种 方法能模拟出器件在辐射条件下的性能,但需要经过多次仿真迭代,且仿真结果与器件模型的准确程度密切相 关。在研究 SET 脉冲在电路中传播时宽度的变化时,通常采用临界模型^[4]或查找表^[5](Look Up Table, LUT)模型 来简化 SET 脉冲衰减分析。这种方法能加快 SET 脉冲衰减分析的速度,但准确性较差。

本文从单粒子效应的产生机理出发,解析地分析了 0.13 µm 部分耗尽型 SOI(PDSOI)工艺下 CMOS 反相器中的 SET 脉冲宽度,针对 SET 传播过程中使用的临界模型以及 LUT 法准确性较差的问题,仿真了级数结构对临界模型以及 LUT 法准确性的影响,仿真结果有助于临界模型和查找表模型的改进。

1 SET 脉冲的产生

SOI 工艺下 NMOS 器件的结构示意图如图 1 所示,当高能粒子入射 N 型金属-氧化物-半导体(N-channel Metal Oxide Semiconductor, NMOS)器 件时,会在粒子径迹上产生一系列的电子空穴对,产生的电子空穴对会通 过漂移和扩散作用被漏极收集,产生单粒子瞬态电流,图 1 中,LDD(Lightly Doped Drain)为轻掺杂漏区结构。

对于 SOI 工艺下的 CMOS 管,当输入端接低电平时,NMOS 管关断, P 沟道金属氧化物半导体(P-channel Metal Oxide Semiconductor, PMOS)管 导通,输出电压为 U_{DD}。当高能粒子入射 NMOS 管栅极时,输出电压会在 一段时间内变为低电平,随后恢复到高电位,即产生 SET 脉冲,如图 1 所示。

SET 脉冲的持续时间 t^{i} 分为 2 个过程,第 1 个过程持续时间 为 t_{0} ,包括: a) 电子被漏极收集,漏端电压迅速下降; b) 剩余 的空穴抬升体区电位,源体结和漏体结正偏,寄生 NPN 管开启, 产生拖尾电流,该电流持续时间较长。第 2 个过程中 PMOS 管的 充电电流大于 NMOS 管的收集电流,漏端电压发生变化。此时 PMOS 管的补偿电流等于 NMOS 管的收集电流与负载电容的充 电电流之和,持续时间为 t_{1} 。文献[6]通过仿真以及近似计算得到 这 2 个过程的时间之和,也就是 CMOS 中 SET 脉冲的持续时间 t^{i} 。

$$t^{*} = \tau_{0} \ln(\frac{Q_{dep}}{I_{p(ON)} \times \tau_{0}}) + \beta \tau_{0} + \frac{C_{L} \times |U_{T,P}|}{I_{p(ON)}}$$
(1)

式中: Q_{dep} 为体区淀积的电荷量; τ_0 为体区空穴衰减系数; $I_{p(ON)}$ 为 PMOS 管的补偿电流; C_L 为输出端寄生电容; $U_{T,P}$ 为 P 管的阈值电压; τ_1 为电子电流的衰减系数, $\tau_1 = \beta \tau_0^{[7]}$ (其中 β 为寄生 NPN 型晶体管的放大倍数)。

本文通过上述模型对 0.13 μm PDSOI工艺下的 SET 脉冲宽度 进行估算,所用的工艺参数及 MOS 管尺寸,如表 1 所示。

已知体区掺杂浓度,可得到室温下空穴的迁移率 u_p,由爱因 斯坦关系式可得到空穴的扩散系数 D_p,空穴的衰减系数可由式(2)得到:

$$\tau_0 = t_{\rm TF} = \frac{w_{\rm b}^2}{2D_{\rm c}}$$

式中 w_b为基区的有效长度,由于工艺中采用轻掺杂漏区(LDD) 结构,取 w_b略大于沟道长度。

 C_{L} 的值为后级理想反相器的寄生电容,大小为 5 fF,可以通 过漏端收集到的总电荷除以顶层硅膜中淀积的总电荷得到。文献 [8]测得该放大倍数在 1.5~2 之间,本文中取 $\beta=2$ 。由于重离子在 硅中的穿透深度远远大于顶层硅膜的厚度,可认为辐照粒子可以 到达硅膜最底端,则淀积电荷 $Q_{dep} = 3 LET$ 。因此该工艺下 SET 脉冲宽度 t^{*} 随线性能量传输值 LET 的变化关系式为:

$$t^* = 21\ln\frac{LET}{1.62} + 58\tag{3}$$

图 3 为 0.13 μm SOI 工艺下 CMOS 反相器中 SET 脉冲宽度随 LET 值的变化情况。由图可知, SET 脉冲宽度随着 LET 值的增



Fig.1 SOI MOS device structure 图 1 SOI MOS 器件结构示意图



图 2 反相器产生的 SET 脉冲







图 3 0.13 µm SOI 工艺下产生的 SET 脉冲宽度

大而增大,宽度大小在几十皮秒到几百皮秒量级。由于本文方法在估算 SET 脉冲宽度时,假设淀积电荷量较大,漏端电压可被充分拉低,因此在 LET 值较小时误差较大,但在 LET 值较大时,可较为准确地反应该工艺下产生的 SET 脉冲宽度大小。因此在下文中分析 SET 脉冲的传播时,使用反相器中输出端 SET 脉冲宽度大小范围为 0~150 ps,误差较小。同时,下文在研究 SET 脉冲宽度时假设高电平等于电源电压,低电平等于 0,即满摆幅状态。

2 SET 脉冲的传播模型

SET 脉冲在电路中的传播过程中,会发生 3 种掩蔽效应,分别为:电气掩蔽、逻辑掩蔽和锁存掩蔽。本文将主要分析电气掩蔽效应模型和锁存掩蔽效应模型。

电气掩蔽效应对计算组合逻辑电路中的软错误率非常重要。文献[9]指出,在一个逻辑深度为5级的电路中,忽略电气掩蔽会过高地估计软错误率,偏差率在138%左右。目前,国内外有多种计算电气掩蔽的模型,如临界脉冲宽度模型和查找表模型。临界脉冲宽度模型^[4]是指使用临界 SET 脉冲宽度作为临界值,当输入 SET 脉冲参数大于或等于临界值时,认为 SET 脉冲可无衰减地传播到输出端,反之则认为脉冲完全被掩蔽;基于预先计算的查找表(LUT)法^[5]是通过将预先仿真的结果作为一个查找表,使用 SET 脉冲的幅值和脉冲宽度作为输入,以门的类型、传输类型(0-1-0或1-0-1)和负载作为影响因素进行查表得到输出 SET 脉冲的宽度和幅值,这种方法相比临界模型精确度更高。但这些方法在进行临界脉冲宽度以及查找表的预先仿真时,均未考虑到级数对 SET 脉冲传播的影响,降低了模型的准确性。

锁存掩蔽一般采用概率计算的方法,认为当 SET 脉冲宽度大于建立保持时间之和时,被锁存的概率与 SET 脉冲宽度成正比(SET 脉冲宽度小于时钟周期时),但这种方法未考虑到在输入 SET 脉冲宽度较小时,建立保持时间随 SET 脉冲宽度变化的情况。

为了验证级数对临界模型和查找表模型的影响,本文通过仿真 SET 脉冲在反相器链中的传播,得到临界脉冲宽度随级数的变化。并得到在不同输入 SET 脉冲宽度下,使用查找表法得到的传输率与使用 Hspice 仿真得到的传输率的差异(其中传输率定义为输出 SET 脉冲宽度与输入 SET 脉冲宽度的比值),验证了级数对传输率的影

响。通过仿真 D 触发器在不同输入 SET 脉冲宽度下的建立保持时间,得到在输入脉冲宽度较小时建立保持时间随时间的变化情况,将仿真结果与传统的锁存掩蔽模型结合,可提高锁存掩蔽模型的 准确性。

2.1 电气掩蔽

反相器中产生的 SET 脉冲会在逻辑电路中传播, SET 脉冲在 逻辑电路中传播时,若输入 SET 脉冲宽度较小,由于电路中存在 寄生电阻电容(Resistor Capacitor, RC)组成的滤波网络,此 SET 脉 冲将被衰减或掩蔽。只有具有足够脉冲宽度和幅值的 SET 瞬态脉 冲才能不衰减地传播。

当输出 SET 脉冲宽度等于输入 SET 脉冲宽度时,表明该 SET 脉冲发生了无衰减传播。能够发生无衰减传播的输入脉冲宽度最 小值即为临界脉冲宽度。图 4 为使用 Hspice 仿真 100 级反相器链 得到的临界 SET 脉冲宽度随级数的变化情况,由图可知,临界 SET 脉冲宽度并不是一个常数,其大小随反相器链级数的增加而增加, 最终趋于平衡。因此在使用临界脉冲法进行电气掩蔽建模时应该 考虑级数对临界脉冲的影响,以提高模型的准确性。

在使用查找表法进行电气掩蔽计算时,对于 4 级反相器链,为避免输入 SET 极性的影响,使用 2 级传输率作为基准进行查表 计算。结果如图 5 所示,由图可知,当输入 SET 脉冲宽度在 30 ps 到 80 ps 内时,使用 LUT 法得到的传输率与使用 Hspice 仿真结果 差别较大。

对 10 级反相器链分别使用 LUT 法和 Hspice 进行计算得到结



果如图 6 所示。由图可知,当输入 SET 脉冲宽度在 100 ps 内时,使用 LUT 法得到的传输率与真实结果差别较大。对比 4 级反相器链和 10 级反相器链的结果可知,随着级数的增加,不考虑级数时使用 LUT 法得到的传输率随着级数的增加,误差不断增大。因此在使用 LUT 法进行传输率的查找计算时,将级数加入影响因素中,可提高 LUT 模型的准确性。

2.2 锁存掩蔽

到达存储单元的 SET 脉冲必须在恰当的时候到达,且有 足够的脉冲宽度以满足建立保持时间才能被存储电路捕获, 进而对电路功能造成影响。文献[10]提出锁存窗的概念,用 w 表示,大小等于可被存储单元捕获的最小脉冲宽度,即 w=t_{su}+t_{hold}。只有当 SET 脉冲完全覆盖锁存窗时,SET 才能被



Fig.6 Transmission rate in inverter chain for different stages 图 6 不同级数下反相器链中传输率随着输入脉冲宽度的 变化情况

捕获,其他情况下,SET脉冲会被掩蔽,如图7所示。SET脉冲能被捕获的概率为:

$$\begin{cases}
P_{\rm r} = 0 & \text{if } d < w \\
P_{\rm r} = \frac{d - w}{c} & \text{if } w \leq d < c + w \\
P_{\rm r} = 1 & \text{if } d \geq c + w
\end{cases}$$
(4)

式中: P_r 为 SET 脉冲被捕获的概率,与被掩蔽的概率 之和等于 1。d为 SET 脉冲宽度; c为时钟周期。传统 的锁存掩蔽模型认为建立保持时间之和 w 为常数,因 此当 $w \le d < c + w$ 时,认为 P_r 随 SET 脉冲宽度 d的增 加而线性增加。这种方法没有考虑到 w 随输入 SET 脉 冲宽度的变化,因此并不准确。

表 2 为仿真得到的 0.13 μm 工艺下传输门构成的 D 触发器,在不同输入脉冲宽度下得到的锁存概率。由 表 2 可知,SET 脉冲被捕获的概率随 SET 脉冲宽度的 增大而增大。对于正向(1-0-1)脉冲,输入脉冲达到 71 ps 时才可能被捕获。对负向(0-1-0)脉冲,输入脉冲 达到 80 ps 时才能被捕获;在不同的输入脉冲宽度下, 锁存窗 w 的大小不相同,随着 SET 脉冲宽度的增加而 减小,最终达到定值。



Fig.7 Latching window of vulnerability 图 7 锁存窗与 SET 脉冲示意图

SET amplitude/V	SET width/ps	set-up time/ps	hold time/ps	latching window/ps	Platch/@100 M(10-3)
1.5	71	19.5	42.5	62	0.9
1.5	73	17.5	31.5	49	2.4
1.5	76	15.5	22.5	38	2.8
1.5	80	14.5	18.5	33	4.7
1.5	90	14.5	14.5	29	6.1
1.5	100	13.5	9.5	23	7.7
1.5	140	12.5	3.5	16	12.4
1.5	200	11.5	2.5	14	18.6
1.5	500	11.5	2.5	14	48.6
-1.5	80	32.5	38.5	71	0.9
-1.5	90	30.5	29.5	60	3.0
-1.5	100	30.5	26.5	57	4.3
-1.5	140	29.5	21.5	51	8.9
-1.5	200	28.5	20.5	49	15.1
-15	500	28.5	20.5	49	45.1

表 2 不同 SET 脉冲宽度下被捕获的概率 Table 2 P ______ in different input pulse widths

因此在进行锁存掩蔽建模时,可将原模型修正为:

 $\begin{cases}
P_{r}=0 & \text{if } d < w(\max) \\
P_{r}=\frac{d-w(d)}{c} & \text{if } w(\max) \leq d < c+w(\min) \\
P_{r}=1 & \text{if } d \geq c+w(\min)
\end{cases}$ (5)

式中 w(max), w(d) 和 w(min) 是与输入 SET 相关的函数,即将锁存窗的大小随输入 SET 脉冲宽度的变化加入该 模型中,提高模型的准确性。

3 结论

在 0.13 μm PDSOI 工艺下, CMOS 电路中产生的 SET 脉冲宽度为几十皮秒到数百皮秒,该值大小与体区掺 杂浓度和补偿管的尺寸强相关。SET 脉冲在逻辑链中传播时,级数对临界脉冲宽度和传输率的影响较大,在使 用临界脉冲法和 LUT 法进行电气掩蔽建模时,应该考虑级数的影响以增加模型的准确性。在进行锁存掩蔽建模 时,应该考虑锁存窗的大小随着输入 SET 脉冲宽度的变化可提高模型的准确性。

参考文献:

- [1] 毕津顺,刘刚,罗家俊,等. 22 nm 工艺超薄体全耗尽绝缘体上硅晶体管单粒子瞬态效应研究[J]. 物理学报, 2013,62(20):
 208501. (BI Jinshun,LIU Gang,LUO Jiajun, et al. Numerical simulation of single event transient effects on ultra-thin-body
 fully-depleted silicon-on-insulator transistor based on 22 nm process node[J]. Acta Physica Sinica, 2013,62(20):208501.)
- [2] 刘忠立. 半导体器件辐射效应研究[J]. 太赫兹科学与电子信息学报, 2012,10(6):748-753. (LIU Zhongli. Research trends radiation effects in semiconductor device[J]. Journal of Terahertz Science and Electronic Information Technology, 2012,10(6):748-751.)
- [3] BI Jinshun, ZHENG Chuanbin, GAO Linchun. Estimation of pulsed laser-induced single event transient in a partially depleted silicon-on-insulator 0.18 µm MOSFET[J]. Chinese Physics B, 2014,23(8):631-635.
- [4] NGUYEN H T,YAGIL Y,SEIFERT N,et al. Chip-level soft error estimation method[J]. IEEE Transactions on Device and Materials Reliability, 2005,5(3):365-381.
- [5] BIN Z,WEI Shen W,ORSHANSKY M. FASER: fast analysis of soft error susceptibility for cell-based designs[C]// International Symposium on Quality Electronic Design. California: [s.n.], 2006:755-760.
- [6] KOBAYASHI D,HIROSE K,FERLRT-Cavrois V,et al. Device-physics-based analytical model for single-event transients in SOI CMOS logic[J]. IEEE Transactions on Nuclear Science, 2009,56(6):3043-3049.
- [7] FULKERSON D E,LIU H. A charge-control SPICE engineering model for the parasitic bipolar transistor action in SOI CMOS single-event upsets[J]. IEEE Transactions on Nuclear Science, 2004,51(1):275-287.
- [8] MUSSEAU O,FERLET-Cavrois V,PELLOIE J L,et al. Laser probing of bipolar amplification in 0.25 μm MOS/SOI transistors[J]. IEEE Transactions on Nuclear Science, 2000,47(6):2196-2203.
- [9] WANG Feng,XIE Yuan. Soft error rate analysis for combinational logic using an accurate electrical masking model[J]. IEEE Transactions on Dependable and Secure Computing, 2011,8(1):137-146.
- [10] SHIVAKUMAR P,KISTLER M,KECKLER,et al. Modeling the effect of technology trends on the soft error rate of combinational logic[C]// International Conference on Dependable Systems and Networks. Washington:[s.n.], 2002:389-398.

作者简介:



吴 驰(1991-),男,西安市人,在读硕 士研究生,主要研究方向为单粒子效应建 模.email:wuchi@ime.ac.cn. **毕津顺**(1979-),男,天津市人,副研究员,主 要研究方向为半导体器件、集成电路辐照效应、抗 辐射加固技术.