

文章编号: 2095-4980(2017)01-0120-05

一种流水线 ADC 后台数字校准算法的实现

张文杰^{1,2}, 邓 准^{1,2}, 谢 亮^{1,2*}, 金湘亮^{1,2}

(1.湘潭大学 物理与光电工程学院, 湖南 湘潭 411105; 2.微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105)

摘 要:介绍了一种改进的流水线模数转换器(ADC)数字校准算法, 该算法使用了一个低速高精度的参考 ADC, 同时结合了变步长的最小均方误差(LMS)滤波器校正流水线 ADC 的误差, 从而提高校准速度和精确度。使用 Verilog HDL 语言设计了这种后台数字校准算法的寄存器传输级(RTL)电路, 同时采取 Simulink 和 Modelsim 联合仿真的方法对电路进行验证。验证结果表明, 与固定步长的校准算法相比, 改进的校准算法拥有更快的收敛速度和更高的收敛精确度。

关键词:流水线ADC; 数字校准; LMS算法

中图分类号:TN492

文献标志码:A

doi:10.11805/TKYDA201701.0120

Implementation of digital backstage calibration algorithm for pipeline ADC

ZHANG Wenjie^{1,2}, DENG Zhun^{1,2}, XIE Liang^{1,2*}, JIN Xiangliang^{1,2}

(1.Faculty of Materials, Optoelectronics and Physics, Xiangtan University, Xiangtan Hunan 411105, China;
2.Hunan Engineering Laboratory for Microelectronics, Optoelectronics and System on A Chip, Xiangtan Hunan 411105, China)

Abstract: An improved digital backstage calibration algorithm to calibrate high-speed pipeline Analog to Digital Converter(ADC) is introduced. This algorithm combines the slow but accurate ADC as a reference with an adaptive filter based on Least Mean Square(LMS) algorithm to rectify errors of the pipeline ADC, thereby improving the speed and accuracy of the calibration. The Verilog HDL is used to design the Register Transfer Level(RTL) circuit. At the same time, the co-simulation method of Simulink and Modelsim is adopted to verify the circuit. The verification result shows that the improved calibration algorithm has better convergence speed and accuracy compared with that of fixed-step calibration algorithm.

Keywords: pipelined Analog to Digital Converter; digital calibration; Least Mean Square algorithm

流水线 ADC 兼顾高速和高精确度被广泛用于视频成像系统、通信系统和测试设备中。实际应用中, 流水线 ADC 的性能会受到电容失配、比较器失调和放大器的有限直流增益等误差的限制^[1]。随着 CMOS 工艺的发展, 通过复杂的模拟电路来补偿流水线 ADC 的误差已变得越来越困难^[2-3]。数字校准技术使用数字电路校准流水线 ADC 模拟电路的误差, 降低了流水线 ADC 模拟电路设计的难度, 成为进一步提高流水线 ADC 性能的新手段。

目前各种校准算法层出不穷^[4-6], 文献[4]提出的冗余编码技术, 可以降低对失调电压的设计要求, 是当前最成功的数字校准方法, 但不能校准其他误差。文献[5]提出了一种基于相关检测的校准算法。采取往子 ADC 中注入伪随机序列的方法, 利用伪随机序列的自相关性提取级间增益误差参数来校准流水线 ADC, 但这种算法需要大量的伪随机序列, 现实中难以实现。文献[6]提出了一种针对流水线 ADC 的码域均衡后台校准算法, 这种算法通过对比高速流水线 ADC 和低速高精度 ADC 的输出来提取误差参数, 利用最小均方误差(LMS)算法自适应滤波器减小误差。码域均衡校准算法利用了 LMS 算法的优点, 可以自动跟踪流水线 ADC 多种误差, 但这种算法也存在校准过程缓慢的问题。

为进一步提高码域均衡校准方法的校准速度, 本文在原来的校准算法基础上, 使用变步长的 LMS 算法代替基本的 LMS 算法, 并通过仿真进行验证。

收稿日期: 2015-09-09; 修回日期: 2016-01-16

基金项目: 国家自然科学基金资助项目(61274043; 61233010); 湖南省自然科学基金资助项目(2015JJ1014)

*通信作者: 谢 亮 email:xieliang@xtu.edu.cn

1 流水线 ADC 的校准原理

以一个由一级采样保持电路、九级流水线电路和一级 3 bit Flash ADC 组成的 12 bit 流水线 ADC 为校准对象。其中每级流水线电路由子模数转换器和余量电压放大器(Multiplying Digital to Analog Converter, MDAC)组成。MDAC 由子数模转换器、残差放大器和采样保持电路组成。九级流水线电路每级分别产生 1.5 bit 数字码输出, 再加上 3 bit 的 Flash ADC 得到 12 bit 输出^[7]。

流水线 ADC 的误差主要来自子 ADC 参考电压失调和 MDAC 的误差, MDAC 的误差包括电容失配、寄生电容和运放的有限放大倍数等。子 ADC 的参考电压失调在使用了冗余编码技术后已不再是关注重点, 减小 MDAC 的误差成为提高流水线 ADC 性能的关键。

图 1 为 1.5 bit 的电容翻转式 MDAC 结构, 由电荷守恒得到理想余量电压公式:

$$U_{out} = 2U_{in} - (d-1)U_{ref} \quad (1)$$

式中: U_{out} 为 MDAC 输出到下一级的余量电压; U_{in} 为 MDAC 的输入电压; U_{ref} 为参考电压; d 为流水线子级的数字码输出。考虑到电路中存在诸多非理想因素, 如电容失配、寄生电容和运放的有限放大倍数, MDAC 的余量电压公式可改写为:

$$U_{out} = \frac{\left(\frac{C_f}{C_s} + 1\right)U_{in} - \frac{C_f}{C_s}(d-1)U_{ref} + \frac{C_f + C_s + C_x}{C_s(1+A)}U_{os}}{\frac{C_f + C_s + C_x}{C_s A} + 1} \quad (2)$$

式中: A 为运放的有限放大倍数; U_{os} 为运放的失调电压; C_x 为寄生电容; C_f 为保持电容; C_s 为采样电容。公式两边同时除以 $U_{ref}/2048(1LSB)$, 将 U_{in} 转化为 $D_{in,n}$, U_{out} 转为 $D_{out,n}$, U_{os} 转化为 $D_{os,n}$:

$$D_{in,n} = D_{out,n}a_n + 2048(d-1)b_n - D_{os,n}c_n \quad (3)$$

式中: $a_n = C_f[1 + (C_f + C_s + C_x)/C_f A]/(C_f + C_s)$, $b_n = C_s/(C_f + C_s)$, $c_n = (C_f + C_s + C_x)/(C_f + C_s)$ 。式(3)中的系数 a_n , b_n 和 c_n 在理想情况的值为 0.5, 0.5 和 1, 但由于非理想因素的存在, 这 3 个系数实际是未知的。流水线 ADC 每一级流水线的输出电压是下一级的输入电压, 即 $D_{in,n+1} = D_{out,n}$, 根据上述公式, 从最后一级到第一级逐级递推, 可建立流水线 ADC 输入电压 U_{input} 与每一级流水线电路数字量输出的关系式^[6]:

$$D_{input} = D_{in,1} = \{[\dots]a_2 + 2048(d_2-1)b_2 - D_{os,2}c_2\}a_1 + 2048(d_1-1)b_1 - D_{os,1}c_1 \quad (4)$$

式(4)在数字域中形成了 FIR 滤波器, 但此 FIR 滤波器中存在多个未知参数, 可以采用基于 LMS 算法的自适应滤波器确定这些参数。图 2 为基于 LMS 算法的自适应滤波器原理图, $X(n)$ 为滤波器输入信号, $y(n)$ 为滤波器输出信号, $W(n)$ 为滤波器的抽头权系数, $d(n)$ 为期望信号, 误差信号 $e(n)$ 为滤波器输出信号与期望信号之差, 由图 2 可得:

滤波器输出^[8]:

$$y(n) = W^T(n)X(n) \quad (5)$$

误差信号^[8]:

$$e(n) = d(n) - y(n) \quad (6)$$

抽头权系数^[8]:

$$W(n+1) = W(n) + ue(n)X(n) \quad (7)$$

式(7)为 LMS 算法的抽头系数迭代公式, 其中 u 是固定的步长因子, 步长因子的大小与收敛速度成正比, 与收敛精确度成反比。为提高校准的效率, 结合流水线 ADC 的结构特点提出步长因子的迭代公式:

$$\alpha(n) = \varepsilon\alpha(n-1) + e(n)e(n-1) \quad (8)$$

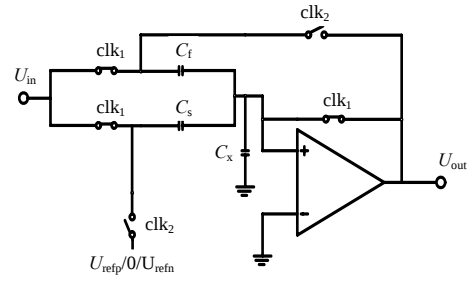


Fig.1 Capacitance flip MDAC
图 1 电容翻转式 MDAC 原理图

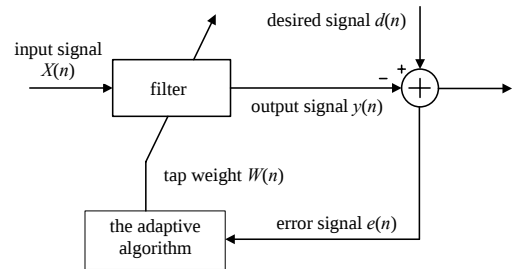


Fig.2 Diagram of LMS adaptive filter
图 2 LMS 自适应滤波器原理图

$$u(n) = \gamma u(n-1) + \sigma \alpha(n) \alpha(n) \quad (9)$$

式(8)与式(9)中: $u(n)$ 为步长因子; ε, γ 与 σ 为步长因子的更新参数。变步长的 LMS 算法根据误差更新步长因子, 在误差较大时, 增大步长因子获得更快的收敛速度; 在误差较小时, 减小步长因子获得更高的收敛精确度, 提高校准算法的整体性能。

图 3 为校准原理图, 流水线 ADC 的时钟频率为 f_s , 高精度参考 ADC 的时钟频率为 f_s/M 。利用上述改进的 LMS 自适应滤波器的功能, 给予 2 个 ADC 同样的模拟输入信号 U_{in} , 参考 ADC 的输出信号 D_{in} 为 LMS 自适应滤波器的期望信号, 流水线 ADC 所有子级的数字码输出 $D(n)$ 作为输入信号, 构造出式(4)所示的 FIR 滤波器。由误差 E 驱动 LMS 自适应滤波器中抽头权系数和步长因子的更新, 使经过变步长 LMS 自适应滤波器校准的输出信号 D_{out} 不断趋向于 D_{in} , 以提高 D_{out} 的精确度。

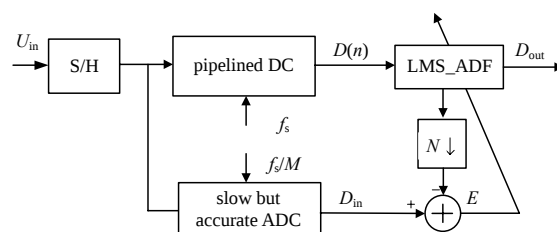


Fig.3 Calibration principle
图 3 校准原理图

2 校准模块的 RTL 设计

根据图 3, 使用 Verilog HDL 语言设计后台数字校准模块的 RTL 电路, 电路原理如图 4 所示, 数字校准模块的底层由子级校准模块、延时寄存器、减法器 and 用于降频的 D 触发器组成。流水线 ADC 的子级数字码输出 $D_1[1:0]$ 至 $D_9[1:0]$ 与 Flash ADC 的数字码输出 $D_{10}[2:0]$ 为校准模块的输入, 参考 ADC 的输出 $D_{in}[11:0]$ 为校准模块的期望信号。校准时所有子级校准模块的输出 $D_{out,i}[12:0]$ 都反馈到下一级校准模块, $D_{out}[11:0]$ 为经过校准的流水线 ADC 信号。降频器和延时寄存器共同保证减法器工作时, 2 个输入数字信号是 2 个 ADC 对同一个模拟量量化所得, 以正确提取误差信号。

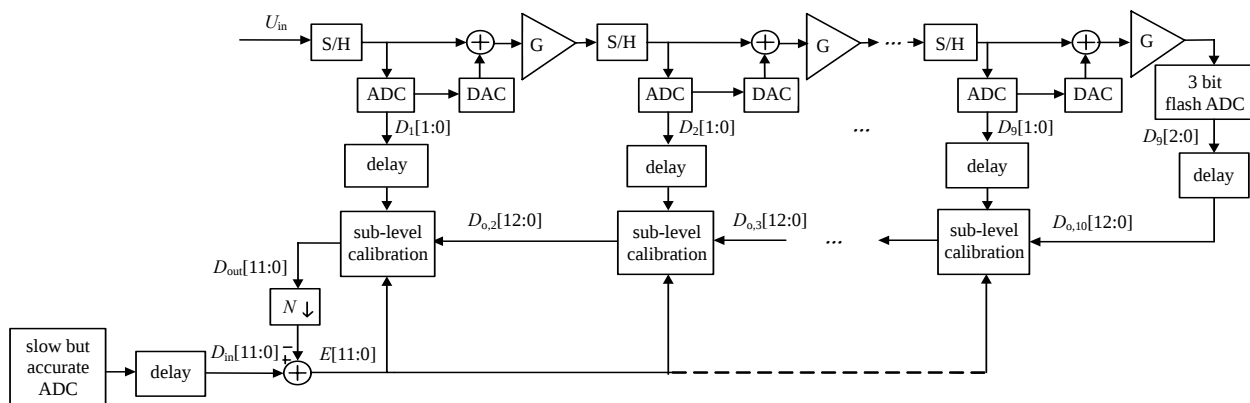


Fig.4 Diagram of digital backstage calibration module
图 4 后台数字校准模块原理图

根据式(3)设计的子级校准模块如图 5 所示, 子级校准模块是由 D 触发器、减法和乘法器组成。它实际是 3 个独立的一阶 LMS 自适应滤波器。 uE 为步长因子与误差信号的乘积, 输入信号为 $2 \cdot 048(d-1)$, 下一级子级校准模块的输出 $D_{o,n}$ 和常量 U_{os} 。 $(d-1)$ 的取值为 $-1, 0, 1$, 所有输入信号设置为 13 bit 有符号数字量, 最高位为符号位, LMS 自适应滤波器的抽头权系数也设置为 13 bit 有符号数字量。乘法器每运算一次都需要进行相应的截位, 保证运算结果的正确。

如图 5 所示, 模块通过 2 个 D 触发器来实现式(7), 每一个输入信号都分为 2 路, 一路经过 D 触发器, D 触发器

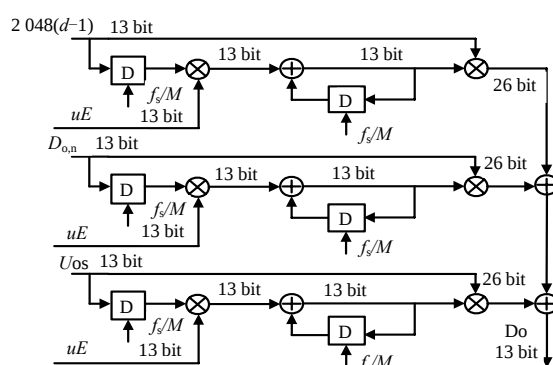


Fig.5 Sub-level calibration structure
图 5 子级校准结构

的时钟为 f_s/M , 这样式(7)中输入信号 $X(n)$ 与 $ue(n)$ 的频率保持与参考 ADC 一致, 抽头权系数 W 的更新频率也与参考 ADC 的时钟一致, 在实现更新功能同时减轻了相应的加法器和乘法器的时序压力。另一路没有经过 D 触发器的输入信号直接输入至乘法器, 与抽头权系数 W 相乘, 3 个输入信号与相应的抽头权系数的乘积之和就是子级校准模块的输出。根据式(7)~式(9), 步长因子的更新模块与抽头权系数更新模块类似, 不再赘述。

3 仿真与结果分析

为验证数字后台校准的 RTL 电路, 使用 Simulink 模型搭建一个 160 MHz 采样频率、1.5 bit/级的 12 bit 流水线 ADC 模型, 设置运放增益为 60 dB, 将所有子级的电容失配率设定为 10%, 同时引入一些其他噪声。采用理想的 ADC 量化器搭建一个采样率为 10 MHz 的 12 bit 低速高精度参考 ADC。在仿真时, 给 ADC 一个满量程 58.613 3 MHz 频率的正弦波作为输入信号, 运行 Simulink 采集流水线 ADC 和参考 ADC 的输出数据, 并将数据写入 hex 文件, 作为 Modelsim 中 Testbench 的测试向量。

仿真完成后, 将 Modelsim 输出的数据写入 Matlab 中分析。图 6 为固定步长校准算法的误差迭代曲线, 图 7 为变步长校准算法的误差迭代曲线。根据图 6 和图 7, 与固定步长的校准算法相比, 变步长的校准算法拥有更快的收敛速度和收敛精确度。图 8 为步长因子的迭代曲线。校准开始时, 误差比较大, 步长因子变大以增快收敛速度, 当误差减小到一定范围时, 步长因子变小以提高收敛精确度。

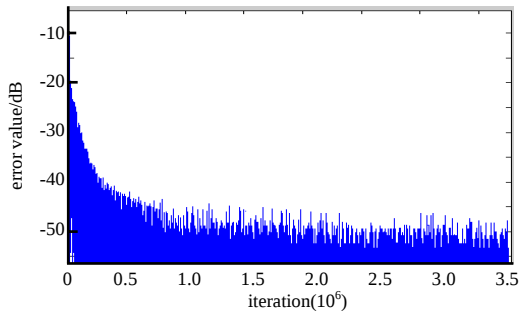


Fig.6 Error curve of fixed step-size
图 6 固定步长算法的误差曲线

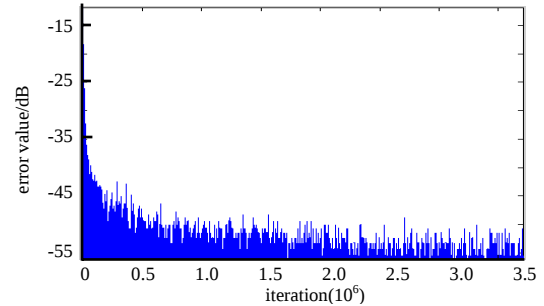


Fig.7 Error curve of variable step-size
图 7 变步长算法误差曲线

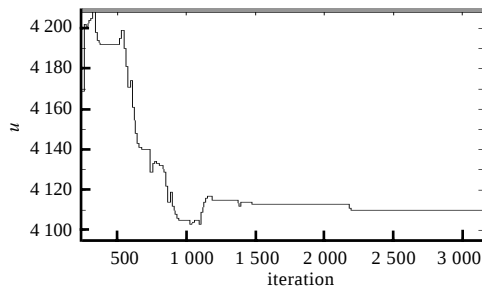


Fig.8 Step-size coefficient
图 8 步长因子变化曲线

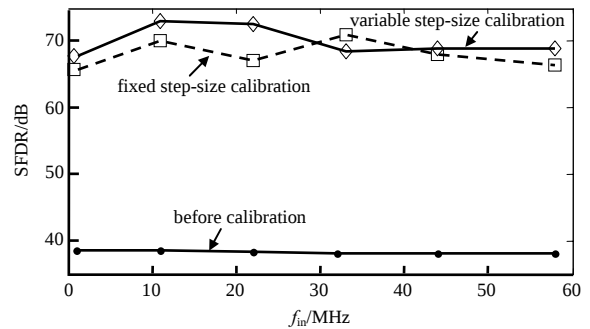


Fig.9 Simulation results of SFDR
图 9 SFDR 的仿真结果

给予流水线 ADC 不同频率的输入信号, 图 9 与图 10 显示固定步长算法与变步长算法的无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 以及信号与噪声失真比 (Signal to Noise Distortion Ratio, SNDR) 仿真结果。从图中可以看出, 与固定步长的校准算法相比, 变步长的校准算法拥有更好的动态性能。

4 结论

本文使用 Verilog HDL 语言设计了一种改进的流

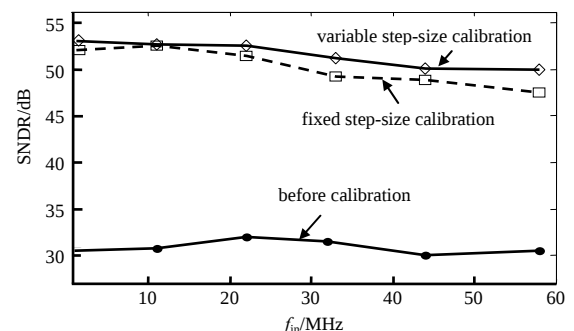


Fig.10 Simulation results of SNDR
图 10 SNDR 的仿真结果

流水线 ADC 后台数字校准 RTL 级电路, 该算法结合了参考 ADC 与变步长的 LMS 算法, 能在流水线 ADC 工作时有效地校准多种误差。采取了 Simulink 与 Modelsim 联合仿真的策略进行验证, 为接下来的数字校准模块专用 ASIC 设计打下基础。验证结果表明, 改进的校准算法提高了 LMS 算法的收敛速度和收敛精确度。

参考文献:

- [1] LIU H C, LEE Z M, WU J T. A 15 b 40 MS/s CMOS pipelined analog-to-digital converter with digital background calibration[J]. IEEE Journal of Solid-State Circuits, 2005, 40(5): 1047–1056.
- [2] 梁上泉. 流水线数模转换器伪随机序列注入后台快速数字校准技术研究[D]. 合肥: 合肥工业大学, 2011. (LIANG Shangquan. A research on fast correlation-based background digital calibration techniques for the pipeline ADCs[D]. Hefei, Anhui, China: Hefei University of Technology, 2011.
- [3] TSENG C J, CHEN H W, SHEN W T, et al. A 10 b 320 MS/s stage-gain-error self-calibration pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2012, 47(6): 1334–1343.
- [4] KARANICOLAS A N, LEE H S, BARCRANIA K L. A 15 b 1 Msample/s digitally self-calibrated pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 1993, 28(12): 1207–1215.
- [5] LI Jipeng, AHN G C, CHANG D Y, et al. A 0.9 V 12 mW 5 MSPS algorithmic ADC with 77 dB SFDR[J]. IEEE Journal of Solid-State Circuits, 2005, 40(4): 960–969.
- [6] WANG X, HURST P J, LEWIS S H. A 12 bit 20 Msample/s pipelined analog-to-digital converter with nested digital background calibration[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 1799–1808.
- [7] FANG B N, WU J T. A 10 bit 300 MS/s pipelined ADC with digital calibration and digital bias generation[J]. IEEE Journal of Solid-State Circuits, 2013, 48(3): 670–683.
- [8] HAYKIN S S. Adaptive Filter Theory[M]. 3rd ed. Upper Saddle River, NJ: Prentice-Hall, 1996.

作者简介:



张文杰(1990–), 男, 湖南省湘潭市人, 在读硕士研究生, 研究方向为数字集成电路设计。
email: 604807149@qq.com.

邓 准(1990–), 男, 湖南省汨罗市人, 在读硕士研究生, 研究方向为模拟集成电路设计。

谢 亮(1983–), 男, 湖南省郴州市人, 博士, 研究方向为 ASIC 设计、ADC、红外传感方向。
email: xieliang@xtu.edu.cn.

金湘亮(1974–), 男, 湖南省邵阳市人, 博士, 教授, 研究方向为 SOC 设计、系统设计。