

文章编号: 2095-4980(2017)02-0302-05

基于 TSV 工艺的三维 FPGA 热分析

黄俊英^{1,2}, 张超¹, 林郁¹, 孙嘉斌¹, 杨海钢¹

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100190)

摘要: 为探索三维现场可编程门阵列(FPGA)芯片温度的影响因素, 提出一种三维FPGA有限元仿真模型。首先, 利用商业有限元软件构建基于硅通孔(TSV)、微凸块、倒装焊共晶焊球、无源硅中介层、焊球阵列(BGA)焊球和印制电路板(PCB)的模型。然后, 利用该模型从定性和定量的角度对不同TSV数目及堆叠层数的三维FPGA芯片进行温度分析。实验发现, 底层芯片到顶层芯片的平均温度呈递增趋势, 且各层芯片的平均温度随TSV数目的减少和堆叠层数的增加而升高。实验结果与已发表文献中的结果一致, 表明提出的仿真模型在分析芯片温度的影响参数方面的可行性。

关键词: 三维现场可编程门阵列; 有限元模型; 硅通孔; 堆叠层数

中图分类号: TN911.23

文献标志码: A

doi: 10.11805/TKYDA201702.0302

Thermal analysis for 3-D FPGA with TSV technology

HUANG Junying^{1,2}, ZHANG Chao¹, LIN Yu¹, SUN Jiabin¹, YANG Haigang¹

(1.System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2.University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: To explore the factors affecting the temperature of the three dimensional Field Programmable Gate Array(FPGA) chip, a finite element simulation model targeted three dimensional FPGA is proposed. First, the model is constructed using commercial software Flotherm based on Through Silicon Via(TSV), micro bump, flip chip eutectic bump, interposer, Ball Grid Array(BGA) solder ball and PCB. Then, the model is adopted to analyze the temperature of the three dimensional FPGA chip with different numbers of TSVs and stacking layers from qualitative and quantitative point of view. It is found that the average temperature increases from the bottom chip to the top chip, and the average temperature of each layer increases with the decrease of the number of TSVs and the increase of the number of stacking layers. The experimental results are consistent with the results published in the literature, indicating the feasibility of the proposed simulation model in the analysis of the parameters influencing the temperature of the chip.

Keywords: 3-D Field Programmable Gate Array; finite element model; Through Silicon Via; stacking layers

随着CMOS工艺的不断发展和可编程逻辑器件FPGA得到广泛的应用^[1], 其集成规模亦同步增长。三维集成技术以现有CMOS工艺为基础, 采用硅通孔(TSV)工艺^[2], 将多层平面器件垂直堆叠起来, 能够超越摩尔定律, 成为一种最有潜力且现实可行的下一代大规模FPGA的解决方案。TSV工艺的引入, 使得信号可以在垂直方向上进行布线, 有效地减少了电路的关键路径延时、互连线长度和功耗^[3-4]。尽管拥有以上种种优势, 但是随着集成度的不断提高, 三维集成的热效应问题日益突出, 导致芯片温度升高更多, 特别是最顶层的芯片。片上温度的不断升高会严重影响芯片的功能和性能, 甚至会导致芯片的可靠性问题^[5-6], 因此热分析成为堆叠式三维集成设计中的研究热点。

为解决上述问题, 近年来, 国内外学者从有限元建模方面提出许多解决方法。John^[7]等提出了一种三维集成电路的热分析方法, 通过使用有限元软件提取出含TSV的芯片的等效热导率经验公式, 简化了三维集成电路的建模过程。Sahana^[8]等研究了TSV的特性对三维集成芯片温度的影响, 表明了相邻层芯片之间存在很大的温度差, 而且3层堆叠的芯片比2层堆叠的温度差大很多。Cristiano Santos^[9]等提出了三维集成电路的系统级热建模方法,

收稿日期: 2015-11-13; 修回日期: 2015-12-08

可以在较短的时间内准确识别芯片过热区域的特性,解决了基于TSV的三维集成电路的精确热分析问题。国内在这方面的报导较少。复旦大学的余慧等^[10]采用最小边界法提出了一种堆叠式三维FPGA的稳态热分析方法,可以快速应用于现在的设计流程。以上文献在建模时,或对封装模块的建模过于简化,或只研究了2层及3层堆叠芯片的特殊结构,或缺少TSV对芯片温度的影响,缺乏更一般性的研究。针对以上问题,在前人的基础上,提出综合TSV、微凸块、倒装焊共晶焊球、无源硅中介层、BGA焊球和PCB的三维FPGA有限元仿真模型。从TSV数目和堆叠层数方面对芯片温度进行了分析,阐明了以上参数对芯片温度的影响情况。

1 三维 FPGA 有限元仿真模型

目前设计人员在产品设计阶段就普遍应用计算流体力学(Computational Fluid Dynamics, CFD)软件对产品的热性能进行预估,以规避可能存在的器件散热问题,其中Flotherm、Icepack等在电子设备的热分析中应用较广。所以,基于Flotherm软件构建三维FPGA有限元仿真模型。采用气密型塑料封装,因此芯片上部没有热沉,热量主要通过BGA焊球传导到PCB板上。该模型主要包括以下组件:TSV、含TSV的各层芯片、微凸块(micro bump)、无源硅中介层(interposer)、倒装焊共晶焊球(flip chip eutectic bump)、BGA焊球和PCB版。TSV一般为圆柱体,但由于有限元软件无法对圆柱体进行建模,所以采用具有等效散热能力的长方体对TSV建模。图1给出了简化前后的TSV结构示意图。其中,TSV的高度为50 μm,简化前后的边长分别为20 μm和17.7 μm。TSV均匀分布在每层芯片中,且在每层芯片的垂直方向上是对齐的。每层芯片的尺寸相同,均为8 mm×6 mm×50 μm,功耗为2 W。各层芯片之间通过TSV互连,TSV的填充材料为铜。

采用倒扣焊封装互连工艺,即用硅片或衬底表面的面阵列互连工艺取代传统引线键合互连工艺,以封装出更多的引脚和IO。实验分析中的详细封装说明如表1所示。图2给出了1个4层堆叠的三维FPGA有限元仿真模型示意图。

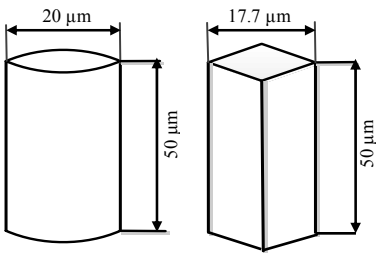


Fig.1 TSV structure diagram before and after simplification
图 1 简化前后的 TSV 结构示意图

表 1 封装说明
Table1 Specification of package

module component	material	size
chip	Si	8 mm×6 mm×50 μm
TSV	Cu	diameter:20 μm height:50 μm
micro bump	Cu	diameter:20 μm height:50 μm
interposer	Si	10 mm×10 mm
flip chip eutectic bump	Sn63/Pb37	diameter:100 μm pitch:340 μm
BGA ball	Sn63/Pb37	diameter:0.6 mm pitch:1 mm
PCB	FR4	30 mm×30 mm

2 实验结果与分析

2.1 芯片温度的影响参数

在讨论芯片参数对芯片温度的影响之前,先从理论上推导出一个定性的结论,即TSV数目和堆叠芯片等效厚度是影响芯片温度的2个重要参数。下面给出相关的公式推导。

傅里叶定律(如式(1)所示)对于理解材料的热传导率至关重要。

$$\nabla(\lambda T)+\dot{q}=\rho c \frac{dT}{dt}$$

(1)

式中:λ表示材料的热传导率;q表示热流密度;ρ表示材料密度;c表示材料比热;T表示芯片的温度。在稳态热传导条件下,

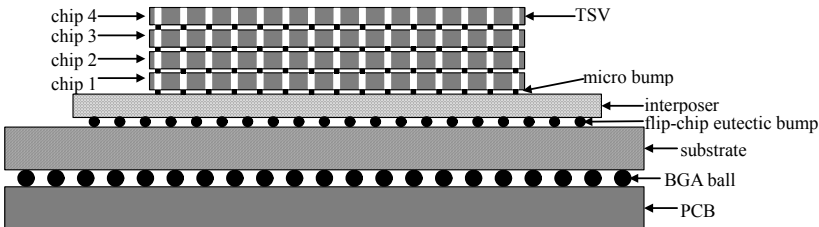


Fig.2 Finite element simulation model of a 3D FPGA with four layers of chips
图 2 一个 4 层芯片堆叠的三维 FPGA 的有限元仿真模型示意图

$$q = -\lambda T_{\text{grad}} \quad (2)$$

式中 T_{grad} 表示温度梯度。因此, 对堆叠的芯片(含硅通孔的芯片热传导示意图见图3), 有:

$$q = \frac{\Phi}{S} = -\frac{T_2 - T_1}{h} \lambda = \frac{T_1 - T_2}{h/\lambda} \quad (3)$$

式中: Φ 表示热流量; S 表示有效的热传导截面积; T_1 为芯片上表面的温度; T_2 为芯片下表面的温度; h 为堆叠芯片等效厚度。变换后, 为:

$$T_1 - T_2 = \frac{\Phi h}{S \lambda} \quad (4)$$

由式(4)可以看出, 有效的热传导截面积(S)和堆叠芯片等效厚度(h)是影响芯片温度的2个主要参数。有效的热传导截面积越大, 即TSV的数目越多, 芯片的平均温度越低; 堆叠芯片等效厚度越大, 即堆叠层数越多, 芯片的平均温度越低。下面2节将分别讨论TSV数目和堆叠层数对芯片温度的影响。

2.2 TSV 数目对芯片温度的影响

本节将研究当堆叠芯片的等效厚度固定(即固定堆叠层数)时, TSV对芯片温度的影响。参考Xilinx公司商业芯片中TSV数目的经验值^[11], 以4层堆叠的三维FPGA为研究对象, 将TSV数目分别设置成900, 1 800, 2 700和3 600, 对这4种情况进行分析。

采用前文介绍的有限元仿真模型进行仿真。表2给出了TSV数目对芯片温度的影响结果。从表中可以看出, 随着TSV数目的增加, 三维集成的最低温度、最高温度和平均温度逐渐降低。如将堆叠芯片的等效厚度等价于各层芯片的厚度之和, 可以研究TSV数目对各层芯片温度的影响情况。图4以定量的形式给出表2的平均温度转化后的柱状图。其中, 横轴代表TSV数目, 纵轴代表芯片的平均温度。由图易见, TSV数目越多, 堆叠芯片的各层间的平均温度差越小。所以, TSV数目的增加更有利于芯片的散热并能降低温度对各层芯片的影响。

表2 TSV数目为900, 1 800, 2 700, 3 600时各层芯片的温度值
Table2 Temperature value of the chip on each layer when the number of TSVs is 900, 1 800, 2 700 and 3 600

number of TSVs	Chip	minimum temperature/°C	maximum temperature/°C	average temperature/°C
900	Chip 1	49.43	52.48	51.12
	Chip 2	53.73	55.50	54.73
	Chip 3	56.49	57.97	57.11
	Chip 4	57.74	59.23	58.29
1 800	Chip 1	45.74	49.29	47.73
	Chip 2	48.55	50.92	49.77
	Chip 3	50.27	52.02	51.12
	Chip 4	51.08	52.57	51.79
2 700	Chip 1	44.11	48.27	46.56
	Chip 2	46.14	49.29	47.87
	Chip 3	47.34	49.98	48.73
	Chip 4	47.92	50.32	49.17
3 600	Chip 1	41.68	45.61	44.00
	Chip 2	43.60	46.58	45.24
	Chip 3	44.73	47.23	46.05
	Chip 4	45.28	47.55	46.46

2.3 堆叠层数对芯片温度的影响

三维FPGA的另外一个重要结构参数是堆叠层数。为研究芯片堆叠层数对每层芯片温度分布的影响, 使用前文阐述的三维FPGA有限元仿真模型, 对堆叠层数为3, 4, 5, 6层时的芯片温度进行分布。表3给出了当TSV数目为2 700, 不同堆叠层数时各层芯片的最低温度、最高温度及平均温度的具体值。图5给出了相应堆叠层数的各层芯片平均温度的统计对比状况。其中, 横轴代表芯片堆叠层数, 纵轴代表各层芯片的平均温度, Chip 1为最底层芯

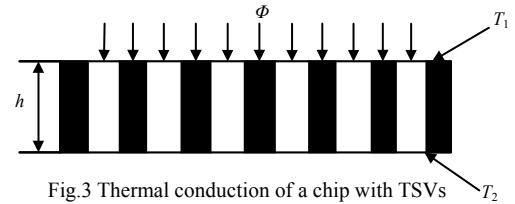


Fig.3 Thermal conduction of a chip with TSVs
图3 含硅通孔的芯片热传导示意图

片, Chip 6为最顶层芯片。对比可见,在同一堆叠层数芯片内,底层芯片到顶层芯片的平均温度逐渐升高;对于不同堆叠层数的芯片,对应同一层芯片的平均温度随堆叠层数的增加而升高。比如,3层堆叠芯片的Chip 3的平均温度为42.46℃,而6层堆叠的Chip 3的平均温度为61.35℃,相比3层堆叠升高44.49%。如果考虑不同堆叠层数的最顶层芯片的平均温度,则6层堆叠相比于3层堆叠升高了50.61% $((63.95-42.46)/42.46=50.61\%)$ 。实验结果与文献[7]中的结果一致。

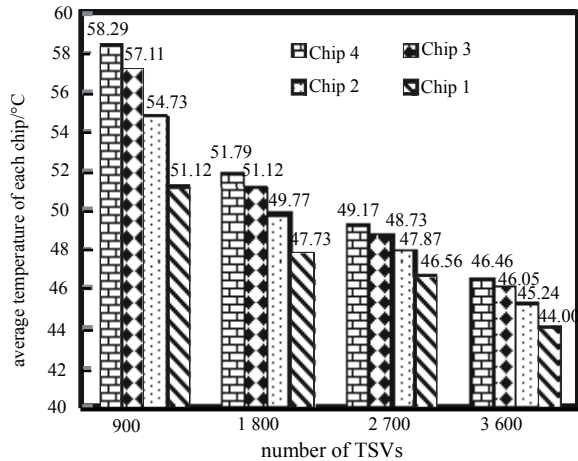


Fig.4 Effect of the number of TSVs on the average temperature of the chip on each layer

图 4 TSV 数目对每层芯片平均温度的影响

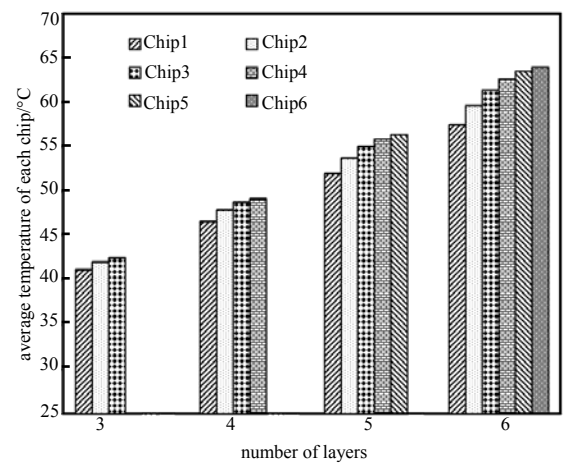


Fig.5 Effect of the number of stacked layers on the average temperature of the chip on each layer

图 5 堆叠层数对每层芯片平均温度的影响

表 3 堆叠层数为 3,4,5,6 时各层芯片的温度值

Table3 Temperature value of the chip on each layer when the number of layers is 3,4,5 and 6

number of layers	Chip	minimum temperature/℃	maximum temperature/℃	average temperature/℃
3	Chip 1	39.27	42.25	41.15
	Chip 2	40.60	43.21	42.02
	Chip 3	41.20	43.56	42.46
	interposer	31.56	41.33	36.66
4	Chip 1	44.11	48.27	46.56
	Chip 2	46.14	49.29	47.87
	Chip 3	47.34	49.98	48.73
	Chip 4	47.92	50.32	49.17
5	interposer	33.74	46.74	40.56
	Chip 1	48.95	54.06	51.98
	Chip 2	51.67	55.40	53.73
	Chip 3	53.46	56.42	55.03
6	Chip 4	54.60	57.11	55.89
	Chip 5	55.15	57.46	56.33
	interposer	35.89	52.16	44.45
	Chip 1	53.78	59.91	57.44
6	Chip 2	57.18	61.57	59.62
	Chip 3	59.56	62.92	61.35
	Chip 4	61.26	63.96	62.65
	Chip 5	62.35	64.65	63.52
6	Chip 6	62.89	65.00	63.95
	interposer	38.03	57.64	48.35

为定性地展示堆叠芯片中各层芯片的稳态温度分布状况,图6给出了4层堆叠时芯片的温度分布图。从图中容易看出,最底层芯片Chip 1的平均温度最低,最顶层芯片Chip 4的平均温度最高。

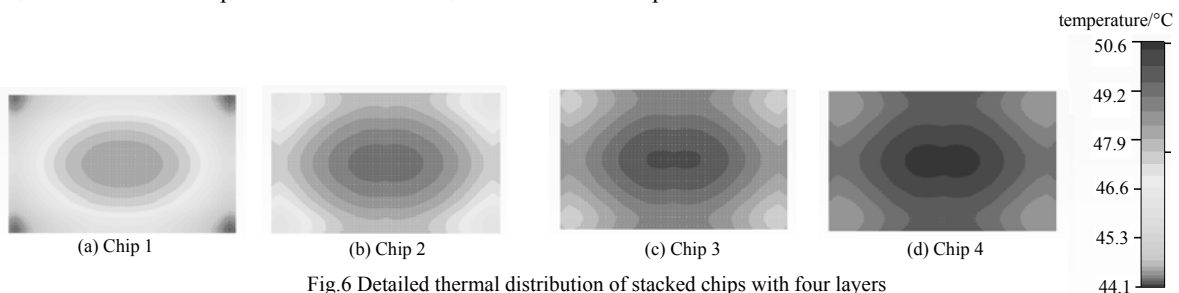


Fig.6 Detailed thermal distribution of stacked chips with four layers

图 6 堆叠的 4 层芯片的详细温度分布

3 结论

以影响三维 FPGA 芯片温度的参数设计为出发点,结合详细的三维 FPGA 有限元仿真模型构建及仿真分析过程,考虑了多方面设计影响因素,其中包括 TSV 数目和堆叠层数对三维 FPGA 芯片温度的影响,能够为三维 FPGA 芯片设计及考虑温度效应的物理综合、布局、布线算法提供有效参考。

参考文献:

- [1] 张伟,顾强,田相林,等. 基于 FPGA 的煤粉浓度测量系统设计[J]. 太赫兹科学与电子信息学报, 2014,12(1):119-122. (ZHANG Wei, GU Qiang, TIAN Xianglin, et al. Design of pulverized coal concentration measurement system based on FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2014,12(1):119-122.)
- [2] YANG Haigang. Overview:emerging technologies for giga-scale FPGA applications[C]// IEEE International Symposium on Circuits & Systems. Paris, France:[s.n.], 2010.
- [3] JOYNER J W, MEINDL J D. Opportunities for reduced power dissipation using three-dimensional integration[C]// Proceedings of the International Interconnect Technology Conference. Burlingame, USA:[s.n.]. 2012:148-150.
- [4] BANIJAMALI B, RAMALINGAM S, NAGARAJAN K, et al. Advanced reliability study of TSV interposers and interconnects for the 28 nm technology FPGA[C]// Proceedings of the Electronic Components and Technology Conference(ECTC). Lake Buena Vista, Florida, USA:[s.n.]. 2011:285-290.
- [5] KNICKERBOCKER J U, ANDRY P S, Colgan, et al. 2.5 D and 3D technology challenges and test vehicle demonstrations[C]// Proceedings of the Electronic Components and Technology Conference(ECTC). San Diego, California, USA:[s.n.]. 2012:1068-1076.
- [6] CHAWARE, RAGHUNANDAN, NAGARAJAN, et al. Assembly and reliability challenges in 3 D integration of 28 nm FPGA die on a large high density 65 nm passive interposer[C]// Proceedings of the Electronic Components and Technology Conference(ECTC). San Diego, California, USA:[s.n.]. 2012:279-283.
- [7] LAU John H, YUE Tang Gong. Thermal management of 3D IC integration with TSV (through silicon via)[C]// Proceedings of the Electronic Components and Technology Conference(ECTC). San Diego, California, USA:[s.n.]. 2009:635-640.
- [8] SWARUP Sahana, TAN Dragon, LIU Zao. Thermal characterization of TSV based 3D stacked ICs[C]// Proceedings of the Electrical Performance of Electronic Packaging and Systems(EPEPS). Tempe Arizona, USA:[s.n.]. 2012:335-338.
- [9] SANDOS Cristina, VIVET Pascal, DUTOIT Denis, et al. System-level thermal modeling for 3D circuits:characterization with a 65 nm memory-on-logic circuit[C]// Proceedings of the 3D Systems Integration Conference(3DIC). San Francisco, California, USA:[s.n.]. 2013:1-6.
- [10] 余慧, 吴昊, 陈更生, 等. 一种堆叠式三维 FPGA 芯片的稳态热分析方法[P]. CN101976281A, 2011. (YU Hui, WU Hao, CHEN Gengsheng, et al. A minimal boundary thermal analysis method for stacked 3D FPGA[P]. CN101976281A, 2011.)
- [11] DORSEY, PATRICK. Xilinx stacked silicon interconnect technology delivers breakthrough FPGA capacity, bandwidth, and power efficiency[R]. Xilinx White Paper:Virtex-7 FPGAs, 2010.

作者简介:



黄俊英(1986-), 女, 安徽省淮北市人, 在读博士研究生, 主要研究方向为 FPGA 布局算法及配置软件平台开发. email:hug.cn.k@163.com.

张超(1987-), 男, 河北省衡水市人, 助理研究员, 主要研究方向为芯片封装设计、产品质量保证及可靠性仿真分析。

林郁(1982-), 男, 广东省珠海市人, 助理研究员, 主要研究方向为 FPGA 的 CAD 辅助设计、FPGA 高层综合。

孙嘉斌(1982-), 男, 山东省青岛市人, 副研究员, 主要研究方向为 FPGA 架构设计及高速数字电路设计。

杨海钢(1960-), 男, 上海市人, 教授, 博士生导师, 主要研究方向为数模混合信号集成电路设计、超大规模集成电路设计等。