

文章编号: 2095-4980(2017)02-0307-06

拆分粒度对 FPGA 可拆分逻辑结构性能的影响

徐 宇^{1,2}, 林 郁¹, 江政泓¹, 杨立群¹, 黄志洪¹, 黄 娟¹, 杨海钢¹

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100049)

摘 要: 可编程逻辑块是现场可编程门阵列(FPGA)的核心组成部分(主要由查找表(LUT)和寄存器构成), 它的内部结构设计一直是研究的重要方向。可拆分逻辑结构给电路实现带来了灵活性。本文以 6-LUT 作为研究对象, 从拆分粒度的角度出发, 研究不同的可拆分因子($N=1,2,3,4$)对电路性能带来的影响。仿真实验基于开源的 FPGA CAD 工具(ABC 和 VPR)和 VPR 测试电路集, 实验结果表明: a) 不同可拆分因子对电路关键路径延时影响不大; b) 可拆分因子为 2 时, 电路使用资源的面积和面积-延时积均最小, 呈现更好的性能。

关键词: 现场可编程门阵列; 可拆分逻辑; 查找表(LUT); 可拆分因子

中图分类号: TN47

文献标志码: A

doi: 10.11805/TKYDA201702.0307

Influences of fracturable factor on FPGA performance

XU Yu^{1,2}, LIN Yu¹, JIANG Zhenghong¹, YANG Liqun¹, HUANG Zhihong¹, HUANG Juan¹, YANG Haigang¹

(1.Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2.University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Programmable logic, which mainly consists of LUTs and registers, is a central part of Field Programmable Gate Array(FPGA) architecture. Exploring the structure of the programmable logic is important in FPGA's research. Fracturable logic can bring flexibility during circuit implementation. In this paper, the influences of fracturable factor on the performance of circuit are studied from the point of view of fracturable logic based on 6-LUT. Simulation experiment is based on open-source FPGA CAD tools — ABC and VPR, and the circuits are from VPR benchmarks. The performance is evaluated from three aspects: area, delay and area-delay product. The experiment results show that: a) the fracturable factor does not make much influence on critical path delay; b) discussing from the aspects of area and area-delay product, the circuit will perform better when assigning the value of fracturable factor to 2.

Keywords: Field Programmable Gate Array; fracturable logic; Look-Up Table; fracturable factor

现场可编程门阵列(FPGA)自从 1984 年问世以来, 经过 30 多年的发展, 已经在通信、汽车电子、工业控制、互联网等方面得到了广泛的应用。在集成电路领域, FPGA 的市场占有份额不断提高, 正在扮演越来越重要的角色^[1]。传统的可编程逻辑器件(Programmable Logic Device, PLD), 灵活性高, 设计开发周期短, 但无法实现较大的、较复杂的电路功能。专用集成电路(Application Specific Integrated Circuit, ASIC)虽然可以实现非常复杂的电路功能, 但设计成本高, 开发周期长, 灵活性差。FPGA 不仅灵活性高, 开发周期较短, 同时又可以实现较复杂的电路, 兼具二者的优点。FPGA 之所以能够有这样的表现, 与它特殊的结构密不可分。FPGA 内部包含着大量的可编程逻辑块和可编程布线资源。可编程逻辑块是 FPGA 的核心部分, 经过配置可以实现特定的小型数字逻辑。可编程布线资源可以建立起逻辑块之间的关系, 将这些小型数字逻辑连接起来, 从而形成更大的数字电路^[1]。随着 FPGA 芯片的不断发展, 很多异质结构也被逐渐嵌入其中, 例如数字信号处理器(DSP)、数字锁相环(PLL)、嵌入式存储器(BRAM)等。可编程逻辑块通常由多个可编程逻辑单元构成, 每个可编程逻辑单元主要由查找表(Look-Up Table, LUT)和寄存器(Register)等部分构成。如图 1 所示, 传统 4-LUT 结构, 通过对该结构中的各 SRAM 位进行配置, 可以实现不同的逻辑功能。对于一个 K -LUT 来说, 有 K 个输入, 一共有 2^K 个 SRAM 配置位, 故存在 2^{2^K} 种配置方案, 亦即可以实现 2^{2^K} 种逻辑功能。

不同于传统的 LUT 结构, 可以通过增加一些额外的电路, 对一个 K -LUT($K=3,4,5,\dots$)进行分解, 由 2 个($K-1$)-LUT 来实现功能, 从而在配置上变得更加灵活。图 2 是 1 个 6-LUT 拆分为 2 个 5-LUT 的实现。

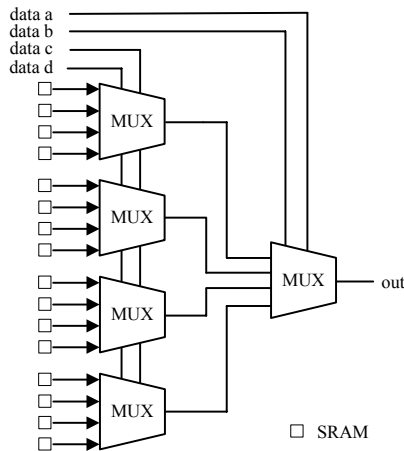


Fig.1 Traditional 4-LUT structure
图 1 传统 4-LUT 结构

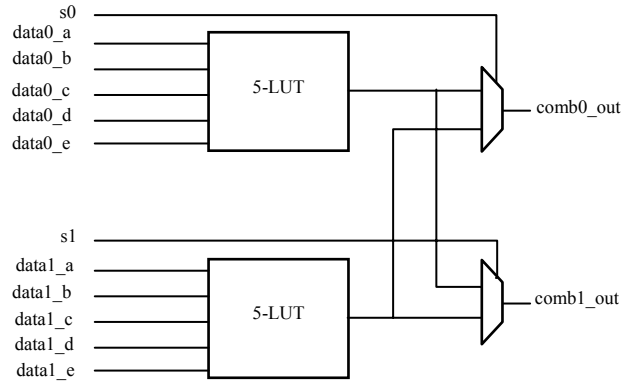


Fig.2 Fracturable logic structure of 6-LUT
图 2 6-LUT 的拆分结构

可以看到, 6-LUT 的拆分结构既能实现 1 个 6-LUT 的全部功能, 又可以实现 2 个无关的 5-LUT 的全部功能, 增加了可配置逻辑的灵活性。类似地, 对这 2 个 5-LUT 继续拆分下去, 还可以形成更复杂、更灵活的结构。与此同时, 也注意到, 伴随着拆分, 端口数目有所增加, 这可能导致消耗布线资源的增加; 另外, 由于引入了若干多路选择器(Multiplexor, MUX), 会增加逻辑结构的面积。

既然逻辑结构的拆分使得灵活性提高了, 那么它是否也能提升芯片的性能? 这是值得深入研究的课题。伴随拆分粒度的变化, 会产生多种可拆分逻辑结构, 芯片的性能也会呈现一定的差异。如何挑选合适的逻辑结构拆分方案, 也是本文研究的主要内容之一。可编程逻辑结构的设计是决定芯片性能优劣的重要一环。一个好的可拆分逻辑结构, 需要在面积、延时等评价电路性能的关键指标上均有不错的表现。本文将围绕探索最佳的可拆分逻辑结构方案展开讨论。

1 可拆分逻辑结构

文献[2]和[3]中的研究表明, 4 输入的 LUT 具有最大的面积利用率, 6 输入的 LUT 能带来最优的性能。早期, 绝大部分的商用 FPGA 的逻辑单元结构是基于 4 输入 LUT^[1]。目前, FPGA 的两大生产厂商——Xilinx 和 Altera 公司, 它们芯片中的可编程逻辑单元结构采用的主要是 6 输入的 LUT 结构^[4-5]。因此, 本文选择了 6-LUT 作为研究对象, 并对 6-LUT 进行不同粒度的拆分, 得到了 5 种可拆分逻辑结构方案, 来探讨可拆分逻辑对 FPGA 芯片性能的影响。把由一个 LUT 拆分而来的子 LUT 的数目称为可拆分因子, 记为 N 。为了减少其他 FPGA 结构设计因素的影响, 本文对逻辑结构做了如下处理:

1) 实验中, 装箱过程在不同结构上的表现可能会有所差异, 对占用 CLB(Configurable Logic Block, 可配置逻辑块, 即前文所述的可编程逻辑块)的面积及延时的等电路性能优化程度不一, 进而可能干扰实验评估。因此, 约定每个可编程逻辑块仅包含 1 个可编程逻辑单元。这样, 电路使用的 CLB 的数目就等于使用的可编程逻辑单元数目, 消除了装箱阶段的优化可能带来的影响。

2) 每个可编程逻辑单元仅包含 1 个 6-LUT(或可拆分的 6-LUT)结构。

3) 可编程逻辑单元的所有输入、输出端口全部从可编程逻辑块中直接引出。

下面, 依次介绍实验中使用的 5 种可拆分逻辑结构(可拆分因子 N 逐渐增大)。

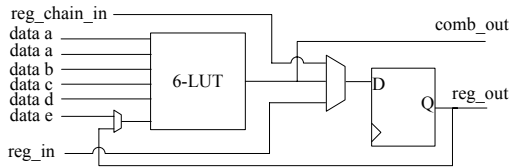
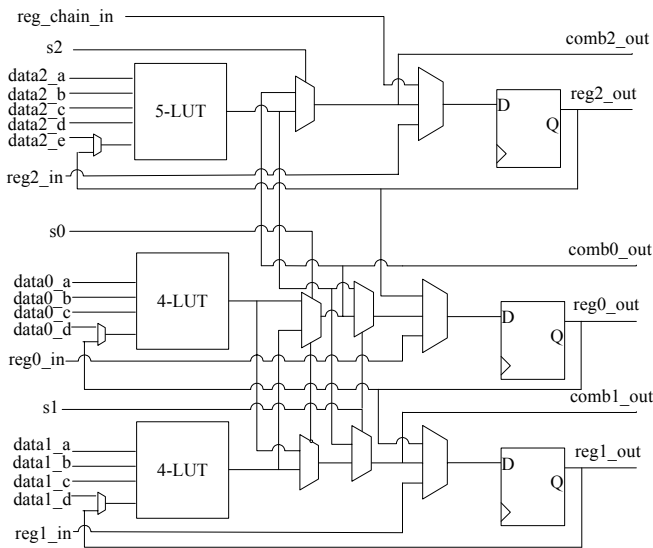
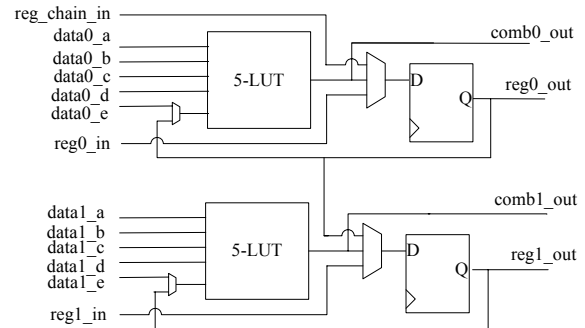
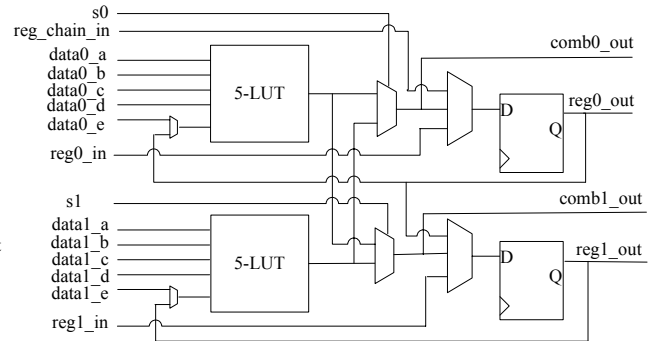
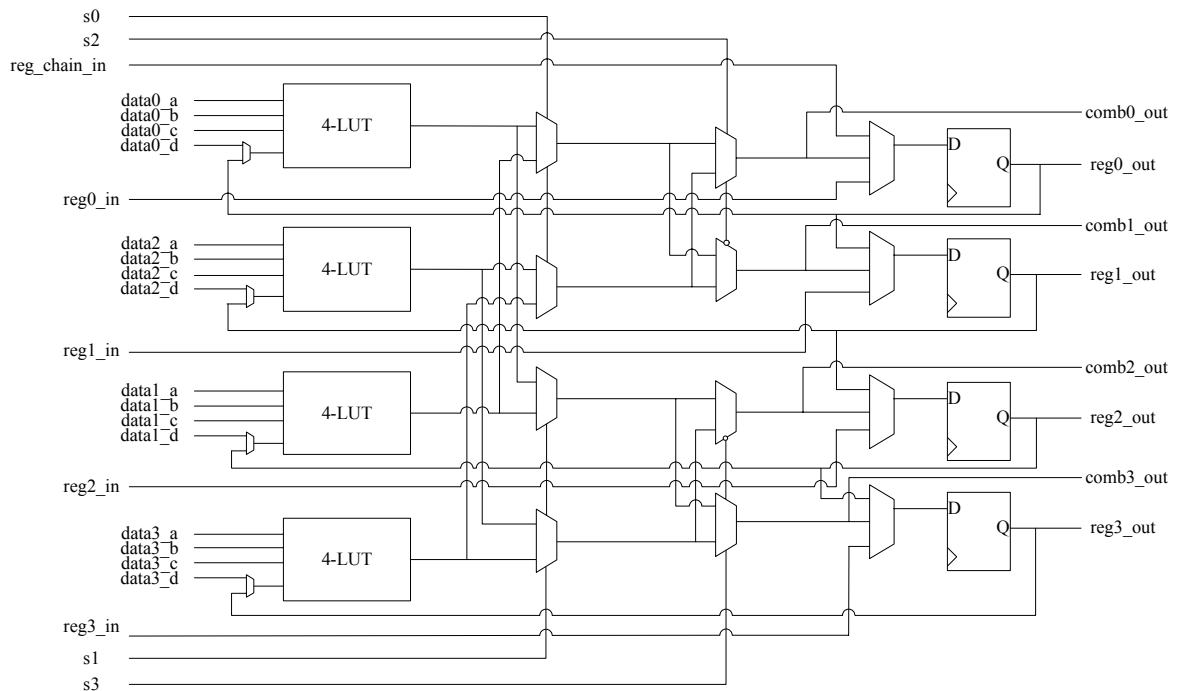
结构 1, 如图 3 所示, 该可编程逻辑单元结构包含 1 个不可拆分的 6-LUT, 可拆分因子 $N=1$ 。

结构 2, 如图 4 所示, 该可编程逻辑单元结构包含 2 个独立的 5-LUT, 可拆分因子 $N=2$ 。

结构 3, 如图 5 所示, 该可编程逻辑单元结构包含 1 个可拆分的 6-LUT, 可拆分为 2 个 5-LUT, 可拆分因子 $N=2$ 。该结构类似于 Xilinx 公司 FPGA 芯片的 Slice 中的可拆分逻辑结构^[4]。

结构 4, 如图 6 所示, 该可编程逻辑单元结构包含 1 个可拆分的 6-LUT, 可拆分为 1 个 5-LUT 和 2 个 4-LUT, 可拆分因子 $N=3$ 。该结构类似于 Altera 公司 FPGA 芯片的 ALM 中的可拆分逻辑结构^[5]。

结构 5, 如图 7 所示, 该可编程逻辑单元结构包含 1 个可拆分的 6-LUT, 可拆分为 4 个 4-LUT, 可拆分因子 $N=4$ 。上述 5 种结构均支持寄存器链, 同时支持组合逻辑直接输出和寄存后输出, 支持绕过组合逻辑直接寄存后输出, 组合逻辑支持来自寄存器的反馈输入。

Fig.3 Fracturable logic structure 1($N=1$)图 3 可拆分逻辑结构 1($N=1$)Fig.6 Fracturable logic structure 4($N=3$)图 6 可拆分逻辑结构 4($N=3$)Fig.4 Fracturable logic structure 2($N=2$)图 4 可拆分逻辑结构 2($N=2$)Fig.5 Fracturable logic structure 3($N=2$)图 5 可拆分逻辑结构 3($N=2$)Fig.7 Fracturable logic structure 5($N=4$)图 7 可拆分逻辑结构 5($N=4$)

2 仿真实验流程

本文的仿真实验是基于 FPGA CAD 工具 ABC^[6]和 VPR^[7]展开的。ABC 是一款逻辑综合工具,它可以对电路的门级网表(BLIF 文件格式描述)进行优化,并将其映射成以 LUT 为基本逻辑结构的电路网表形式。VPR 是一款物理综合工具,基于用户输入的 FPGA 结构文件(XML 格式),它可以对经 ABC 映射之后的基于 LUT 结构的电路网表进行物理综合(包括装箱、布局、布线),使得电路在对应结构的 FPGA 上得以实现。其中,装箱阶段,将电路网表的 LUT、寄存器等打包到可编程逻辑单元中,然后将这些可编程逻辑单元继续打包,装入 CLB 中;布局阶段,在指定结构的 FPGA 上给打包完毕的 CLB 分配位置;布线阶段,根据 CLB 在芯片上的位置分布状况,使用芯片中的布线资源,配置合适的可编程开关、逻辑块的引脚等,完成电路的物理实现。在整个过程中,VPR 还会对电路的性能进行分析,输出包含诸如 CLB 使用数目、关键路径延时等重要参数的分析报告。从 VPR 的电路分析报告中,提取并进一步整理获得需要的实验数据结果。仿真实验流程如图 8 所示。

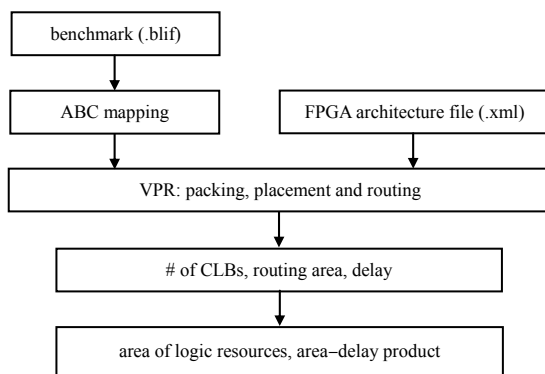


Fig.8 Experiment flow
图 8 仿真实验流程

表 1 测试电路集

Table1 Benchmark

no.	benchmark
1	bgm
2	blob_merge
3	boundtop
4	ch_intrinsics
5	diffeq1
6	diffeq2
7	mkDelayWorker32B
8	mkPktMerge
9	mkSMAAdapter4B
10	or1200
11	Raygentop
12	sha
13	stereovision0
14	stereovision1
15	stereovision3

仿真实验从学术界广泛使用的 VPR 测试集^[7]中挑选部分规模适中的电路作为实现测试电路集,选取的电路如表 1 所示。仿真实验数据结果主要包括:CLB 使用数目、最小通道宽度、逻辑资源面积、布线资源面积、占用资源总面积、逻辑延时、线网延时、关键路径延时、面积-延时积等。关于逻辑资源面积的估算,本文采用的是 CLB 的数目乘以单个 CLB 的估算面积计算得到。对单个 CLB 的面积估算结果如图 9 所示,其中横坐标 1~5 依次对应的是本文第 2 部分介绍的 5 种结构。

本文在 FPGA 结构文件中给出的描述逻辑延时的信息,以及估算单个 CLB 的面积所需的相关信息,参考文献[8]中采用的延时和面积模型。

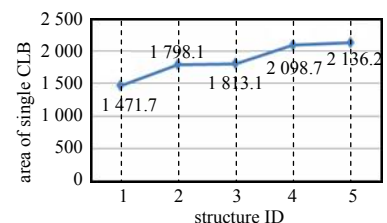


Fig.9 Area of single CLB

图 9 单个 CLB 的估算面积

3 仿真实验结果与分析

图 10~14 给出了 5 种可拆分逻辑结构在测试电路集上仿真实验得到的结果。其中,图 10 至图 14 的纵坐标分别表示 CLB 使用数目、最小通道宽度、占用资源面积、延时、面积-延时积等取几何平均值之后的数据结果;横坐标 1~5 均依次对应的是本文第 2 部分介绍的 5 种结构。本文将根据面积、延时、面积-延时积这 3 个主要电路性能评价指标,讨论 FPGA 可拆分逻辑结构对电路性能的影响。

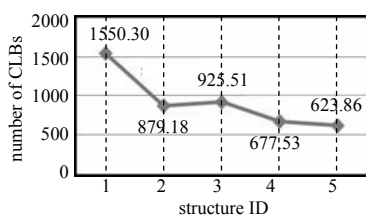


Fig.10 Number of CLBs

图 10 CLB 数目

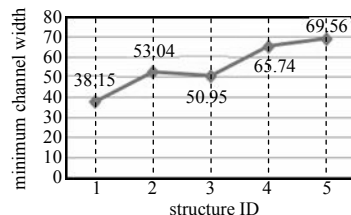


Fig.11 Minimum channel width

图 11 最小通道宽度

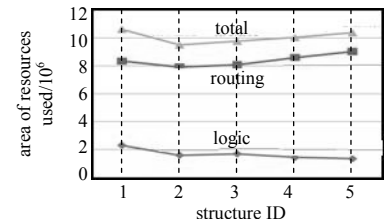


Fig.12 Area of resources used

图 12 占用资源面积

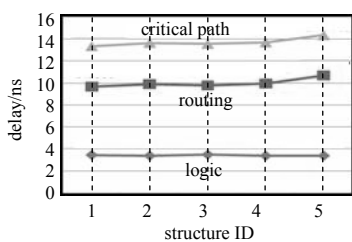


Fig.13 Delay(nanosecond)

图 13 延时(纳秒)

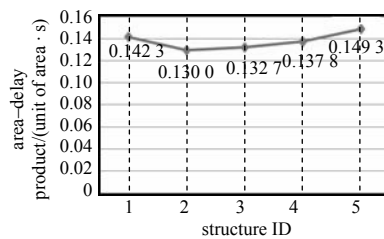


Fig.14 Area-delay product(unit of area · second)

图 14 面积-延时积(面积单位·秒)

3.1 面积

3.1.1 逻辑资源面积

从图 10 和图 12 可知, CLB 的数目随着可拆分因子 N 的增大总体呈减小的趋势。因为, 拆分后的逻辑块在映射时, 可供选择的逻辑功能实现方案多了, 自适应能力增强, 提高了逻辑资源的利用率。图 10~14 中还反映出, 逻辑资源面积的变化趋势与 CLB 数目的变化趋势基本一致。结合图 9 分析, $N=2$ 与 $N=1$ 时相比, 单个 CLB 面积多了约 23%; $N=3$ 与 $N=4$ 的单个 CLB 面积差不多, 比 $N=2$ 时多了约 17%。CLB 的使用数目方面: $N=2$ 时比 $N=1$ 时少了约 43%; $N=3$ 与 $N=4$ 时差不多, 比 $N=2$ 时少了近 22%。因此, 计算出的逻辑资源面积也随着可拆分因子 N 的增大总体呈减小的趋势。综上所述, 对逻辑结构的拆分有助于减小逻辑资源的面积。

3.1.2 布线资源面积

图 11 中的最小通道宽度随着可拆分因子 N 的增大呈现增大趋势。这是因为, 当可拆分因子 N 增加, CLB 的端口数目也在增加, 于是需要更大的布线通道宽度来保证 CLB 端口之间实现顺利互连。

注意到图 12 中, $N=1$ 时占用的布线资源面积较 $N=2$ 和 $N=3$ 来说偏大。因为测试电路经过映射后, 6-LUT 出现的比例较小, 而对于所有输入小于 6 的 LUT, 结构 1 均用 6-LUT 结构来实现, 造成逻辑资源利用率不高, CLB 使用数目明显超过其他结构, 相应也就带来了布线资源的使用增加。 N 大于 1 时, CLB 的使用数目略有差异, 对占用布线资源的影响较小, 通道宽度成为影响其面积的主要因素, 故布线资源面积的变化趋势与最小通道宽度的变化趋势基本一致。因此, 对逻辑结构的拆分增大了布线资源的占用面积。

3.1.3 资源使用总面积

从图 12 还可以看出, 与布线资源的占用情况类似, 资源使用的总面积随着可拆分因子的增大, 呈现下凸趋势。原因在于, 布线资源的占用面积在资源使用的总面积中占据的比例较大。在可拆分因子 $N=2$ 时, 总面积最小。因此, 就面积这一评价指标而言, 可拆分因子 $N=2$ 为最佳选择。

比较可拆分因子均为 $N=2$ 的结构 2 和 3, 结构 2 比结构 3 的灵活性稍差, 应该能够提高逻辑资源利用率。但是研究中发现, 无论在逻辑资源面积、布线资源面积还是总面积上, 结构 2 都比结构 3 要稍好一点。出现这种情况的原因: 结构 3 的输入端口数较结构 2 多, 布线资源会相对使用较多, 为了减小可能带来的不利影响, 映射时便多使用了一些逻辑资源来平衡, 从而保证了关键路径延时等参数的更优化。

3.2 延时

对 6-LUT 进行逻辑结构拆分, 并没有引入更多级的 MUX, 除了结构 2 的情况(由于不能实现 6 输入的逻辑, 故少了 1 级 MUX), 组合逻辑的传播延时并没有变化。从图 13 中可以看出, 5 种结构对应的逻辑延时基本一样。线网延时随着可拆分因子 N 的增大而增大, 即对逻辑结构的拆分会增大线网的延时。5 种结构的关键路径延时随着可拆分因子的变大有所增加, 但是影响不显著。因此, 从延时的角度评估, 可拆分因子对关键路径延时的影响不显著。

3.3 面积-延时积

分析图 14 可以得出结论, 面积-延时积随着可拆分因子的增大, 呈现下凸趋势, 在可拆分因子 $N=2$ 时, 乘积最小, 为最佳选择。

4 结论

本文首先介绍了 FPGA 可拆分逻辑结构的原理, 引入了可拆分因子的概念。然后, 分别给出了可拆分因子 $N=1\sim 4$ 时的几种可拆分逻辑结构。最后, 基于开源 FPGA CAD 工具进行了仿真实验, 研究了不同拆分粒度下的

可拆分逻辑结构对 FPGA 芯片性能的影响。仿真实验结果显示,电路使用资源的总面积和面积-延时积均随着可拆分因子的增大,呈现下凸趋势,在可拆分因子为 2 时,取值均达到最小。可拆分因子的增大会略微影响到关键路径延时的增大,但不显著。综合电路资源使用的总面积、关键路径的延时以及面积-延时积三方面的考虑,可拆分因子为 2 时,电路将能够获得更好的性能。

参考文献:

- [1] BETZ V, ROSE J, MARQUARDT A. 深亚微米 FPGA 结构与 CAD 设计[M]. 王伶俐, 杨萌, 周学功, 译. 北京: 电子工业出版社, 2008: 1-29. (BETZ V, ROSE J, MARQUARDT A. Architecture and CAD for Deep Submicron FPGAs[M]. Translated by WANG Lingli, YANG Meng, ZHOU Xuegong. Beijing: Publishing House of Electronics Industry, 2008: 1-29.)
- [2] KOULOHERIS J L, GAMAL A E. FPGA performance versus cell granularity[C]// Proceedings of the IEEE 1991 Custom Integrated Circuits Conference. [S.l.]: IEEE, 1991: 6.2.1-6.2.4.
- [3] SINGH S, ROSE J, CHOW P, et al. The effect of logic block architecture on FPGA performance[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3): 281-287.
- [4] Xilinx Corporation. Virtex-4 FPGA User Guide[Z]. Xilinx Corporation, 2008.
- [5] Altera Corporation. Stratix II Device Handbook[Z]. Altera Corporation, 2011.
- [6] BRAYTON R, MISHCHENKO A. ABC: an academic industrial-strength verification tool[C]// International Conference on Computer Aided Verification. Berkeley, California, USA: Springer, 2010: 24-40.
- [7] ROSE J, LUU J, YU C W, et al. The VTR project: architecture and CAD for FPGAs from Verilog to routing[C]// Proceedings of the ACMISIGDA International Symposium on Field Programmable Gate Arrays. Monterey, California, USA: ACM, 2012: 77-86.
- [8] JIANG Zhenghong, LIN Colin Yu, YANG Liqun, et al. Exploring architecture parameters for dual-output LUT based FPGAs[C]// 2014 24th International Conference on Field Programmable Logic and Applications(FPL). Munich, Germany: IEEE, 2014: 1-6.

作者简介:



徐 宇(1990-), 男, 安徽省安庆市人, 在读博士研究生, 主要研究方向为 FPGA 的 CAD 辅助设计. email: 379717389@qq.com.

杨立群(1989-), 女, 黑龙江省五常市人, 博士, 主要研究方向为 FPGA 架构开发、FPGA CAD 工具开发.

黄 娟(1983-), 女, 湖北省襄阳市人, 博士, 助理研究员, 主要研究方向为 FPGA 的 CAD 辅助设计.

林 郁(1982-), 男, 广东省珠海市人, 博士, 助理研究员, 主要研究方向为 FPGA 的 CAD 辅助设计、FPGA 高层综合.

江政泓(1990-), 男, 江西省九江市人, 博士, 主要研究方向为 FPGA 架构开发、FPGA 的映射算法.

黄志洪(1984-), 男, 福建省莆田市人, 博士, 助理研究员, 主要研究方向为可编程逻辑结构设计、嵌入式存储器通道结构.

杨海钢(1960-), 男, 江苏省武进市人, 研究员, 研究方向为数模混合信号集成电路设计、超大规模集成电路设计等.