

文章编号: 2095-4980(2017)02-0313-05

双栅无结晶体管阈值电压模型

杨可萌^{a,b}, 李悦^{a,b}, 郭羽涵^{a,b}, 王超^{a,b}, 郭宇锋^{a,b*}, 刘陈^{a,b}

(南京邮电大学 a.电子科学与工程学院; b.江苏省射频集成与微组装工程实验室, 江苏 南京 210023)

摘要: 无结晶体管是近年来纳米 SOI MOS 器件领域的研究热点, 相对于传统晶体管具有明显的优势。本文针对全耗尽型无结晶体管, 基于二维泊松方程, 建立了电势分布解析模型。根据该模型可以得到阈值电压模型。利用建立的解析模型和半导体器件仿真软件 MEDICI, 探讨了栅压和器件结构参数对电势分布和阈值电压的影响。该模型简单且与仿真结果吻合良好。

关键词: 无结晶体管; 双栅; 电势分布; 阈值电压

中图分类号: TN32

文献标志码: A

doi: 10.11805/TKYDA201702.0313

Threshold voltage model for junctionless double-gate transistors

YANG Kemeng^{a,b}, LI Yue^{a,b}, GUO Yuhan^{a,b}, WANG Chao^{a,b}, GUO Yufeng^{a,b*}, LIU Chen^{a,b}

(a.College of Electronics Science and Engineering; b.Jiangsu Provincial Engineering Laboratory of RF Integration & Micropackaging, Nanjing University of Posts and Telecommunications, Nanjing Jiangsu 210023, China)

Abstract: Junctionless double-gate transistors which have obvious advantages over traditional junction transistors are becoming a hot topic in the field of nano Silicon-On-Insulator(SOI) devices nowadays. Based on 2-D Poisson equation, an analytical model is derived to calculate potential distribution in the channel. Based on this model, threshold voltage of the junctionless double-gate transistors can be obtained. By using this model and device simulator MEDICI, effects of gate voltage and parameters of device structure on potential distribution and threshold voltage are investigated in detail. This model is simple and has a good match with the simulation results.

Keywords: junctionless transistors; double-gate; potential distribution; threshold voltage

无结晶体管是一种源极和漏极与沟道区之间没有结存在的新型晶体管^[1-2]。无结晶体管是近年来纳米绝缘衬底上的硅(SOI)金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor, MOS)器件领域的研究热点, 相对于传统的结型晶体管, 无结晶体管能基于一个硅栅控制的硅纳米线, 通过改变栅压以调节纳米线的电阻^[3-4]。常见晶体管中, 由于掺杂产生空穴的 P-型硅片和掺杂产生电子的 N-型硅片连接形成 P-N 结, 而无结晶体管无结结构大大简化了传统器件的制备工艺并降低了器件的制作成本^[5]。此外, 无结晶体管的掺杂浓度是恒定的, 能把掺杂原子的扩散减至最低程度, 也可以降低短沟道效应。通过较低电压开关器件, 提高器件整体工作效率。当前, 对无结晶体管结构和性能的研究以及无结晶体管的制备是对集成电路发展的重要推动, 现爱尔兰科克尔大学研究人员已制备出沟道长度为 1 μm 的无结晶体管, 现在的研究方向主要集中于更小的纳米级器件^[6]。对于无结晶体管模型以及建模方法^[7], 国内外学者已进行大量研究, 但无结晶体管与一般 SOI MOS 有所不同, 以往的模型不再适用, 因此本文基于无结晶体管阈值电压进行解析建模与分析, 并运用微电子器件仿真软件, 验证模型的正确性。

1 解析模型

图 1 表示无结晶体管的剖面图, 无结晶体管的结构可以分为 3 层, 自上而下依次是二氧化硅层、硅层、二

收稿日期: 2015-11-13; 修回日期: 2016-01-19

基金项目: 教育部博士点基金资助项目(20133223110003); 江苏省自然科学基金资助项目(BK20130778); 江苏省工业支撑计划资助项目(BE2013130); 国家重点实验室基金资助项目(KFJJ201403)

*通信作者: 郭宇锋 email:yfguo@njupt.edu.cn

氧化硅层^[8]。2 层二氧化硅层厚度为 5 nm，中间硅层的厚度为 10 nm。在硅层区域，又横向分为 3 个区域，从左至右分别为 n^+ 区、沟道区、 n^+ 区。每个区域长度均为 500 nm。两边 n^+ 区的掺杂浓度为 10^{20} cm^{-3} ，沟道区掺杂浓度为 $2 \times 10^{19} \text{ cm}^{-3}$ ，是一个 $n^+ - n - n^+$ 型结构的器件。 U_G, U_B 代表器件的正反栅压， U_{DS} 为漏源偏压， t_s 为硅层厚度， t_{ox} 为顶栅和背栅氧化层厚度。

为了建立全耗尽无结 SOI MOS 电势分布模型，做以下假设：a) 氧化层二维电场效应对沟道内电势分布影响较小；b) 沟道区完全耗尽。此外，为简化计算，以晶体管纵截面几何中心为原点，水平与垂直方向为横、纵坐标轴建立如图 1 所示的直角坐标系，则沟道电势满足二维 Poisson 方程：

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = -\frac{qN_D}{\epsilon_{Si}}, \left(-\frac{l}{2} \leq x \leq \frac{l}{2}, -\frac{t_s}{2} \leq y \leq \frac{t_s}{2} \right) \quad (1)$$

式中： $\phi(x, y)$ 为电势； l 为无结晶体管沟道长度； q 是电子电荷； N_D 为沟道区掺杂浓度； ϵ_{Si} 是硅的介电常数。

根据沟道区左右界面上的电势边界条件和上下界面上的高斯定理，可以得到如下边界条件：

$$\phi\left(-\frac{l}{2}, y\right) = -U_{bi} \quad (2)$$

$$\phi\left(\frac{l}{2}, y\right) = U_{DS} - U_{bi} \quad (3)$$

$$\left. \frac{\partial \phi}{\partial y} \right|_{y=-\frac{t_s}{2}} + k \frac{U_G - \phi\left(x, -\frac{t_s}{2}\right)}{t_{ox1}} = 0 \quad (4)$$

$$\left. \frac{\partial \phi}{\partial y} \right|_{y=\frac{t_s}{2}} + k \frac{\phi\left(x, \frac{t_s}{2}\right) - U_B}{t_{ox2}} = 0 \quad (5)$$

式中： U_{bi} 是源漏结的内建电势； k 是二氧化硅和硅的介电常数之比。对纵向电势分布采用抛物近似法可将 $\phi(x, y)$ 表示成如下展开式：

$$\phi(x, y) = \phi_0(x) + \phi_1(x)y + \phi_2(x)y^2 \quad (6)$$

这里的 $\phi_0(x), \phi_1(x), \phi_2(x)$ 都仅为 x 的函数，与 y 无关。将式(6)代入边界条件式(4)和式(5)，并联立式(1)，可得双栅无结晶体管的沟道区二维电势分布满足

$$\phi(x, y) = \phi_0(x) + \frac{y^2}{2t^2} [U_G - \phi_0(x)] \quad (7)$$

式中： $t = \sqrt{\frac{t_s t_{ox}}{2k} + \frac{t_s^2}{8}}$ 为特征厚度； $\phi_0(x)$ 为沟道中心横向电势，其满足下面的常系数微分方程：

$$\frac{d^2 \phi_0(x)}{dx^2} - \frac{\phi_0(x)}{t^2} = \frac{U_0^*}{t^2} \quad (8)$$

$$U_0^* = -U_G - \frac{qN_D t^2}{\epsilon_{Si}} \quad (9)$$

在边界条件式(3)、式(4)的约束下解方程(7)可以得到

$$\phi_0(x) = \left[\frac{U_{DS}}{2} - (U_0^* + U_{bi}) \right] \frac{\cosh(x/t)}{\cosh(l/2t)} + \left(\frac{U_{DS}}{2} - U_{bi} \right) \frac{\sinh(x/t)}{\sinh(l/2t)} + U_0^* \quad (10)$$

由此，可以求得沟道中心线上的电势最小值为：

$$\phi_{\min} = \frac{\sqrt{[U_{DS} - 2(U_0^* + U_{bi})]^2 \sinh^2(l/2t) - U_{DS}^2 \cosh^2(l/2t)}}{\sinh(l/t)} + U_0^* \quad (11)$$

这里，定义当 $U_{DS}=0$ 时最小电势等于内建电势时所对应的栅电压就是双栅无结晶体管的阈值电压，即

$$U_{th} = U_G \Big|_{\phi_{\min} = U_{bi}, U_{DS}=0, U_S=0} \quad (12)$$

$$U_{th} = \frac{\cosh(l/2t) - 1}{\cosh(l/2t) + 1} U_{bi} - \frac{qN_D t^2}{\epsilon_{Si}} \quad (13)$$

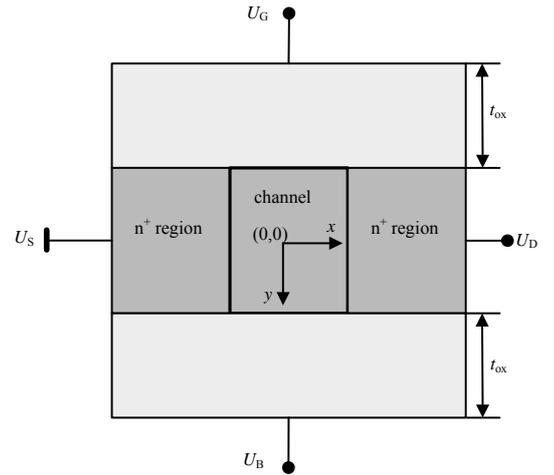


Fig.1 Schematic of a junctionless double-gate transistor
图1 无结晶体管结构图

若考虑沟道长度调制效应，那么实际沟道长度为 $l'=(1-\lambda)l$ ，这里 λ 是沟道调制系数。从而式(13)可化为：

$$U_{th} = \frac{\cosh[(1-\lambda)l/2t]-1}{\cosh[(1-\lambda)l/2t]+1} U_{bi} - \frac{qN_D t^2}{\epsilon_{Si}} \quad (14)$$

2 结果与分析

1) 电势分布

为了探究并验证无结 SOI MOS 结构对其电势分布的影响，这里利用上节得到的电势分布模型分别给出了硅膜掺杂浓度、晶体管沟道长度、栅压对无结 SOI MOS 电势分布^[3]的影响如图 2~图 4。其基本结构参数如表 1(注：为避免实际器件中重掺杂与轻掺杂交界处浓度差的影响，实际取 $l=40\text{ nm}$ 。3 种结构中各有 1 个变量，变量从左至右的取值对应图中曲线从上至下)所示，并在源、漏极分别加电压 0 V 和 0.1 V。为了验证模型的正确性，采用研究半导体器件中常用的 TCAD 工具对 3 种结构的电势特性进行了模拟，并把相应的模拟结果与模型结果绘入同一张图进行分析比较。模型的结果和数值模拟的结果吻合良好，证明了模型的正确性。

表 1 SOI MOS 结构参数

Table1 Structure parameters of SOI MOS			
	Fig.2	Fig.3	Fig.4
channel length l/nm	50	50/500	50
silicon layer thickness t_s/nm	10	10	10
oxide layer thickness t_{ox}/nm	5	5	5
gate voltage $U_B, U_G/\text{V}$	-2.5	-2.5	-2.3/-2.4/-2.5
doping profile N_D/cm^{-3}	$1.8 \times 10^{19}/2.0 \times 10^{19}/2.2 \times 10^{19}$	2.0×10^{19}	2.0×10^{19}

图 2 给出了不同浓度下的无结晶体管电势分布解析模型与仿真结果的对比，从图 2 中可以看出，当掺杂浓度分别为 $1.8 \times 10^{19}\text{ cm}^{-3}, 2.0 \times 10^{19}\text{ cm}^{-3}, 2.2 \times 10^{19}\text{ cm}^{-3}$ ，掺杂浓度逐渐减小时，电势随之逐渐降低。这主要是由于器件沟道区掺杂浓度减小，电子浓度随之减小，导致电势减小。

图 3 给出了不同沟道长度下的无结晶体管电势分布解析模型与仿真结果的对比，从图 3 中可以看出，长沟道器件边缘电势急剧下降，而在沟道中部趋于平稳，短沟道器件电势下降平缓。这是由于器件的源漏两端重掺杂，导致沟道区与源漏两端有一定的载流子浓度梯度，从而导致了沟道两端电子浓度增加，电势随之升高。

图 4 给出了不同栅压下的无结晶体管电势分布解析模型与仿真结果的对比，从图 4 中可以看出，当栅压减小时，电势随之减小，这是由于当栅压减小时，沟道区的耗尽层宽度就会增加，电子浓度降低，电势也降低。这表明了栅压对于器件沟道区导电能力的良好控制性。

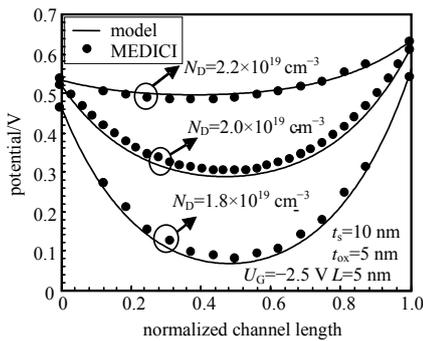


Fig.2 Potential distributions at different doping profiles
图 2 不同浓度对电势的影响

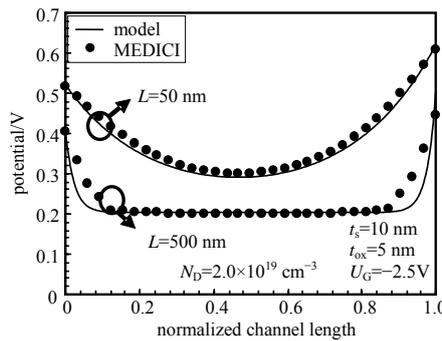


Fig.3 Potential distributions at different channel lengths
图 3 不同沟长对电势的影响

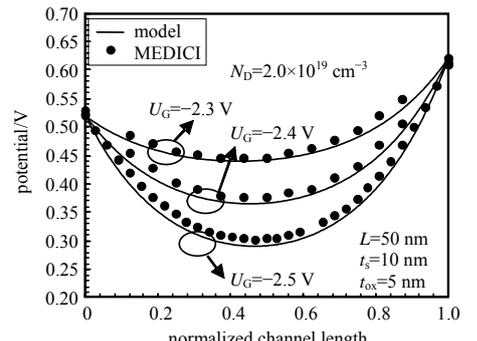


Fig.4 Potential distributions at different gate voltages
图 4 不同栅压对电势的影响

2) 阈值电压

为了研究无结晶体管结构参数对其阈值电压的影响，本文以沟道掺杂浓度以及沟道长度作为变量，在源、漏极分别加电压 0 V, 0.1 V，采用研究半导体器件中常用的 TCAD 工具对此结构的阈值电压进行了仿真，并把相应的仿真结果与模型结果绘入同一张图进行分析比较，得到的仿真结果和数值模拟的结果吻合，表示了解析模型的正确性。

图 5 给出了阈值电压随沟道区掺杂浓度变化的模拟与仿真结果对比，可以看出阈值电压随沟道掺杂浓度升高而降低。如式(14)所示，可以轻易看出沟道区掺杂浓度与阈值电压成反比。当无结晶体管沟道区掺杂浓度降低时，阈值电压将会增加；当无结晶体管沟道区掺杂浓度增加时，阈值电压将会降低。从物理学方面考虑，

沟道区掺杂浓度越大,越不易被夹断,在相同栅压条件下的夹断区域越小,那么导电的通道就越宽。所以开启电压随着沟道区掺杂浓度的增大而减小,表现为图 5 中呈现的反比关系。

图 6 给出了阈值电压随沟道长度变化的模拟与仿真结果对比,式(13)所示,当 l 非常小时, $\frac{1}{\cosh(\Delta l / 2t)}$ 可以忽略,但随着 l 越来越大,阈值电压上升的斜率逐渐增大。直至进入中长沟区之后,其他基本可以被忽略,所以 $U_{th} = -U_{bi} - \frac{qN_D t^2}{\epsilon_{Si}}$ 基本呈现一个定值,不随沟道长度变化而变化。从物理学方面考虑,考虑到短沟道效应的影响,当沟道短到与耗尽区同一数量级时,阈值电压将会减小得非常明显,短沟道器件的阈值电压随沟道长度变化十分敏感。

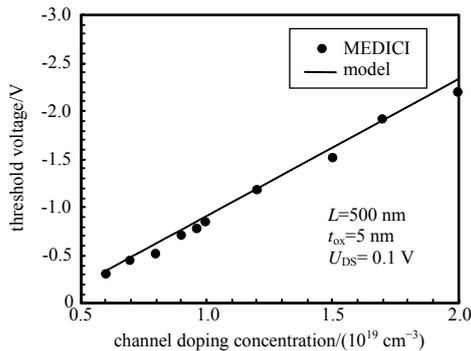


Fig.5 Threshold voltages at different channel doping profiles
图 5 沟道掺杂浓度对阈值电压的影响

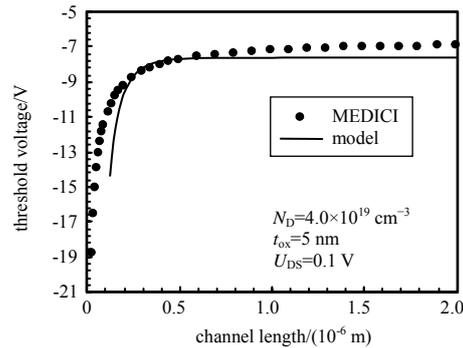


Fig.6 Threshold voltages at different channel lengths
图 6 沟道长度对阈值电压的影响(部分误差由于仿真模型的 U_{ds} 不能为 0, 取 $U_{ds}=0.1$ V 而导致)

3 结论

本文建立的全耗尽无结晶体管电势分布解析模型和阈值电压解析模型,解析结果与仿真结果吻合良好,表明了模型的准确性。在此基础上,根据解析模型与仿真结果,容易看出双栅无结晶体管的电势分布和阈值电压受其沟道长度以及沟道区掺杂浓度等结构参数影响较大,可以通过改变其结构参数调整其工作特性。比较不同栅压下的电势分布,结果显示,栅压对于器件的工作状态以及源漏电流的大小具有良好的控制能力。

参考文献:

- [1] BAY H, FERRARI V, GOOL L V. Wide-base line stereo matching with line segments[C]// Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition. San Diego:IEEE, 2005:329-336.
- [2] THACKER N A, RIOCREUX P A, YATES R B. Assessing the completeness properties of pairwise geometric histograms[J]. Image and Vision Computing, 1995, 13(5):423-429.
- [3] 傅丹, 王超, 徐一丹, 等. 一种直线段匹配的新方法[J]. 国防科技大学学报, 2008, 30(1):115-120. (FU Dan, WANG Chao, XU Yidan, et al. A new algorithm of matching of line segments[J]. Journal of National University of Defense Technology, 2008, 30(1):115-120.)
- [4] WOO D M, PARK D C. Stereo line matching based on the combination of geometric and intensity data[C]// IEEE 24th International Symposium on Computer and Information Sciences. Guzelyurt, Cyprus:IEEE, 2009:581-585.
- [5] WANG Z H, LIU H M, WU F C. HLD: a robust descriptor for line matching[J]. Pattern Recognition, 2009, 42(5):941-953.
- [6] 王鲲鹏, 尚洋, 于起峰. 影像匹配定位中的直线倾角直方图不变矩法[J]. 计算机辅助设计与图形学学报, 2009, 21(3):389-393. (WANG Kunpeng, SHANG Yang, YU Qifeng. An image matching approach based on the invariant moment of slope angle histogram[J]. Journal of Computer-aided Design & Computer Graphics, 2009, 21(3):389-393.)
- [7] 聂焯, 赵荣椿, 康宝生. 基于边缘几何特征的图像精确匹配方法[J]. 计算机辅助设计与图形学学报, 2004, 16(12):1668-1675. (NIE Xuan, ZHAO Rongchun, KANG Baosheng. A precise image registration method by utilizing the geometric feature of edges[J]. Journal of Computer-aided Design & Computer Graphics, 2004, 16(12):1668-1675.)
- [8] 吕文涛, 吕高焕. SIFT 算法在雷达图像匹配中的应用[J]. 太赫兹科学与电子信息学报, 2010, 8(4):388-392. (LYU Wentao, LYU Gaohuan. Application of scale invariant feature transform to SAR image matching[J]. Journal of Terahertz Science and Electronic Information Technology, 2010, 8(4):388-392.)