

文章编号: 2095-4980(2018)01-0164-06

## 基于新型时间放大器流水线时间数字转换器

魏 星<sup>1,2</sup>, 陈柱佳<sup>1</sup>, 李 威<sup>1</sup>, 黄志洪<sup>1</sup>, 杨海钢<sup>1,2</sup>

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100049)

**摘 要:** 针对传统时间数字转换器(TDC)中普遍存在的转换速度与转换精确度相互制约问题, 提出一种适用于流水线型 TDC 结构的新型边沿对准时间放大器。这种时间放大器采用三级门控延时链与边沿合成器的级联结构, 可实现增益为 4 的整数倍时间放大。在 0.35  $\mu\text{m}$  标准 CMOS 工艺下完成整体流水线型 TDC 的设计, 仿真结果显示, 输入动态范围为 6.11 ns, 时间分辨力为 13.1 ps, 转换速率为 50 MSamples/s。相比于传统基于脉冲序列时间放大器的 TDC, 转换速率提高 19.5%, 精确度提高 33.7%。

**关键词:** 时间数字转换器; 流水线; 时间放大器; 门控延时单元

**中图分类号:** TN492

**文献标志码:** A

**doi:** 10.11805/TKYDA201801.0164

## A pipelined Time-to-Digital converter using a novel time amplifier

WEI Xing<sup>1,2</sup>, CHEN Zhujia<sup>1</sup>, LI Wei<sup>1</sup>, HUANG Zhihong<sup>1</sup>, YANG Haigang<sup>1,2</sup>

(1.Institute of Electronics, Chinese Academy of Science, Beijing 100190, China;

2.University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** A novel Edge Align-Time Amplifier(EA-TA) is proposed aiming at improving the trade-off between conversion rate and precision in traditional Time-to-Digital Converter(TDC). This time amplifier in pipeline TDC consists of 3 cascaded gated delay lines and edge combiner to achieve an integral gain of 4. The pipelined TDC is implemented in standard 0.35  $\mu\text{m}$  CMOS process. Full simulation results show that the TDC can achieve 13.1 ps of resolution at 50 MSamples/s while the dynamic input range is 6.11 ns. Compared to other time amplifier such as Pulse Train-Time Amplifier(PT-TA), the proposed edge-align time amplifier can get 19.5% and 33.7% higher in conversion rate and precision respectively.

**Keywords:** Time-to-Digital Converter; pipelined; time amplifier; gated delay cell

近年来, 时间数字转换器(TDC)作为一种将输入时间间隔转换为对应数字码的专用电路, 被广泛应用于高能物理、高精度测量和生物医学成像<sup>[1]</sup>等诸多领域。分辨力、转换速率以及线性度作为衡量 TDC 的 3 个关键技术指标, 直接影响其所处应用系统的工作性能。

传统的 TDC 按照其实现结构的不同, 主要分为 4 类: 线性延时链型、微调延时链型、周期循环型和流水线型。不同结构的 TDC 各有优劣, 线性延时链型结构的 TDC 在早期被广泛采用, 但由于其最小量化误差与该工艺下基本门延时成正比, 最大分辨力直接受限于工艺<sup>[2]</sup>。随后, 微调延时链型 TDC<sup>[3-4]</sup>被提出, 利用不同基本延时单元间延时的微小差值, 可以将转换分辨力提高到基本门延时以下, 但其基本延时单元的个数与输出数字码的位宽呈指数增长关系, 并且分辨力容易受环境影响, 转换速率不高。周期循环型 TDC<sup>[5-6]</sup>作为另一种实现高分辨力的结构, 通常采用可控的环路加时间放大器的结构实现, 周期性地对待测相位差进行采样与放大。但其性能往往受到所采用的时间放大器的线性度与放大范围的限制。并且该结构由于需要多个周期进行逐次相位逼近, 因此转换速率一般较低。前 3 种结构的 TDC 普遍存在转换速率与分辨力之间的折衷关系, 流水线型 TDC<sup>[7]</sup>的提出较好地解决了这个矛盾问题。但是其采用的脉冲序列时间放大器(PT-TA)结构限制了 TDC 的转换速度, 并且不断翻转的放大输出容易造成转换输出码字与理论值存在较大偏差, 从而对整体线性度造成不良影响。

收稿日期: 2016-11-01; 修回日期: 2016-12-13

基金项目: 国家自然科学基金资助项目(61474120)

本文基于文献[7]中的时间寄存器结构，提出一种新型的边沿对准时间放大器(EA-TA)，并采用 0.35  $\mu\text{m}$  标准 CMOS 工艺完成设计与仿真，用于提高流水线型 TDC 的码字转换精确度与采样速率。仿真结果显示输入动态范围为 6.11 ns，最小分辨力为 13.1 ps，最高采样率为 50 MSamples/s。

本文在第 1 节中首先介绍了流水线型 TDC 的电路实现结构与其工作原理，分析影响其转换速度与分辨力的关键因素，然后提出边沿对准时间放大器，最后对本文所采用的基本门控延时单元电路进行深入分析。第 2 节针对所提出的边沿对准时间放大器关键性能进行分析与对比。第 3 节对所实现的 TDC 进行仿真测试，并对仿真结果进行分析。最后在第 4 节对全文进行总结。

## 1 电路结构与工作原理

### 1.1 传统流水线型 TDC 结构与工作原理

本文的流水线型 TDC 总体结构基于文献[7]实现，整体结构框图如图 1 所示。包括输入级的时钟提取与脉宽产生电路、中间三级相同的 3b 流水线 TDC 单元、末级的 3b 延时链 TDC 单元，以及数字码纠正与生成电路。输入级主要是在输入的 start 与 stop 周期信号中提取出时钟信号，产生宽度正比例于 start 与 stop 相位差的脉冲信号，作为原始脉宽输入信号，并且为后级提供流水转换所需的互补时钟源。流水线 TDC 单元中包含时间放大器，用于将对应的脉冲信号放大固定的倍数，输出到下一级作为第 2 阶段的输入待测信号。末级的延时链 TDC 单元用于对输入的脉冲宽度进行直接量化，产生 3b 的低位码字。整体 TDC 通过 3 个级联的流水线 TDC 单元不断对中间转换的脉宽进行放大以提高 TDC 的分辨力，并通过两路互补时钟实现真流水线处理，其流水线操作可以大幅提高时间数字转换的吞吐量。

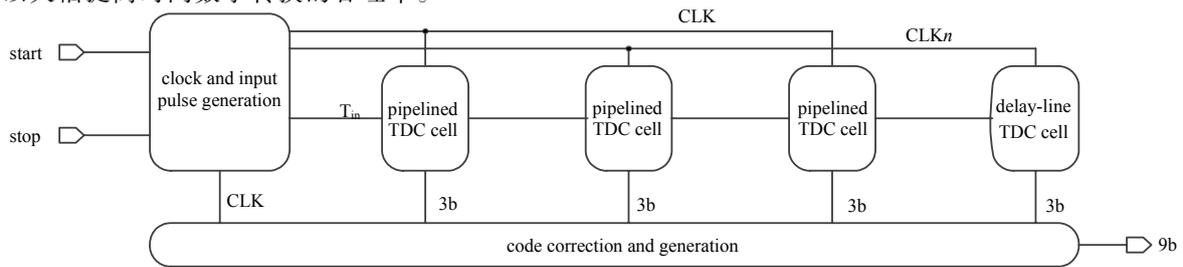


Fig.1 Block diagram of traditional pipelined TDC

图 1 流水线型 TDC 整体系统框图

传统 3b 流水线 TDC 单元的电路如图 2 所示，其作为整个时间数字转换电路的核心模块，主要由门控延时链、采样触发器和脉冲序列时间放大器等构成。门控延时链(Gated Delay Line, GDL)由 16 个相同的基本门控延时单元(Gated Delay Cell, GDC)级联组成，6 个触发器分别在第 3,5,7,9,11,13 个 GDC 的输出端采样，并在同一时钟下触发。采样的输出为 6b 的温度码，共有 7 种可能的值，分别控制打开位置在第 4,6,8,10,12,14,16 个 GDC 输出端的开关，如 000000 对应打开编号 000，而 110000 对应闭合编号 010 的开关等。

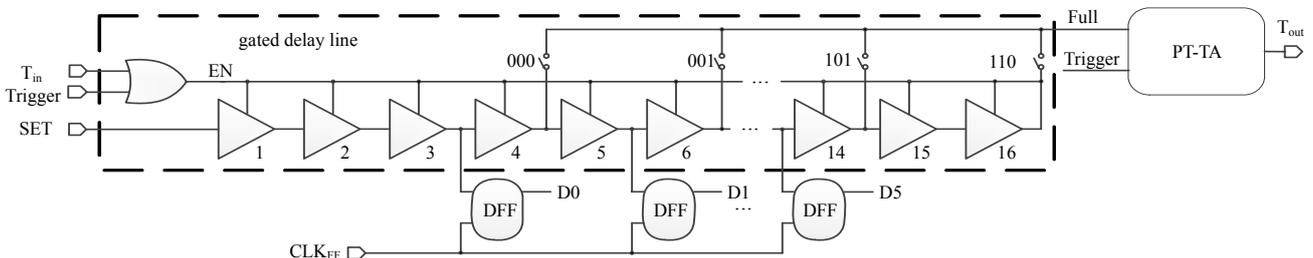


Fig.2 Schematic of pipelined TDC cell

图 2 流水线 TDC 单元电路实现

文献[7]中采用脉冲序列时间放大器实现对 Trigger 与 Full 之间相位差的放大。由于其工作原理是将输入的脉宽信号通过简单延时叠加，进而输出至后级的流水线 TDC 单元。但是，不连续的高电平接入到  $T_{in}$  端，会对中间节点进行反复充电、保持与再充电，如此多次容易造成整个预充电过程的结果出现较大的偏差，从而造成转换输出的数字码偏离理论值较远。并且，PT-TA 还存在输入范围窄的问题，即无法对较窄的输入脉冲进行放大，而且对于较宽的输入脉冲则需要相应增大延时以防止发生波形混叠，这同时也极大地限制了流水线型 TDC 的转换速率。针对以上问题，本文提出一种全新的边沿对准时间放大器电路，旨在进一步提高流水线型 TDC 的码字转换精确度与采样速率。

1.2 边沿对准时间放大器电路结构与工作原理

图 3 所示是本文提出的包含边沿对准时间放大器的流水线 TDC 单元，其主要由 3 个相同的 GDL 级联和输出端的边沿合成电路构成，各个 GDL 的输入端  $T_{in,SET}$  都与主 GDL 相连。利用 3 个额外的 GDL 实现输入脉冲信号的精准放大，并进一步加快高速流水操作。

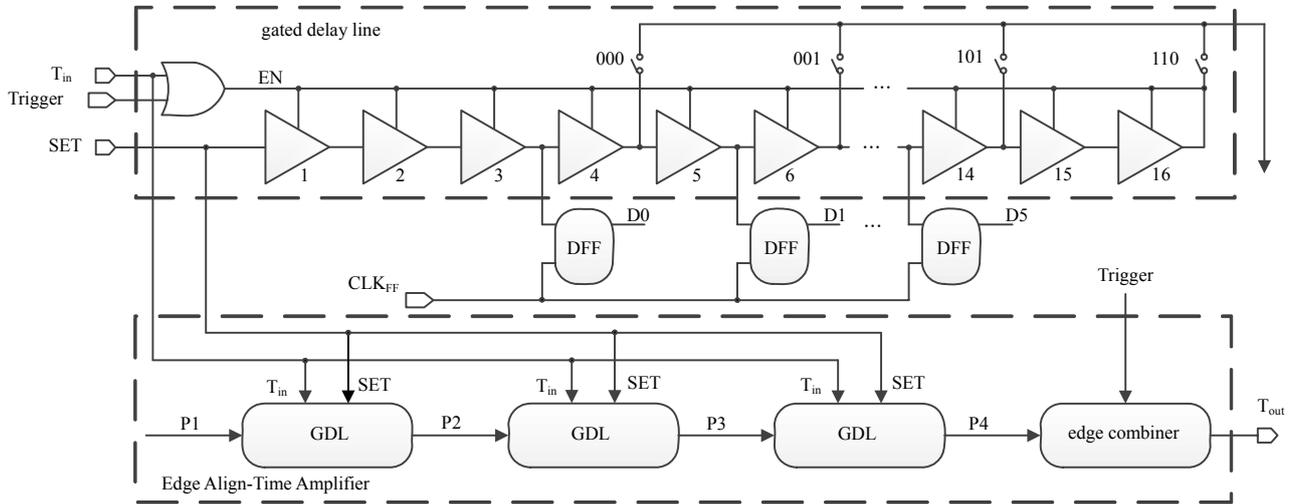


Fig.3 Schematic of proposed Edge Align-Time Amplifier  
图 3 新型边沿对准时间放大器电路结构

整体流水型 TDC 的工作时序如图 4(a)所示，在每次转换开始前，控制信号 SET 保持为 0，并将与之相连的 4 个 GDL 中所有 GDC 的输出端拉低，此时所有开关都处于断开状态。之后 SET 拉高，外部待测脉冲信号输入，经过输入端的或门，输出一个与输入等宽的全局使能信号。控制信号 EN 的高电平控制所有的 GDC 导通，并依次对从首个 GDC 开始的输出节点进行充电。 $T_{in}$  的宽度  $T_i$  直接决定每个输出节点在预充电过程结束之后的电平。假设每个 GDC 的延时为  $\tau$ ，如果输入  $T_i=4\tau$ ，则刚好将前 4 个输出节点充电至电源电压  $U_{dd}$ ，因此整个 TDC 的测量范围为  $0\sim 16\tau$ 。在 EN 返回 0 之后，由于所有 GDC 均不导通，每个充电节点都返回高阻态，每个节点所充的电荷处于维持状态，电平保持不变。时钟  $CLK_{FF}$  的触发沿在第 1 次预充电后到来，进行采样，采样的码值作为本次转换的结果输出，同时打开与编码值对应的开关。之后 Trigger 拉高，EN 的高电平继续使能对后续节点的充电过程，一段时间后在 P1 信号线上输出 1 个上升沿。这个上升沿与 Trigger 上升沿的延时差  $T_d$  作为 EA-TA 的输入。

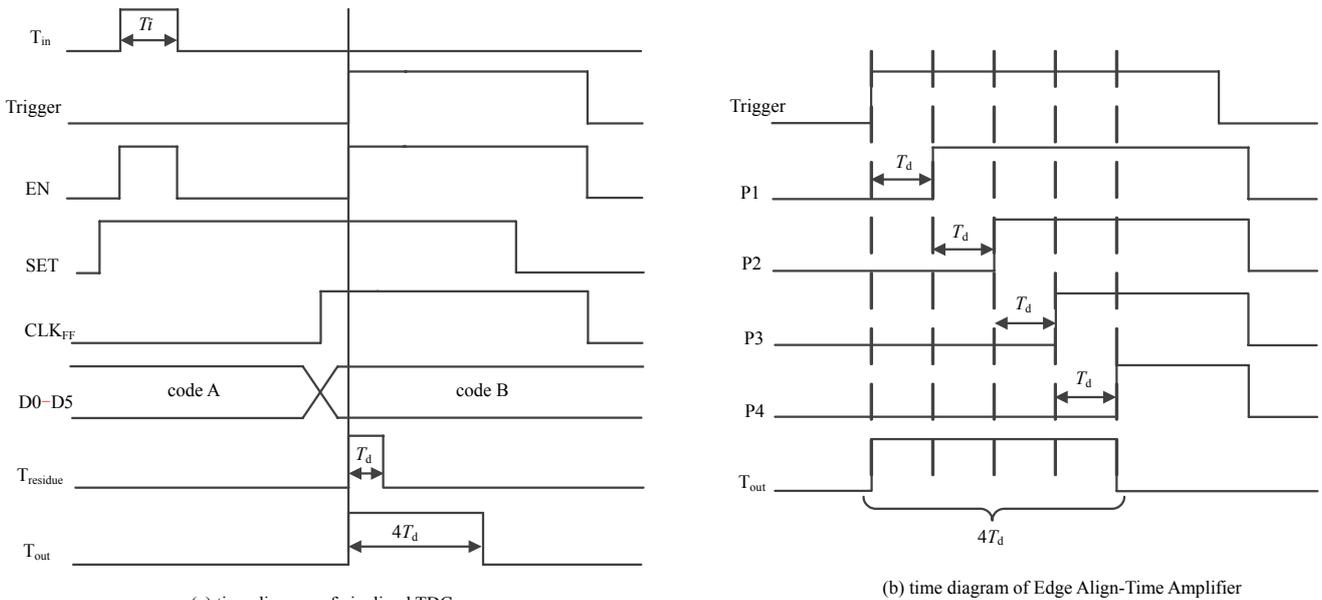


Fig.4 Time diagrams of pipelined TDC and Edge Align-Time Amplifier  
图 4 流水线 TDC 时序原理图和边沿对准时间放大器工作时序图



TA 实现的 TDC 最大转换速率为 50 MSamples/s, 转换速率提高了 19.5%。

### 3 整体仿真结果与误差分析

本文基于所提出的边沿对准时间放大器, 在 0.35  $\mu\text{m}$  标准 CMOS 工艺下完成了流水线型 TDC 电路的设计与仿真。在 3.3 V 的工作电压下, 所设计的基本门控延时单元的延时为 418 ps, 因此分辨力为 418/32=13.1 ps。考虑到宽度过窄的脉冲信号无法通过 TDC 单元输入端的或门, 因此在输入脉冲生成电路中, 输出的  $T_{in}$  被加入了 450 ps 的固定偏置。仿真时的测试激励分别由频率为 50 MHz 和 49.975 MHz 的时钟提供, 分别作为 start 与 stop 端口的输入, 用于产生脉宽呈线性增大的脉冲序列。

仿真结果显示, 本文所设计的 TDC 输入动态范围可以达到 6.11 ns, 最高采样率为 50 MSamples/s。相比相同工艺节点的 TDC, 转换速度与分辨力都有较大的提升(具体见表 1 中的性能参数对比)。传输特性曲线仿真结果如图 8 所示, 差分非线性(Differential Nonlinearity, DNL)与积分非线性(Integral Nonlinearity, INL)的仿真结果如图 9 所示。从图 8~9 的仿真结果中可以看出, 实际设计的 TDC 输出码字与理想 TDC 的输出码字相比仍然存在一定偏差, 且存在部分丢码的情况。通过仔细观察, 可以发现, 随着输入信号脉宽以固定的步长逐渐增大, 转换输出的码字与理想值的偏差还呈现出周期性的变化规律。可能的原因是, 由于 GDL 中采样与可控开关是分别交错连接在不同的 GDC 输出端的, 每个充电节点所接的负载没有完全进行匹配, 这会导致不同 GDC 的延时值并不完全一致。而且通过第 1.3 节中的分析可知, GDC 对输入脉宽变化的灵敏度直接决定整个 TDC 的线性度, 本文所采用的 GDC 虽然在一定程度上减小了可能的误差, 但无法从根本上做到完全消除误差。并且芯片在实际工作环境中, 仍会受到温度和工作电压等诸多环境因素的影响, 高分辨力的 TDC 还需考虑抑制时钟的抖动。可以结合延时锁定环路等闭环结构进行相位的精确补偿与时钟抖动抑制。

表 1 性能参数对比

Table 1 Performance comparison

option	ref.[2]	ref.[9]	ref.[10]	ref.[11]	this work
type	cyclic	Vernier	cyclic	Vernier	pipeline
process/ $\mu\text{m}$	0.18	0.35	0.35	0.35	0.35
output width	6	8	15	15	9
input range/ns	0-3.5	0-5.6	0-0.1	0-160	0-6.11
resolution/ps	3.00	22.70	0.01	17.20	13.10
conversion rate/(MSa/s)	16.00	5.00	6.67	3.00	50.00

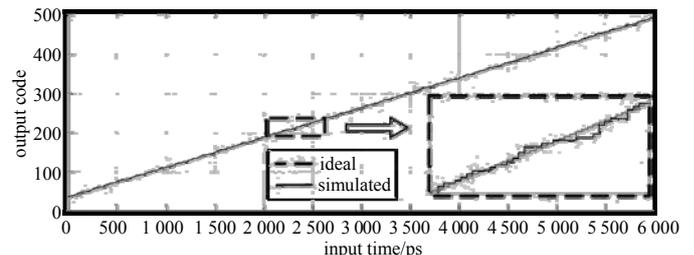


Fig.8 Simulated transfer-curve of TDC

图 8 整体 TDC 传输特性仿真曲线

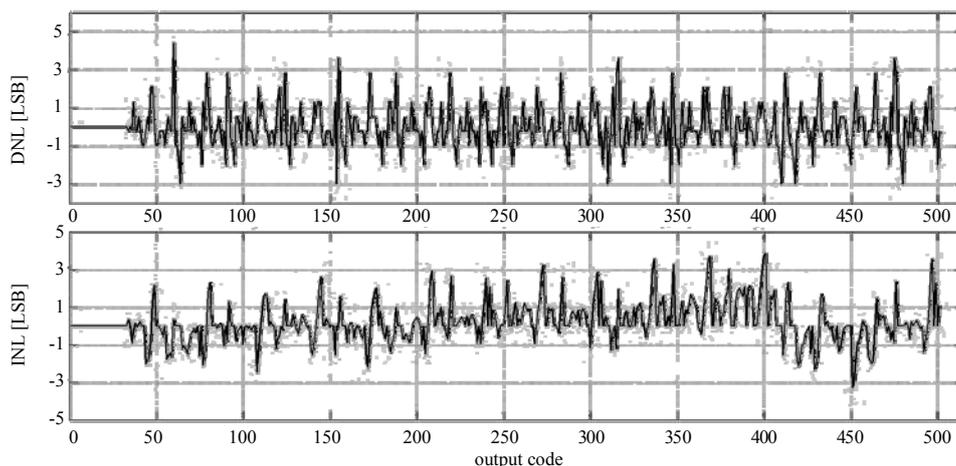


Fig.9 Simulation results of DNL and INL

图 9 TDC DNL 与 INL 仿真结果

### 4 结论

本文基于时间寄存器结构提出一种新型的边沿对准时间放大器, 通过三级门控延时链加边沿合成器的结构实现对输入脉宽准确的 4 倍放大, 相比于传统基于脉冲序列放大器的流水线 TDC, 有效提高时间数字转换速率

与精确度。在 0.35  $\mu\text{m}$  标准 CMOS 工艺下设计, 仿真结果显示输入动态范围为 6.11 ns, 最小分辨力为 13.1 ps, 最高采样率为 50 MSamples/s。本文所采用的传统流水线 TDC 结构线性度指标 DNL 与 INL 仍有较大的提升空间, 未来可以结合延时锁定环路等闭环结构进行相位的精确补偿与时钟抖动抑制, 进一步开展提高 TDC 线性度的研究, 并将其应用于高精度的时间测量仪器<sup>[12]</sup>中。

#### 参考文献:

- [ 1 ] CHENG Zeng, DEEN M J, PENG Hao. A low-power gateable Vernier ring oscillator time-to-digital converter for biomedical imaging applications[J]. IEEE Transactions on Biomedical Circuits and Systems, 2016,10(2):445-454.
- [ 2 ] SEO Y H, LEE S K, SIM J Y. A 1-GHz digital PLL with a 3-ps resolution floating-point-number TDC in a 0.18- $\mu\text{m}$  CMOS[J]. IEEE Transactions on Circuits and System-II Express Briefs, 2011,58(2):70-74.
- [ 3 ] DUDEK P, SZCZEPANSKI S, HATFIELD J V. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line[J]. IEEE Journal of Solid-State Circuits, 2000,35(2):240-247.
- [ 4 ] LISCIDINI A, VERCESI L, CASTELLO R. Time to digital converter based on a 2-dimensions Vernier architecture[C]// IEEE Custom Integrated Circuits Conference. Rome, Italy: IEEE, 2009:45-48.
- [ 5 ] SEO Y H, KIM J S, PARK H J, et al. A 1.25 ps resolution 8b cyclic TDC in 0.13  $\mu\text{m}$  CMOS[J]. IEEE Journal of Solid-State Circuits, 2012,47(3):736-743.
- [ 6 ] PEKKA K, JUHA K. A wide range 4.2 ps(rms) precision CMOS TDC with cyclic interpolators based on switched-frequency ring oscillators[J]. IEEE Transactions on Circuits and System-I Regular Papers, 2015,62(12):2795-2805.
- [ 7 ] KIM K S, YU W S, CHO S H. A 9 bit 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register[J]. IEEE Journal of Solid-State Circuits, 2014,49(4):1007-1016.
- [ 8 ] LEE M, ABIDI A A. A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifier a time residue[J]. IEEE Journal of Solid-State Circuits, 2008,43(4):769-777.
- [ 9 ] LI S, CHRISTOPHER D S. Compact algorithmic time-to-digital converter[J]. Electronics Letters, 2015,51(3):213-215.
- [ 10 ] XING N, SHIN W K, JEONG D K, et al. High-resolution time-to-digital converter utilizing fractional difference conversion scheme[J]. Electronics Letters, 2010,46(6):398-400.
- [ 11 ] MARKOVIC B, TISA S, VILLA F, et al. A high-linearity 17 ps precision time-to-digital converter based on a single-stage Vernier delay loop fine interpolation[J]. IEEE Transactions on Circuits and System-I Regular Papers, 2013,60(3):557-569.
- [ 12 ] 叶超, 冯莉, 欧阳艳晶. 基于 FPGA 的精密时间间隔测量仪设计[J]. 太赫兹科学与电子信息学报, 2009,7(2):159-163. (YE Chao, FENG Li, OUYANG Yanjing. A design for the precise time-interval measuring instrument based on FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2009,7(2):159-163.)

#### 作者简介:



魏 星(1991-), 男, 湖北省洪湖市人, 在读博士研究生, 主要研究方向为大规模数字集成电路设计. email: weixing13@mails.ucas.ac.cn.

陈柱佳(1984-), 男, 广东省惠州市人, 博士, 助理研究员, 主要研究方向为高速数字模拟混合集成电路设计.

李 威(1983-), 女, 黑龙江省大庆市人, 博士, 副研究员, 主要研究方向为可编程芯片结构设计.

黄志洪(1983-), 男, 福建省莆田市人, 博士, 助理研究员, 主要研究方向为可编程逻辑结构设计、嵌入式存储器通道结构.

杨海钢(1960-), 男, 上海市人, 博士, 研究员/教授, 博士生导师, 主要研究方向为高性能模拟、数模混合片上系统(SoC)设计技术, 以及高性能超大规模集成电路芯片设计技术等.