

文章编号: 2095-4980(2018)02-0352-05

## 低功耗浮点 FFT 处理器的设计

杨琳琳, 王新胜, 王 静\*

(哈尔滨工业大学 信息与电气工程学院, 山东 威海 264209)

**摘 要:** 介绍了一种基于现场可编程门阵列(FPGA)的低功耗可配置浮点快速傅里叶变换(FFT)处理器的设计, 可进行 4 点、16 点、64 点以及 256 点运算。采用按频率抽取的基-4 算法和基于存储器的单蝶形结构。对蝶形运算单元进行优化, 减少乘法器的数目, 降低了功耗。存储单元采用乒乓存储结构, 提高了数据的吞吐率。同时, 采用浮点运算提高了处理器的运算精确度。该处理器采用中芯国际(SMIC)0.18  $\mu\text{m}$  工艺库进行综合, 功耗为 0.82 mW/MHz, 并在 ACX1329-CSG324 FPGA 上实现。

**关键词:** FFT 处理器; 浮点运算; 低功耗

**中图分类号:** TN911.72

**文献标志码:** A

**doi:** 10.11805/TKYDA201802.0352

## Design of a low power floating point FFT processor

YANG Linlin, WANG Xinsheng, WANG Jing\*

(School of Information and Electrical Engineering, Harbin Institute of Technology, Weihai Shandong 264209, China)

**Abstract:** A low power, configurable and floating-point Fast Fourier Transform(FFT) processor based on Field Programmable Gate Array(FPGA) is introduced. It can operate at 4,16,64 and 256 points. Radix-4 algorithm based on frequency extraction and single butterfly structures based on memory are utilized. Butterfly operation unit is optimized by reducing the number of multipliers, and the power consumption is reduced. The memory adopts the ping-pong storage structure, which improves the data throughput rate. The use of floating-point operations improves the computing accuracy of the processor. The design of processor is synthesized by using Semiconductor Manufacturing International Corporation(SMIC)0.18  $\mu\text{m}$  process library, and its power consumption is 0.62 mW/MHz. It is implemented on the ACX1329-CSG324 FPGA.

**Keywords:** Fast Fourier Transform processor; float-point operation; low power

随着电子技术和工艺的发展, 数字信号处理技术广泛应用于频谱分析、图像处理、生物医学、雷达声测、滤波、无线及有线通信系统等<sup>[1]</sup>。1965 年, 快速傅里叶变换(FFT)的提出改变了傅里叶变换的地位, 使其成为数字信号处理中最基本的计算技术。

由于 FFT 的应用价值, 已有很多学者对其进行了研究。例如, 刘朝阵、韩月秋等对 FFT 进行了研究; 党向东等也对用 FPGA 实现 FFT 进行了研究, 其设计的 FFT 处理器完成 256 点计算需要 261  $\mu\text{s}$ ; 李成诗等利用坐标旋转数字计算(Coordinate Rotation Digital Computer, CORDIC)算法实现实时定点的 FFT, 针对 256 点 24 bit 数据进行运算, 完成一次运算约为 12  $\mu\text{s}$ ; 王琳利用六级流水线设计 128,256,512,1024 点 FFT 等<sup>[2]</sup>, 可以看出大多数设计都只能进行一种点数的计算, 且是针对定点数据的, 精确度不高。

在一些便携式设备中, 功耗也成为一个问题<sup>[3]</sup>, 基于此, 本文设计并实现了一种基于 FPGA 的低功耗可配置的浮点 FFT 处理器。本文采用了基-4 算法和基于存储器的单蝶形结构, 来完成可配置 32 bit 浮点 FFT 处理器的设计。其中存储单元采用 2 个双端口静态随机存储器(Static Random Access Memory, SRAM)实现乒乓结构, 提高数据的吞吐率。在蝶形运算单元中, 对蝶形结构进行优化, 减少乘法器的数目, 从而降低功耗。在乘法器的设计中, 采用改进 Booth(布斯)算法和 Wallace 树结构, 减少了部分积的个数, 加快了乘法的运算, 进一步降低了功耗。同时, 采用浮点运算可以保证得到高精度的计算结果。

收稿日期: 2017-01-25; 修回日期: 2017-02-20

基金项目: 中国博士后科学基金资助项目(2015M581447)

\*通信作者: 王 静 email:jlsdwj@yahoo.com.cn

## 1 FFT 处理器结构

### 1.1 FFT 介绍

目前 FFT 的实现可采用 3 种方式:专用集成电路(Application Specific Integrated Circuit, ASIC)、数字信号处理器(Digital Signal Processing, DSP)和现场可编程逻辑门阵列(FPGA)<sup>[4]</sup>。根据蝶形运算单元的结构,FFT 主要分为顺序(单蝶形)结构、并列结构、级联结构和阵列结构,不同结构的介绍及特点如表 1 所示<sup>[5]</sup>;常用的 FFT 算法有基 2、基 4 和分裂基等。通过不同结构和算法的组合,可以组成合适的架构,来满足设计的要求和标准。由于本文所做的 FFT 处理器是针对一些便携式设备的,要考虑功耗的因素,对速度要求不是特别高,所以综合考虑,采用单蝶形结构和基-4 算法来实现。

表 1 FFT 整体结构及特点

Table1 Structure and characteristics of FFT

structure	introduction	advantages	disadvantages
sequential structure	The sequential structure contains only one butterfly computing unit. Entire FFT operation is completed by repeating this one FFT butterfly unit.	the lowest power consumption simple structure	the slowest operation
cascade structure	Each stage of the FFT operation uses a separate butterfly computing unit.	low power consumption neat structure	slower operation
parallel structure	Each stage of the FFT operation uses the same N/2 separate butterfly computing units	faster	power consumption and area is relatively high
array structure	full parallel structure, all butterfly computing units are operated at the same time.	fastest	power consumption and area is highest

### 1.2 FFT 整体结构

FFT 处理器的整体结构如图 1 所示,主要包括 SRAM、只读存储器(Read-Only Memory, ROM)、蝶形运算单元、地址产生单元以及控制单元。对于任意点数的 FFT 运算,大概可以分为 3 个阶段:数据输入阶段、计算阶段和结果输出阶段。

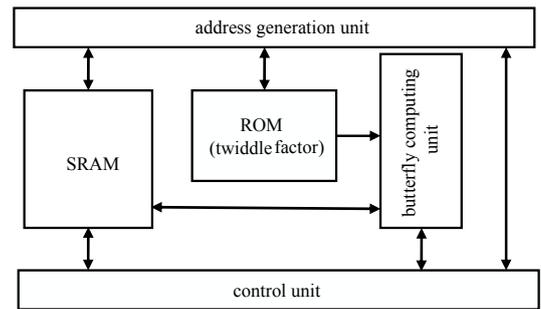


Fig.1 Overall structure of FFT processor  
图 1 FFT 处理器的整体结构

## 2 设计实现

本文所设计的 FFT 处理器的各个端口的功能如表 2 所示。

### 2.1 蝶形运算单元

蝶形运算单元是 FFT 处理器的重要单元,也是 FFT 结构的关键路径,其功耗占整个处理器的很大部分,而在运算单元中,主要是由浮点乘法器和浮点加法器组成。在硬件电路中,由于乘法器的功耗远远大于加法器的功耗,所以对蝶形运算进行优化,以减少乘法器的数量,同时,对乘法器的结构进行优化,从而进一步降低功耗。

基 4 蝶形运算单元有 4 个复数输入,设为 A,B,C,D,优化后的结构见图 2。其中 W 为旋转因子;N 为点数。则 1 次基-4 蝶形运算只需要 1 次复数乘法。假设 2 个复数分别为 X,Y,则每次复数乘法的计算如式(1)所示:

$$X \times Y = (X_r Y_r - X_i Y_i) + j(X_r Y_i + X_i Y_r) \quad (1)$$

由式(1)可以看出 1 次复数乘法需要 4 次实数乘法和 2 次实数加/减法实现,对式(1)进行改变<sup>[6]</sup>,如式(2)所示:

$$X \times Y = [X_i(Y_r - Y_i) + Y_r(X_r - X_i)] + j[X_r(Y_r + Y_i) - Y_r(X_r - X_i)] \quad (2)$$

则一次复数乘法需要 3 次实数乘法和 5 次实数加/减法实现,进一步减少了乘法器的数目,从而降低功耗。

表 2 端口说明

Table2 Description of the ports

name	bit wide	port description
clk	1	clock input signal
rst_n	1	reset signal, active low
sel	2	point selection signal
start	1	start signal
datain/datai	32	input data
flag	1	calculate the completion signal
dataout/dataouti	32	output data

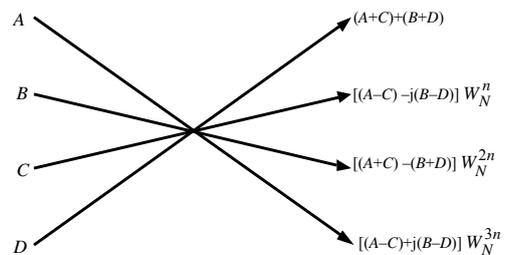


Fig.2 Butterfly processing structure  
图 2 蝶形运算机构

在本文中，乘法器的设计采用改进的 Booth 算法来实现，将部分积的个数减少一半，同时，采用新的符号扩展方法<sup>[6]</sup>，使符号只向前扩展 2 bit，能够有效地减少乘法器的资源消耗和功耗。进行浮点乘法时，主要是对尾数进行运算，共产生 13 个部分积，使用 4:2 压缩器和 3:2 压缩器组成的树形结构<sup>[7]</sup>对部分积进行压缩，加速乘法器的运算，Wallace 树结构如图 3 所示。

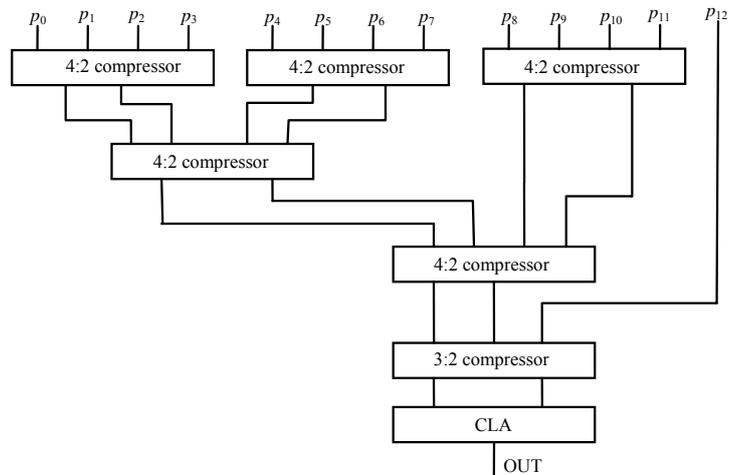


Fig.3 Wallace tree structure  
图 3 Wallace 树结构

### 2.2 存储单元

存储单元包括 SRAM 和只读存储器 (ROM)，其中 SRAM 用来存储 FFT 运算的输入输出数据及中间运算结果，ROM 用来存储计算所需要的旋转因子。由于 FFT 要处理的数据和中间数据均是复数形式，实部和虚部分开存储，而二者必须同时读入或者输出，因此，本文采用双端口 SRAM。为了保证计算精确度，本文要做的是 32 bit 单精确度浮点数的运算，SRAM 的位宽为 32 bit；最大可进行的点数是 256 点，SRAM 的深度为 256。

本文中设计的存储单元采用乒乓存储结构，以此提高数据的吞吐率，如图 4 所示。首先将数据放入存储单元 A 中，取出数据进入蝶形单元进行运算，将运算结果放入单元 B 中，若计算结束，则直接从 B 将结果输出；若计算未结束，则从 B 中读取数据进入蝶形单元进行运算，结果放入 A 中，以此种方式循环进行直至计算结束，将结果输出。

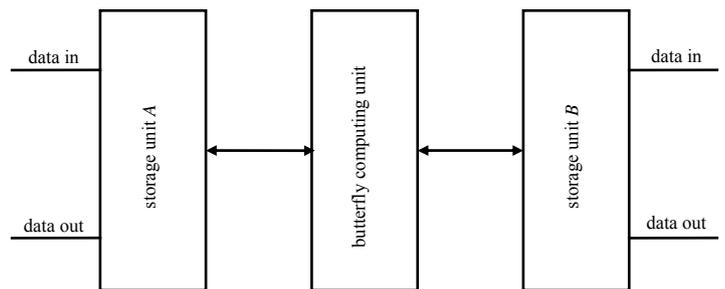


Fig.4 Ping pong storage structure  
图 4 乒乓存储结构

获得旋转因子的方法有 2 种：实时生成和查表法。为了减少运算时间，本文采用查表法。通过 Matlab 事先计算出各种模式下所需要的旋转因子的值，依次存储在 ROM 中。同样，旋转因子也是复数，实部和虚部分开存储，这样使用同一个地址即可获得。旋转因子也是浮点数，所以 ROM 的宽度为 32 bit；根据 FFT 计算的规律可知 ROM 深度为 252。

本文中设计的存储单元采用乒乓存储结构，以此提高数据的吞吐率，如图 4 所示。首先将数据放入存储单元 A 中，取出数据进入蝶形单元进行运算，将运算结果放入单元 B 中，若计算结束，则直接从 B 将结果输出；若计算未结束，则从 B 中读取数据进入蝶形单元进行运算，结果放入 A 中，以此种方式循环进行直至计算结束，将结果输出。

### 2.3 地址产生单元

地址产生单元包括 4 个地址：读入输入数据的地址、读出输入数据的地址、输出数据的地址以及读出旋转因子的地址。本文中设计 2 个地址生成器，一个通过不同的控制信号可以实现读入输入数据的地址、读出输入数据的地址，以及输出数据的地址；另一个则通过不同的控制信号获得相应的旋转因子的地址。通过 FFT 运算的特点可知，要计算的数据是顺序输入的，而进行计算的数据是需要进行排序的<sup>[8]</sup>。研究其地址的规律，可知数据的读写地址是由各自点数的计数器顺序进行移位实现的，所以输入输出数据地址生成器是由计数器和移位器组成。

对于读取旋转因子的地址，由旋转因子的存储规律可知，16 点 FFT 需要地址 0~11 的数据；64 点第 1 级需要地址 12~59 的数据，第 2 级需要地址 0~11 的数据循环输出 4 次；256

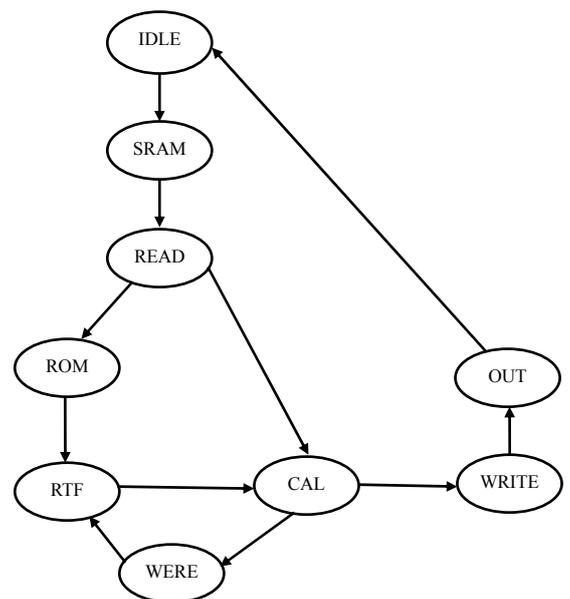


Fig.5 State transition diagram  
图 5 状态转换图

点 FFT 第 1 级需要地址 60~251 的数据, 第 2 级需要 12~59 的数据循环输出 4 次, 第 3 级需要地址 0~11 的数据循环输出 16 次, 因此, 旋转因子地址生成器通过一个可配置且可控制循环次数的计数器实现。

### 2.4 控制单元

控制单元是整个 FFT 处理器最重要的部分, 它作用于其他各个模块, 包括对存储单元、地址生成单元以及蝶形运算单元的控制。对于存储单元, 它产生读写控制信号; 对于地址生成单元, 它控制运算的级数和次数、产生数据的读写地址以及相应的旋转因子的地址; 对于蝶形运算单元, 它控制数据的输入和输出。

控制单元由一个有限状态机实现, 状态转换图如图 5 所示。当没有数据要进行处理时, 状态机一直处于 IDLE 状态; 当检测到开始信号 start 后, 状态机进入 SRAM 状态, 对 SRAM A 进行初始化, 将需要处理的数据顺序存入 A 中; 然后进入 READ 状态, 读取需要进行运算的第 1 组数据, 若为 4 点则随后进入 CAL 状态, 否则进入 ROM 状态; ROM 状态产生所需旋转因子的地址; 紧接着进入 RTF 状态, 读取对应的旋转因子, 进入计算状态 CAL; 计算结束后, 若为最后一次计算, 则进入 WRITE 状态, 将计算结果写入存储单元即可, 若不是最后一次计算, 则进入 WERE 状态, 将计算结果放入存储单元, 同时读取下一组需要计算的数据; 所有运算结束, 则进入 OUT 状态, 将计算结果输出。在整个过程中, WERE 状态实现数据的流水操作, 在不增加资源消耗的情况下, 缩短运算时间, 提高速度, 具体操作如图 6 所示。

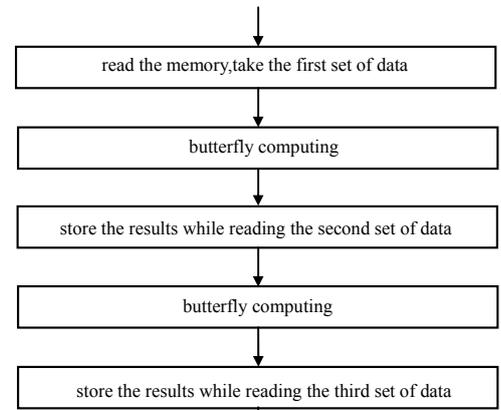


Fig.6 Flow operation  
图 6 流水操作

### 3 仿真结果

本文采用 Verilog HDL 编写代码, 用 Modelsim 仿真工具进行功能仿真, 并用 Matlab 的 fft 函数对结果进行验证, 最终在 Xilinx 公司 ARTIX-7 系列 ACX1329-CSG324 FPGA 上实现, 资源占用情况如表 3 所示, 与文献[9]对比可知, 本文的设计消耗资源较少。取信号为  $100 \times \sin(2 \times \pi \times t)$ , 在 100 Hz 下做 256 点 FFT 运算, Matlab 和 Modelsim 的仿真结果分别如图 7、图 8 所示, 经过比较表明计算结果正确, 即系统整体功能正确。在系统时钟为 100 MHz 时, 完成 256 点需要 20  $\mu$ s, 功耗为 0.82 mW/MHz, 满足应用要求, 功耗对比如表 4 所示。

表 3 资源占用情况

Table3 Number of resource occupancy

main resources on chip	percentage/%
FF	1
I/O	64
LUT	55
BRAM	3
BUFG	13

表 4 功耗对比

Table4 Comparison of power consumption

design	process/ $\mu$ m	power consumption/(mW/MHz)
this paper	0.18	0.820
literature[10]	0.18	1.305
literature[11]	0.13	1.300
literature[12]	0.13	0.560

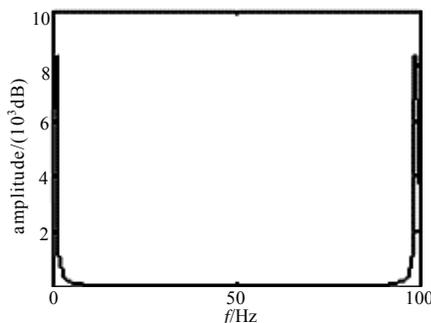


Fig.7 Simulation results of Matlab  
图 7 Matlab 仿真结果

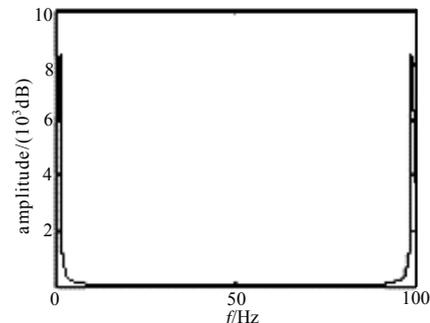


Fig.8 Simulation results of Modelsim  
图 8 Modelsim 仿真结果

### 4 结论

本文所设计的处理器能够根据需求实现 4 点、16 点、64 点、256 点的运算, 实现了功耗低、可配置的设计, 运算速度也符合应用要求, 可应用在一些便携式设备中对信号进行处理和分析。

## 参考文献:

- [1] 杜兆胜. 基于 FPGA 的 FFT 处理器设计与实现[J]. 信息通信, 2016(3):100–101. (DU Zhaosheng. Research on the detection of snow from images based on FPGA[J]. Information Communications, 2016(3):100–101.)
- [2] 王琳. 基于 FPGA 的低功耗可变精确度通用 FFT 处理器设计[D]. 济南:山东大学, 2012. (WANG Lin. Design of lower power consumption and variable precision general FFT processor based on FPGA[D]. Jinan,China:Shandong University, 2012.)
- [3] 晏敏,李杰,章兢,等. 低功耗可配置 FFT 处理器的 ASIC 设计[J]. 微电子学, 2010(6):787–791. (YAN Min,LI Jie,ZHANG Jing, et al. ASIC design of low power and reconfigurable FFT processor[J]. Microelectronics, 2010(6):787–791.)
- [4] 何健标. 基于 FPGA 的可配置 FFT 处理器[J]. 舰船电子工程, 2016(5):121–123. (HE Jianbiao. Configurable FFT processor based on FPGA[J]. Ship Electronic Engineering, 2016(5):121–123.)
- [5] 李杰. 低功耗可扩展 FFT 专用集成电路的设计[D]. 长沙:湖南大学, 2011. (LI Jie. ASIC design of low power and reconfigurable FFT processor[D]. Changsha,China:Hunan University, 2011.)
- [6] 张海南,龚仁喜,刘丰,等. 基于 FPGA 的高速流水线浮点乘法器设计[J]. 微计算机信息, 2009(5):283–284. (ZHANG Hainan GONG Renxi,LIU Feng,et al. The design of high speed pipeline floating point multiplier based on FPGA[J]. Microcomputer Information, 2009(5):283–284.)
- [7] SOPHY P A,SRINIVASAN R,RAJA J,et al. Analysis and design of low power radix-4 FFT processor using pipelined architecture[C]// International Conference on Computing & Communications Technologies. [S.l.]:SSN College of Engineering, 2015:227–232.
- [8] M SS,GURUMKALA T,SUNDARAM A,et al. Design of low power FFT processor using multiplierless architecture[J]. Journal of Engineering and Applied Sciences, 2015,10(11):4937–4941.
- [9] 赵忠武,陈禾,韩月秋. 基于 FPGA 的 32 位浮点 FFT 处理器的设计[J]. 电讯技术, 2003(6):73–77. (ZHAO Zhongwu, CHEN He,HAN Yueqiu. FPGA-based design of a 32 bit floating-point FFT processor[J]. Telecommunications Technology, 2003(6):73–77.)
- [10] ZHAO Y T,ERDOGAN A T,ARSLAN T. A low-power and domain-specific reconfigurable FFT fabric for system-on-chip applications[C]// IEEE Int Paral and Distrib Process Symp. Denver,USA:[s.n.], 2005:4–7.
- [11] AHMADINIA A,AHMAD B,ARSLAN T. System level modeling of reconfigurable FFT architecture for system-on-chip design[C]// Adaptive Hardware and Systems. Edinburgh,UK:[s.n.], 2007:169–175.
- [12] WU G D,LIU Y M. Radix-22 based low power reconfigurable FFT processor[C]// Int. Symp. Indus. Elec. Seoul,Korea:[s.n.], 2009:1134–1138.

## 作者简介:



杨琳琳(1992–), 女, 济南市人, 在读硕士研究生, 主要研究方向为基于 FPGA 的数字电路设计.

王新胜(1978–), 男, 济南市人, 博士, 副教授, 主要研究方向为超大规模集成电路设计.

王 静(1963–), 女, 长春市人, 博士, 副教授, 主要研究方向为有机发光二极管研究.  
email:jlsdwj@yahoo.com.cn.