

文章编号: 2095-4980(2018)06-1113-07

基于模拟总线接收端的 CMOS 增益可编程 LNA

方康明^{1,2}, 尹 韬^{*1,2}, 唐林怀^{1,2}, 陈振雄^{1,2}, 高同强^{1,2}, 杨海钢^{1,2}

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100190)

摘 要: 面向模拟总线接收器应用, 设计实现了一款 CMOS 增益可编程低噪声放大器(LNA)。内置高/中/低增益3个信号放大通路, 以满足不同信号幅度情况下的模拟总线接收时的噪声、线性度与输入阻抗等性能需求。提出电容补偿漏电流方法提高高增益信号通路放大器的输入阻抗, 同时采用带宽拓展负载方法降低信号相移, 解决放大器相移造成电流补偿能力降低的问题。中/低增益信号通路放大器采用差分多门控晶体管(DMGTR)和负反馈技术提高放大器线性度。放大器基于 0.18 μm CMOS 工艺设计, 在 1~33 MHz 频段, 增益范围为 -14.3~25 dB, 输入阻抗大于 2.4 k Ω , 输入三阶交调点(IIP3)为 -1.6 dBm(最大为 20.7 dBm), 在 25 dB 增益下等效输入噪声为 1.79 nV/ $\sqrt{\text{Hz}}$ @1 MHz ~ 0.87 nV/ $\sqrt{\text{Hz}}$ @33 MHz, 1.8 V 电源电压下工作电流为 6.5 mA。

关键词: 低噪声放大器; 输入阻抗提高; 差分多门控晶体管; 输入三阶交调点

中图分类号: TN432

文献标志码: A

doi: 10.11805/TKYDA201806.1113

A CMOS programmable gain Low Noise Amplifier based on analog bus receiver

FANG Kangming^{1,2}, YIN Tao^{*1,2}, TANG Linhuai^{1,2}, CHEN Zhenxiong^{1,2}, GAO Tongqiang^{1,2}, YANG Haigang^{1,2}

(1.Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2.University of the Chinese Academy of Sciences, Beijing 100190, China)

Abstract: A CMOS programmable gain Low Noise Amplifier(LNA) is implemented for analog bus receiver applications. There are high/medium/low gain channels, which are applied to meet noise, linearity and input impedance and other performance requirements in analog bus reception in condition of different input signal amplitude. The technique is adopted to compensate the input leakage current of LNA via a capacitor, which yields a real-time high-input impedance. The bandwidth-extension loads is adopted to reduce the phase shift, which solves the current compensating faulty because of the phase shift. An improvement of linearity in medium/low gain channels is achieved by applying Differential Multiple Gated Transistor(DMGTR) and negative feedback technique. The amplifier is designed using 0.18 μm CMOS technology. The simulation result exhibits a gain of -14.3 dB to -25 dB, an input impedance higher than 2.4 k Ω , an -1.6 dBm Input Third-order Intercept Point(IIP3)(maximum 20.7 dBm), an input-referred noise voltage of 1.79 nV/ $\sqrt{\text{Hz}}$ @1 MHz - 0.87 nV/ $\sqrt{\text{Hz}}$ @33 MHz in the 25 dB gain mode and an power consumption of 6.5 mA at 1.8 V at frequencies from 1 MHz to 33 MHz.

Keywords: Low Noise Amplifier; high-input impedance; Differential Multiple Gated Transistor; Input Third-order Intercept Point

随着工业生产自动化的快速发展, 工业控制中对总线传输的需求越来越高。工业控制大都采用数字总线传输信号, 但是数字总线存在一些缺点, 如 CAN 总线带宽窄、传输距离短、总线上可搭载的节点数只能达到 100 个。工业以太网采用的带有冲突检测的载波侦听多路访问协议(Carrier Sense Multiple Access with Collision Detection, CSMA/CD), 无法保证数据传输的实时性要求, 是一种非确定性的网络系统。模拟工业总线传输方法有潜力满足工业总线的需求。模拟前端集成电路主要包括低噪声放大器(LNA)、带宽滤波器和可编程增益控制放大器等。

收稿日期: 2017-11-26; 修回日期: 2018-01-05

基金项目: 国家自然科学基金资助项目(61474120); 国家重点基础研究发展计划资助项目(2014CB744600); 北京市科技重大专项资助项目(Z171100000117019)

*通信作者: 尹 韬 email:yint@mail.ie.ac.cn

由于在模拟总线传输中涉及到多载点的问题,存在单发射多接收的工作模式等,所以发射与接收并非是一对一的情形,接收模块不需采用片内阻抗匹配 $50\ \Omega$ 的方法^[1],也不需使用变压器和电容实现固定阻抗的宽带阻抗匹配^[2],而是将接收模块的输入阻抗设计成高阻,在片外实现可控阻抗匹配,并根据此接收机希望分配的功率决定匹配阻值。在模拟总线接收前端的 LNA 模块中,设计难点在于保证 LNA 输出信号的高信噪比,即在小信号输入时主要关注 LNA 模块引入的噪声,而在大信号输入时主要关注 LNA 模块的非线性失真,模拟总线中最大的信号能达 $0\ \text{dBm}$,此时主要是非线性失真影响信噪比。同时,模拟总线应用需要将 LNA 设计为高输入阻抗,要求输入寄生电容小,与 LNA 的低噪声要求相矛盾。

为解决线性度与噪声问题,文献[3]提出采用 Multi tanh 电路结构提高跨导线性度的方法,但是因为电路结构不对称,导致 2 个尾电流源的噪声会耦合到输入端,使噪声性能恶化;文献[4]提出采用线性区的管子产生正的 g_m 三阶导数抵消掉输入管负的 g_m 三阶导数的方法提高线性度,但是此方法过多引入额外的功耗;文献[5]提出采用差分负反馈提高输入三阶交调点(IIP3)的方法,但是这种方法只能提高窄带线性度;文献[6-8]中提出采用主放大器与辅助放大器 g_m 三阶导数极性相反来消除非线性的方法,但线性度范围有限,同时辅助放大器也会引入额外的寄生电容。

为提高放大器的输入阻抗,文献[9]提出采用背栅电流补偿的方法提高输入阻抗,此方法能够避免因为工艺等变化造成补偿缺陷,但是此方法需要放大器闭环使用,不适用于开环 LNA 结构;文献[10]提出采用有源电感与输入寄生电容谐振,从而提高高频输入阻抗的方法,但不适用于宽频带;文献[3]采用片外电感与数字选频实现宽频带谐振,从而实现高输入阻抗,但这种方法不适用于连续频率的模拟总线信号。为了实现增益控制,文献[11]采用电流导引与改变负载技术实现增益控制,但是电流导引技术会引入额外的共栅管子噪声。

本文提出 1 个用于模拟总线接收器的 CMOS PGLNA 电路,根据输入信号大小不同对噪声、线性度等性能指标要求不同,采用 3 个增益路径处理。在高增益路径采用电流补偿技术和带宽拓展技术提高 LNA 的输入阻抗,避免恶化高增益通路的噪声性能。而在中、低增益路径采用差分多门控晶体管(DMGTR)和负反馈技术提高大信号输入时 LNA 的线性度,同时将高增益路径的放大器模块截止,以保证高输入阻抗的要求。

1 模拟前端电路结构

在模拟总线传输中,总线所处的环境是复杂的,可能会存在较大的电磁干扰(包括工频干扰)和大电压(雷击)的出现。所以 LNA 接口前端需要接口电路来抑制电磁干扰和保护芯片。如图 1 所示,共模扼流圈可以传输差模信号,而对于高频共模噪声则呈现很大的阻抗,抑制共模干扰。变压器主要用于电平耦合,提高芯片的抗干扰能力。当双绞线上出现大电压(如雷击)可能损坏芯片时,还对芯片起到保护作用。二阶的高通滤波器抑制 $50\ \text{Hz}$ 工频干扰^[12]。图 1 中 R 采用电阻和开关实现可变电阻,其中 R 的取值由此处要求接收功率大小决定,以此实现阻抗匹配。

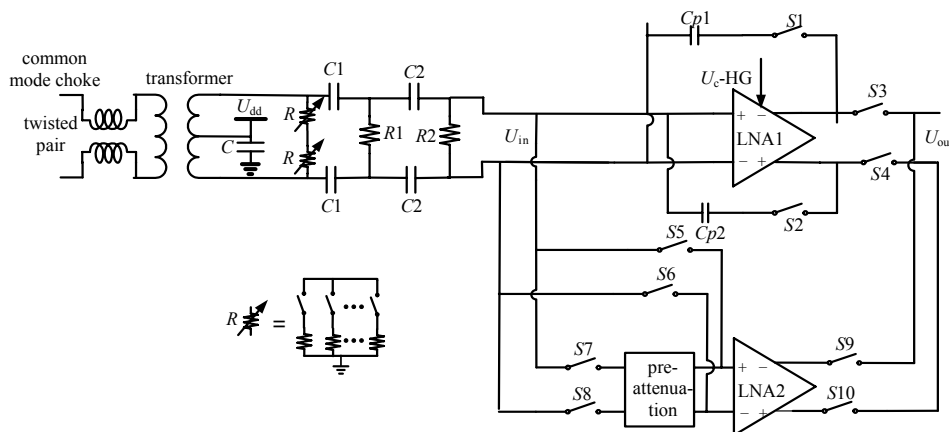


Fig.1 Circuit structure of LNA
图 1 低噪声放大器电路结构

考虑到 LNA 对噪声、线性度、输入阻抗等指标的矛盾,将整体 LNA 分为 2 个通路:高增益通路采用放大器 LNA1,要求最大增益和最小等效输入噪声,所以其输入管尺寸大,输入电容大,通路中采用正反馈电流补偿技术提高输入阻抗,并采用伪电感负载技术以减小高频相移,提高电流补偿效果;中等增益和低增益通路对线性度要求高,使用放大器 LNA2,采用 DMGTR 与负反馈技术提高线性度,对低增益通路还增加了预衰减电路,避免

信号超过输入摆幅而使管子进入线性区,造成大失真。并且,当中、低增益通路工作时,LNA1处于截止状态。由于LNA2噪声性能要求相对较低,因此输入管尺寸相对较小,未采用正反馈电流补偿来提高输入阻抗;同样,LNA1用于微弱输入信号情况,对线性度要求较低,而且DMGTR技术中亚阈值管子会轻微恶化 $1/f$ 噪声,因此未采用DMGTR技术。

2 LNA 设计

2.1 正反馈电流补偿提高输入阻抗

模拟总线LNA要求输入阻抗尽可能高,便于片外实现阻抗匹配调节,这一点与无线射频接收机不一样。高增益通路放大器,输入信号微弱,需要采用低噪声设计,显著增大放大器的输入晶体管尺寸,因此输入寄生电容大,降低了高频下的输入阻抗,本文提出在LNA中采用正反馈电流补偿来提高输入阻抗的方法^[13]。原理如图2(a)所示,流经 C_{pfb} 的反馈电流补偿掉流经 C_p 的一部分电路,使得输入电流 I_{in} 变小了。隔直电容 C_{hfb} 往往比较大,用片外电容实现。

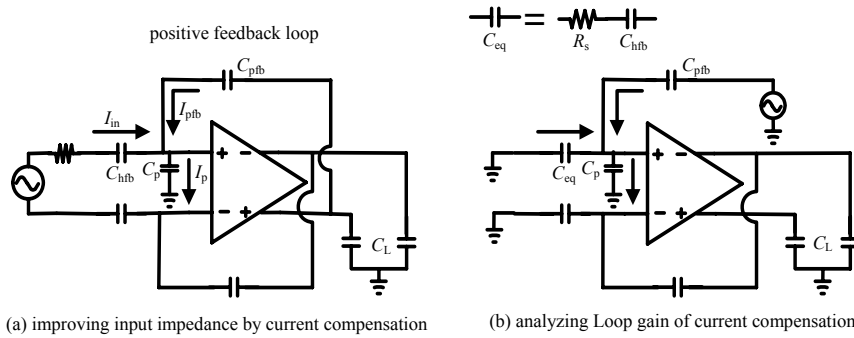


Fig.2 Improving input impedance by current compensation and analyzing loop gain of current compensation
图2 电流补偿提高输入阻抗及环路增益分析

由图2(a)分析可得:

$$C_{pfb} = \frac{C_p}{(A-1)} \quad (1)$$

式中 A 表示LNA的增益。当满足上述条件时, $I_{in}=0$,理想能达到无穷大的输入阻抗。由基尔霍夫电压定律解得:

$$\frac{U_{out}}{U_{in}} = \frac{A \times C_{hfb}}{C_{hfb} + C_{pfb} + C_p - A \times C_{pfb}} \approx \frac{A \times C_{hfb}}{C_{hfb}} = A \quad (2)$$

即使用了正反馈后,不会影响放大器的增益。稳定性分析如图2(b)所示,环路增益近似可求(忽略负载效应)。

$$\frac{U_{out}}{U_t} = \frac{1}{\frac{1}{sC_{pfb}} + \frac{1}{s(C_{eq} + C_p)}} \times \frac{1}{s(C_{eq} + C_p)} \times A = \frac{C_{pfb}}{C_{eq} + C_p + C_{pfb}} \times A < 1 \quad (3)$$

由于信号源阻抗会影响输入的等效隔直电容,所以除了要求 C_{hfb} 大以外,还要求 C_{pfb} 要略微小于 $C_p/(A-1)$,以保证正反馈环路增益远远小于1,即图1的LNA接口电路中 $C_{hfb}=C_1||C_2$ 足够大,以保证不发生自激振荡。

另外,对于输入隔直电容的取值,噪声也是限制因素。因为输出噪声会通过反馈电容耦合回输入端,而这个耦合系数近似为反馈电容和隔直电容的分压,所以要求隔直电容大,才能保证反馈不会影响等效输入噪声。本设计中取值分别为 $C_{hfb}>1$ nF, $C_{pfb}=400$ fF。

2.2 有源电感减小LNA工作频段内相移

正反馈电流补偿方法用于提高接近33 MHz高频段的输入阻抗。由于LNA自身的相移,在高频段,如33 MHz时反馈电流 I_{pfb} 与 I_p 存在相移,导致电流

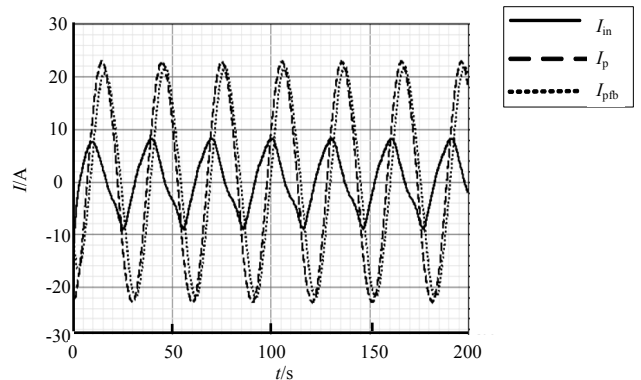


Fig.3 Phase shift deteriorates current compensation
图3 相移导致电流补偿能力降低

补偿效果变差,如图 3 所示。因此,本文提出利用带宽拓展来减小 33 MHz 相移的方法,原理如图 4(a)所示,在负载端加入有源电感后,幅频曲线就往右移动。 $Z_{out}=Z_0||Z_{m3}\cong Z_0^{[14]}$,对 Z_0 进行小信号分析可得:

$$Z_0 \cong \frac{1}{g_{m-M2}} \left(1 + \frac{s}{g_{m-M1}/C} \right) \quad (4)$$

Z_0 表现出电阻和电感的串联特性,在输出节点处体现出一个零点,拓展了带宽。有源电感电路中使用小 I_{bias} 电流,以使有源电感引入的额外噪声可忽略不计,如图 4(b)所示。

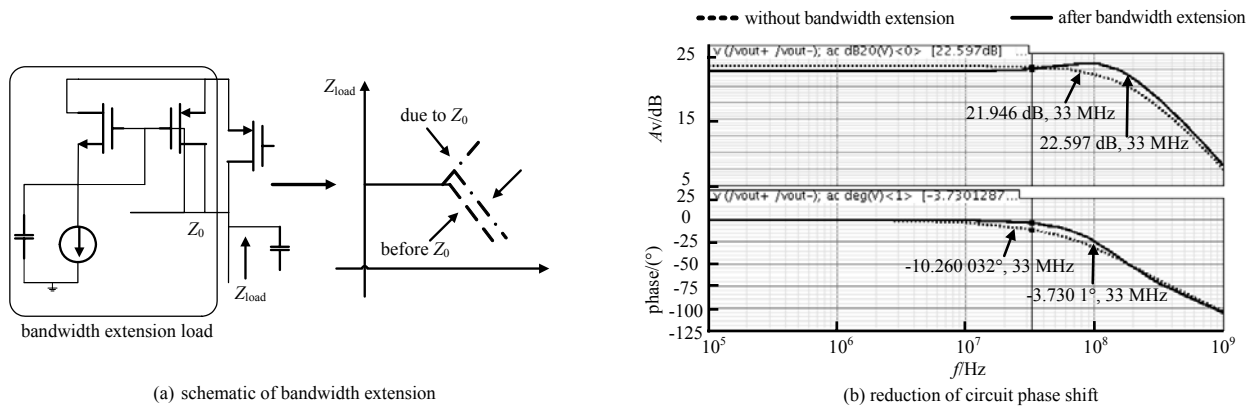


Fig.4 Schematic of bandwidth extension and reduction of circuit phase shift
图 4 带宽拓展原理与相移减小

2.3 差分多门控晶体管与负反馈

全差分放大器可以很好地抑制二次谐波,因此,本文重点抑制三次谐波失真。如图 5 所示,在信号通路中,采用 R_F 和 C_F (即 H 单元)构成具有高通特性的负反馈通路,目的是使信号的三阶失真项通过负反馈得到抑制^[5],而基频信号通不过。

全差分电路的 $IIP3$ 主要由负的 g_m'' 影响。同时,全差分电路的 g_m'' 并不会因为偏置电压的改变而变为正值。DMGTR 技术利用伪差分辅助电路产生的正的 g_m 三阶导数去补偿全差分电路本身的负的 g_m 三阶导数,从而实现好的三阶线性度^[6-7]。电路设计中希望辅助电路尽可能不恶化主电路的其他性能,如功耗、噪声等。

通过调整伪差分放大器的偏置电流和管子尺寸来补偿全差分放大器的非线性,如图 6(a)所示。当伪差分电路工作在强反型区时, g_m'' 与全差分电路一样为负值,但是通过改变偏置电压,使伪差分电路工作在近阈值区时,其 g_m'' 变成正值,如图 6(b)所示。

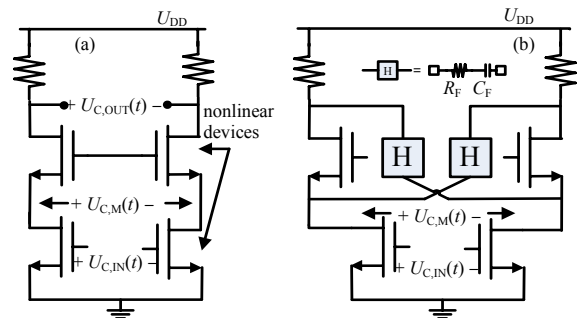


Fig.5 Improving IIP3 by applying different negative feedback
图 5 采用差分负反馈提高 IIP3

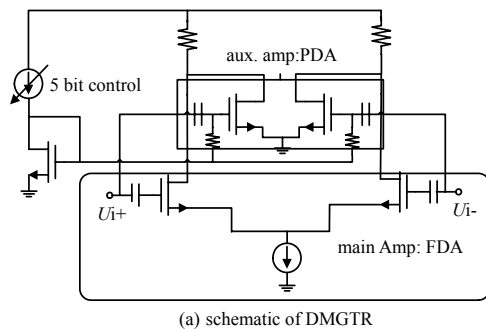


Fig.6 Schematic and linear range of DMGTR
图 6 DMGTR 的原理图和线性范围

本文用 5 个控制位来微调伪差分电路晶体管的偏置状态,以补偿工艺角和实际失配可能带来的性能恶化。由于伪差分电路工作在近阈值,引入的功耗较小。

2.4 噪声分析

LNA 噪声模型如图 7 所示,放大器采用电阻和 MOS 串联的负载结构,降低负载管噪声贡献,等效到输出的噪声电流为:

$$I_{n,load}^2 = \frac{4kT\gamma g_{m5}}{(1 + g_{m5}R_D)^2} + \frac{4kTR_D}{\left(R_D + \frac{1}{g_{m5}}\right)^2} \quad (5)$$

对比单管负载的 $I_n^2 = 4kT\gamma g_m$,一般取 $\gamma=2/3$,可以很容易证明 $I_n^2 > I_{n,load}^2$ 。增大 R_D 有利于降低噪声,但会消耗输出电压摆幅,所以设计中需综合考虑 R_D 取值,本文选取 $R_D=50 \Omega$ 。LNA 近似等效输入噪声为:

$$U_{n,in}^2 = 2 \times \left(\frac{4kT\gamma}{g_{m1}} + 4kT \frac{4kT\gamma g_{m5}}{g_{m1}^2 (1 + g_{m5}R_D)^2} + \frac{4kTR_D}{g_{m1}^2 \left(R_D + \frac{1}{g_{m5}}\right)^2} \right) \quad (6)$$

本文 LNA 的低噪声设计与高输入阻抗需求间存在折衷关系,LNA

主要噪声来自输入晶体管,所以低噪声设计应尽量增大输入管子 g_{m1} ,减小负载管子 g_{m5} ;同时由于 $1/f$ 噪声在 5 MHz 以下占很大比例,因此为降低 $1/f$ 噪声,输入管应尽量采用大尺寸,但增大输入管尺寸,会导致输入寄生电容增大,高频下的输入阻抗降低,即使有电流补偿,也无法达到输入阻抗需求,因此,需综合考虑噪声和输入阻抗要求进行优化设计。低噪声放大器中的高增益通路放大器 LNA1 和中低增益通路放大器 LNA2 的电路结构如图 8 所示,其中的共模反馈采用了补偿电容 C_c ,以生成一个左半平面的零点,提高共模反馈环路的相位裕度。

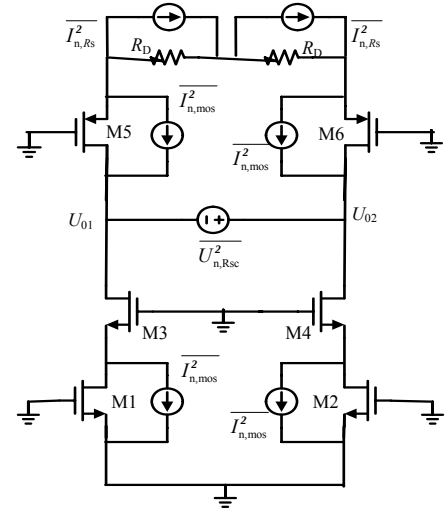
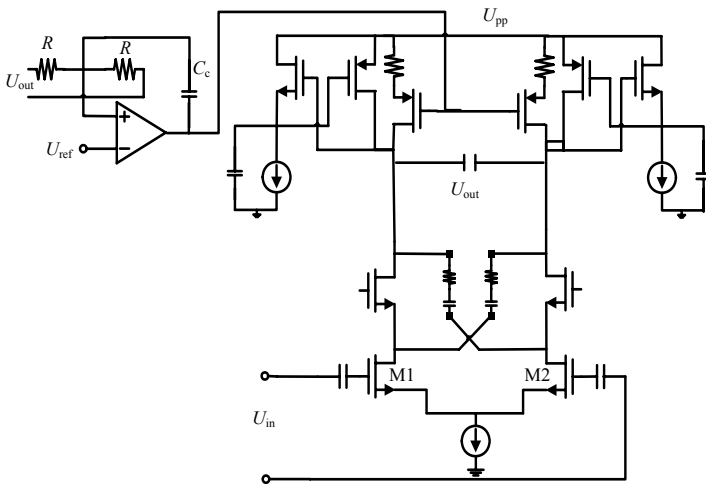
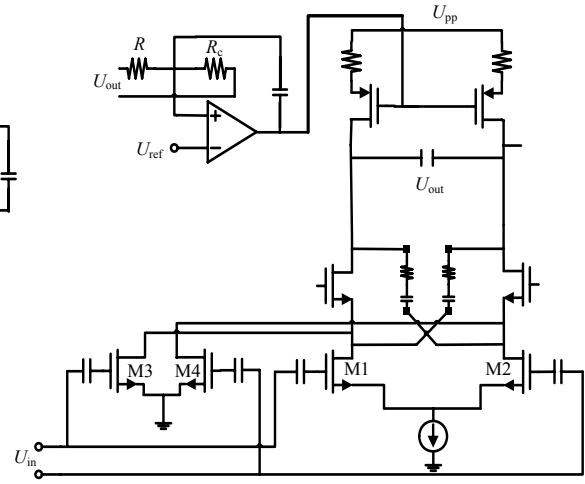


Fig.7 Basic noise model of LNA
图 7 LNA 的基本噪声模型



(a) circuit structure of LNA1



(b) circuit structure of LNA2

Fig.8 Circuit structure of LNA1 and LNA2
图 8 LNA1 和 LNA2 的电路结构

3 仿真结果

放大器基于 $0.18 \mu\text{m}$ CMOS 工艺设计和仿真,LNA 工作在 1.8 V ,消耗电流接近 6.5 mA 。LNA 增益分为 3 档,如图 9(a)所示,高增益为 25 dB ,中增益为 2 dB ,低增益为 -14.3 dB 。在输入信号为 $-70 \sim -32 \text{ dBm}$ 时采用大增益, $-32 \sim -15 \text{ dBm}$ 采用中等增益, $-15 \sim 0 \text{ dBm}$ 采用高增益。

高增益情况下,由图 9(b)的结果可知, 1 MHz 时的等效输入噪声电压为 $1.786 \text{ nV}/\sqrt{\text{Hz}}$, 33 MHz 时为 $0.865 \text{ nV}/\sqrt{\text{Hz}}$ 。 1 MHz 附近的主要噪声贡献来自 $1/f$ 噪声, $1 \sim 33 \text{ MHz}$ 的积分噪声电压为 $5.64 \mu\text{V}$,此频段的平均等效输入热噪声是 $0.997 \text{ nV}/\sqrt{\text{Hz}}$ 。由于会根据应用场景的不同进行不同的阻抗匹配,本文仅给出没有阻抗匹配时 LNA 的噪声系数,如图 9(b)所示,在 100Ω 差分输入源阻抗情况下对应的噪声系数为 $4.65 \text{ dB}@1 \text{ MHz} \sim 1.63 \text{ dB}@33 \text{ MHz}$,平均噪声系数为 2.10 dB 。

放大器高增益通路输入阻抗特性如图 10(a)所示,在使用电流补偿正反馈后,输入阻抗在 33 MHz 时由 $1.73 \text{ k}\Omega$

提高到了 6.1 k Ω , 即使考虑补偿电容 10% 匹配误差, 也能使输入阻抗提高 2 倍。当工作在中/低增益模式时, LNA1 截止, 由于 LNA2 输入管较小, 主要的输入电容还是来源于截止的 LNA1 输入寄生电容与 PAD 电容等, 整体输入电容比高增益模式要小得多, 所以不需电流补偿方法提高输入阻抗, 仿真结果如图 10(b) 所示, 可见, 33 MHz 时, 中增益时输入阻抗为 2.46 k Ω , 低增益输入阻抗为 2.86 k Ω 。考虑到寄生电容的裕度, 假设 PAD 电容、bonding 线电容和封装电容之和为 1.5 pF。由于放大器输入端使用高通滤波器, 所以在 1 MHz 下的低频输入阻抗没有因为频率降低而提高。对线性度进行仿真分析, 结果显示, 高中低 3 种增益通路的线性度为: 高增益下 IIP3=-1.6 dBm, 中增益下 IIP3=10.304 5 dBm, 低增益下 IIP3=20.7 dBm。

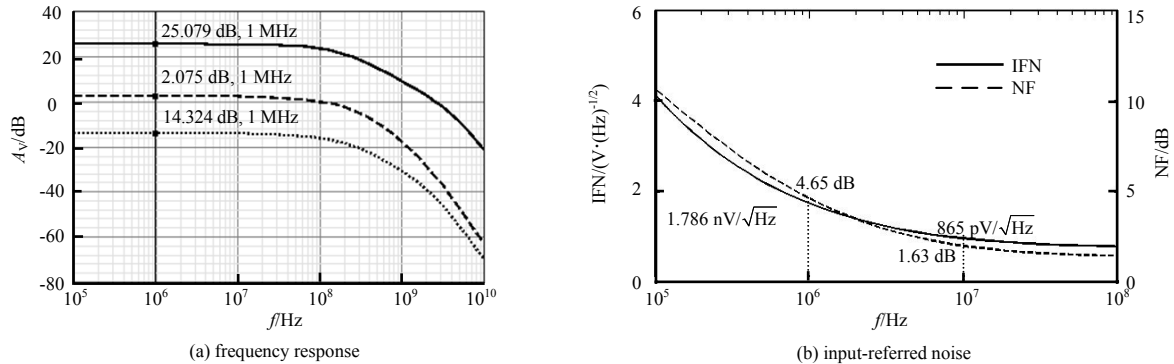


Fig.9 Frequency response and input-referred noise

图 9 频率响应与等效输入噪声

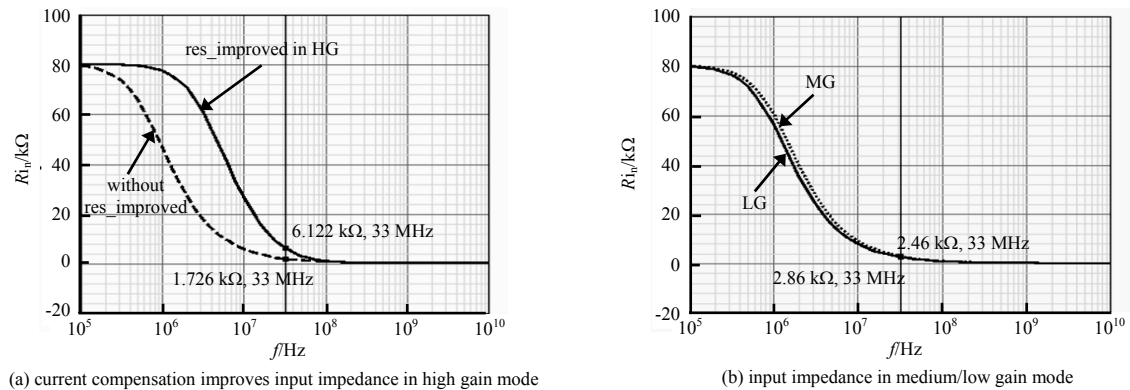


Fig.10 Current compensation improves input impedance in high gain mode and input impedance in medium/low gain mode

图 10 高增益电流补偿提高输入阻抗与中、低增益输入阻抗

表 1 给出本文设计的 LNA 性能总结与近年其他文献的比较。本文的 LNA 要求高输入阻抗, 所以这里没有给噪声系数指标, 而是给等效输入噪声。可以看到, 本文 LNA 线性度较好, 噪声也较低。

表 1 LNA 参数比较

Table I Comparison of LNA performance

literature	bandwidth/MHz	gain range/dB	minimum input impedance/ Ω	equivalent input noise/($\text{nV}/\sqrt{\text{Hz}}$)	IIP3/dBm	power consumption
[3]	117@HG ^① 106@LG ^②	0.50~32.5	—	1.42@97.3 MHz @HG ^①	-16.5/-5.2	5.5 mA@1.35 V
[15]	48~860	-35.4~19.8	50	—	6@HG ^①	3 mA@1.8 V
[11]	2 150	15.9/6.3/1.5	50	—	2.3/5.0/6.5	8 mA@1.5 V
this paper	1~33	25/2/-14.3	2.46 k	1.786~0.865@HG ^①	-1.6/10.3/20.7	6.5 mA@1.8 V

Note: ①HG: high gain mode, ②LG: low gain mode

4 结论

本文设计了一种用于模拟总线接收器的 CMOS 增益可编程低噪声放大器电路。频带为 1~33 MHz, 增益分为 3 档, 范围为 -14.3~25 dB。提出的电流补偿正反馈技术能提高 LNA 输入阻抗 2 倍以上, 输入阻抗达到 2.4 k Ω 以上, 以使片外阻抗匹配更易实现。使用 DMGTR 与差分负反馈技术, 在不同增益模式下得到 IIP3 为 -1.6/10.3/20.7 dB, 以保证输出信号的信噪比。整体 LNA 电路消耗的电流为 6.5 mA。

参考文献:

- [1] GUO B, CHEN J, WANG Y, et al. A wideband complementary noise cancelling CMOS LNA[C]// Radio Frequency Integrated Circuits Symposium. San Francisco, California, USA: IEEE, 2016: 142–145.
- [2] BEVILACQUA A, VALLESE A, SANDNER C, et al. A 0.13 μm CMOS LNA with integrated balun and notch filter for 3 to 5 GHz UWB receivers[C]// IEEE International Solid-State Circuits Conference Digest of Technical Papers. San Francisco, California, USA: IEEE, 2007: 420–612.
- [3] HU J, MAY M, FELDER M, et al. A fully integrated variable gain multi-tanh Low Noise Amplifier for tunable FM radio receiver front-end[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2008, 55(7): 1805–1814.
- [4] YONG-SIK Y, JAE-HONG C, KWANG-JIN K, et al. A 2 GHz 16 dBm IIP3 Low Noise Amplifier in 0.25 μm CMOS technology[C]// IEEE International Solid-State Circuits Conference. San Francisco, USA: IEEE, 2003: 452–507.
- [5] YOON J, PARK C. A CMOS LNA using a harmonic rejection technique to enhance its linearity[J]. IEEE Microwave and Wireless Components Letters, 2014, 24(9): 605–607.
- [6] TAE W K, BONKEE K. A 13 dB IIP3 improved low power CMOS RF programmable gain amplifier using differential circuit transconductance linearization for various terrestrial mobile D-TV applications[J]. IEEE Journal of Solid-State Circuits, 2006, 41(4): 945–953.
- [7] JUSSILA J, SIVONEN P. A 1.2 V highly linear balanced noise cancelling LNA in 0.13 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2008, 43(3): 579–587.
- [8] ZAVAREI M J, KARGARAN E, NABOVATI H. Design of high gain CMOS LNA with improved linearity using modified derivative superposition[C]// IEEE International Conference on Electronics, Circuits and Systems. Beirut, Lebanon: IEEE, 2011: 322–325.
- [9] ZHOU Z, WARR P A. Back-gate current neutralisation feedback loop for high-input impedance neural FEAs[J]. Electronics Letters, 2016, 52(19): 1586–1588.
- [10] MOEZZI M, BAKHTIAR M S. Wideband LNA using active inductor with multiple feed-forward noise reduction paths[J]. IEEE Transactions on Microwave Theory & Techniques, 2012, 60(4): 1069–1078.
- [11] HAO S, FU J, HUANG Y, et al. A high linearity variable gain LNA for WCDMA receiver front-end[C]// IEEE International Conference on Solid-state & Integrated Circuit Technology. Shanghai, China: IEEE, 2010: 752–754.
- [12] MAX2980 Powerline Communication Analog Front-End Transceiver[EB/OL]. [2017-11-26]. <http://maximintegrated.com/en/products/comms/powerline-communications/MAX2980.html>
- [13] ZHOU Z, WARR P A. A high input impedance low noise integrated front-end amplifier for neural monitoring[J]. IEEE Transactions on Biomedical Circuits and Systems, 2016, 10(6): 1079–1086.
- [14] DUONG Q H, PARK T J, KIM E J, et al. An all CMOS 743 MHz variable gain amplifier for UWB systems[C]// IEEE International Symposium on Circuits & Systems. Kos, Greece: IEEE, 2006: 678–681.
- [15] HAN H G, KIM T W. A CMOS RF programmable gain amplifier for digital TV with a 9 dBm IIP3 cross coupled common gate LNA[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2012, 59(9): 543–547.

作者简介:



方康明(1992–), 男, 广东省湛江市人, 在读硕士研究生, 主要研究方向为模拟射频集成电路设计。email: fangkangming15@iecas.edu.com.

尹 韬(1980–), 男, 吉林省柳河县人, 副研究员, 硕士生导师, 主要研究方向为数模混合集成电路设计、高性能传感器接口芯片设计。