

文章编号: 2095-4980(2018)06-1131-04

星载 Flash 型 FPGA 单粒子翻转加固试验研究

李晓亮, 罗磊, 孙毅, 于庆奎

(中国空间技术研究院 宇航物资保障事业部, 北京 100094)

摘要: 针对低等级器件抗辐射能力较差的特点, 需开展应用加固以满足宇航应用, 对一款 Flash 型现场可编程门阵列(FPGA)开展抗单粒子翻转(SEU)加固设计, 并利用地面模拟试验进行加固效果验证, 结果表明器件加固后块随机存储器(BRAM)区翻转截面下降近 2 个数量级, 寄存器单粒子翻转截面下降约 75%, 验证了加固措施的有效性。结合典型轨道环境, 计算了器件在轨翻转率, BRAM 区翻转率下降 4~5 个量级, 寄存器翻转率下降 2~3 个量级, 可为在轨应用提供指导。

关键词: Flash 型现场可编程门阵列; 单粒子翻转加固; 翻转率预计

中图分类号: TN99; O572.11

文献标志码: A

doi: 10.11805/TKYDA201806.1131

Experimental study on SEU hardened effect for flash FPGA in satellite system

LI Xiaoliang, LUO Lei, SUN Yi, YU Qingkui

(China Aerospace Components Engineering Center, China Academy of Space Technology, Beijing 100094, China)

Abstract: For the feature that the anti-radiation ability of Commercial Off The Shelf(COTS) devices is poor, it must be hardened for aero application. Then Single Event Upset(SEU) hardened design is done for a Flash Field-Programmable Gate Array(FPGA), and the ground ions accelerated testing is performed to verify the hardened design measures. The test result shows that the upset section of hardened Block RAM(BRAM) module reduces nearly 2 orders of magnitude, and the upset section of hardened register module reduces 75%. It verifies the validity of the hardened measures. According to the orbits environment, the SEU rate is calculated, the SEU rate of hardened BRAM module reduces 4–5 orders of magnitude, and the SEU rate of hardened register module reduces 2–3 orders of magnitude. It provides guidance for on-orbit applications.

Keywords: Flash Field-Programmable Gate Array; hardened Single Event Upset(SEU); SEU rate calculation

随着国内航天事业的迅速发展, 星载现场可编程门阵列(FPGA)的应用越来越广泛, 而作为宇航用器件, 空间辐射环境不可忽略, 抗辐射能力则成为衡量器件功能性能的一个关键因素。由于绝大多数 FPGA 依赖进口, 且高等级器件存在禁运风险, 而低等级器件通常抗辐射能力较差, 为了使低等级器件满足宇航可用要求, 需采取必要的抗单粒子加固措施, 以提高器件抗辐射性能。Flash 型 FPGA 相比 SRAM 型 FPGA 具有无需附加 PROM、上电时间短、空间环境中可靠性强等优势, 而较反熔丝型 FPGA 研发成本低、灵活性高, 因此 Flash 型 FPGA 在宇航应用有广阔的前景。目前对抗单粒子翻转加固研究多集中于 SRAM 型 FPGA^[1-3], 而 Flash 型 FPGA 的抗单粒子翻转加固报道相对较少, 故选取 Flash 型 FPGA 为研究对象。

1 实验原理

1.1 单粒子翻转机理

图 1(a)为 CMOS 基本结构, 是产生单粒子翻转效应的基础, 其中 A 为结构的输入, B 为结构的输出。当有带电粒子穿过 P 管漏区有源区时, 则在粒子径迹上电离产生大量电子空穴对。若 A 端为高电平, 漏区与衬底之间则存在反向电场, 空穴与电子在电场作用下相向运动, 正电荷向 P 管漏区积累, 导致 B 端电平升高。与此

收稿日期: 2017-09-21; 修回日期: 2017-10-21

基金项目: “十三五” 装备预先研究项目资助项目(41424050605)

同时,当电路中存在反馈机制时,如图 1(b)所示,其中反相器 1 的初始状态与左图所述相同,当 B 端电平由 0 变 1 时,在 B 端电平恢复前则会通过反馈结构将“0”值返回至输入端 A,导致 B 端电平固定在高电平状态,即单粒子翻转效应。

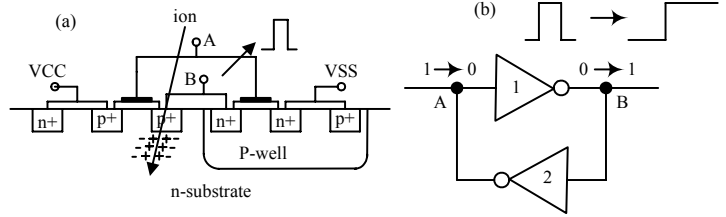


Fig.1 Principle of single event upset

图 1 单粒子翻转机制

1.2 器件加固措施

试验选取的 Flash 型 FPGA 主要由可编程逻辑单元、互连资源、I/O 模块、RAM 模块、Flash ROM 等部分构成。逻辑单元包含大量 CMOS 组合逻辑电路以及 D 触发器结构,通过对 SRAM 型 FPGA、Flash ROM 等器件辐射效应研究^[4-5],可知对 Flash 型 FPGA 的单粒子翻转效应重点关注 RAM 模块和逻辑单元,因此对器件 RAM 模块和寄存器模块进行单粒子翻转检测。

试验前对器件进行加固设计,为充分验证加固措施效果,配置使用了器件内部 4 个 Block RAM 模块,其中 2 个模块无加固措施,1 个 Block RAM 模块采用错误检测与纠正(Error Detection And Correction, EDAC)校验措施,1 个 Block RAM 模块采用自主刷新式 EDAC 校验措施,分别对 3 种不同模式的 BRAM 进行翻转检测。而对寄存器单元的单粒子翻转检测,分别在无加固措施和采用三模冗余(Triple Modular Redundance, TMR)措施下进行。

1.3 试验方法

试验时,分别对器件在 BRAM、EDAC 校验、自主刷新式 EDAC 校验、寄存器、寄存器 TMR 五种模式下进行单粒子翻转检测。试验过程中,写入测试图形码,并循环读取各测试单元中数据,并与预设值比较,通过实时检测芯片输出值与预设标准数据对比方式进行,若不一致,则电路发生翻转。

2 结果与分析

以 Flash 型 FPGA 为研究对象,利用中国科学院近代物理研究所 HIRFL 回旋加速器和中国原子能科学研究院 HI-13 串列静电加速器对其开展加固措施有效性研究,试验选用粒子信息如表 1 所示。

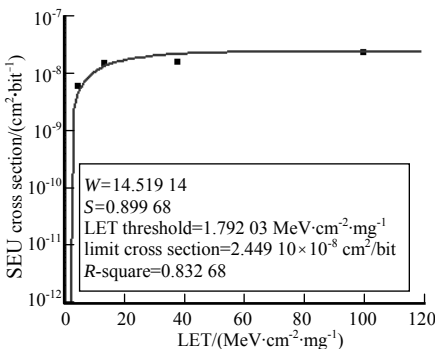
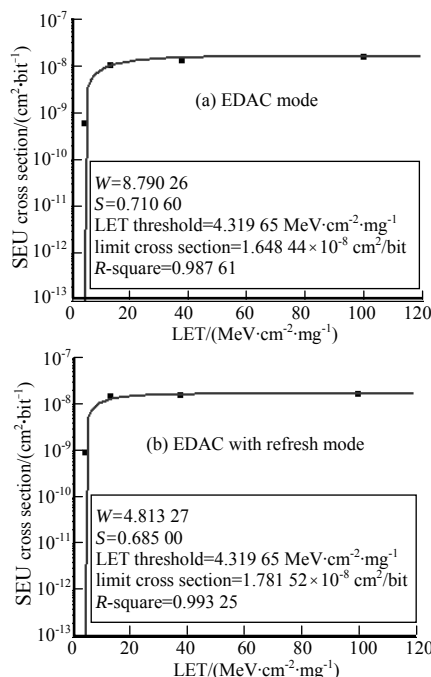
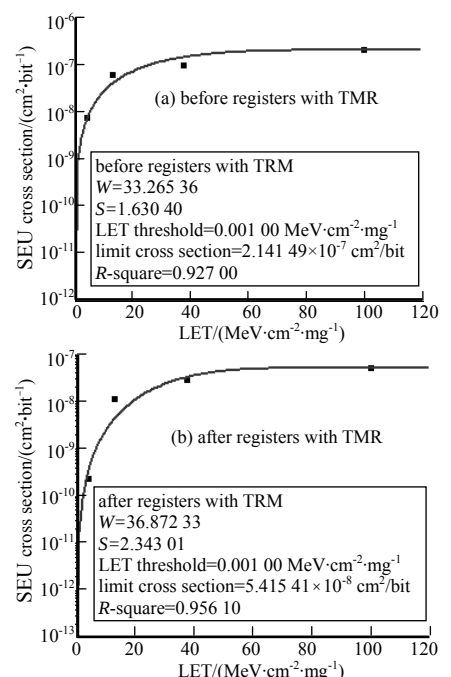
表 1 试验粒子信息表

Table1 Information of test particles

ions	energy/MeV	Linear Energy Transfer(LET)/(MeV·cm ⁻² ·mg ⁻¹)	range/μm	fluence/(cm ⁻² ·s ⁻¹)
F	100.0	4.4	72.7	10 000
Cl	155.0	13.2	44.4	10 000
Ge	206.0	37.4	30.1	10 000
Bi	923.2	99.8	53.7	10 000

2.1 单粒子试验结果

根据试验数据获取的相应检测模块在不同粒子下的翻转截面,采用 Weibull 参数拟合得到不同检测模式下单粒子翻转截面拟合曲线,如图 2~图 4 所示。

Fig.2 Result of BRAM SEU test
图 2 BRAM 单粒子试验结果Fig.3 Result of hardened BRAM SEU test
图 3 加固 BRAM 单粒子试验结果Fig.4 Results before and after registers with TMR
图 4 寄存器 TMR 加固前后试验对比结果

2.2 在轨翻转率预计

在轨翻转率计算具有多样性^[6-7]，而计算结果与在轨实际数据的匹配程度更为重要，侯睿等已通过计算器件翻转率与获得的在轨数据比对，验证了 OMERE4.2 软件预计效果良好，故采用该方法进行在轨翻转率计算，其计算的核心为通过设定空间轨道参数获取 LET 通量谱，基于 Weibull 参数拟合曲线积分获取在轨翻转率。在轨翻转率计算流程见图 5^[8]。

根据试验获得的器件不同检测模式的单粒子翻转截面，利用 OMERE4.2 软件分别在地球同步轨道(Geosynchronous

Earth Orbit, GEO)、中地球轨道(Medium Earth Orbit, MEO)和国际空间站(International Space Station, ISS)轨道环境，考虑 3 mm Al 屏蔽下计算了器件在轨翻转率，计算结果如表 2 所示。

表 2 在轨翻转率预计结果

Table2 Results of SEU rate on-orbits

device states		orbits environment		
test methods	hardness measures	GEO(35 784 km, 0°)	MEO(1 000 km×26 768, 63.4°)	ISS(400 km, 51.5°)
BRAM	—	1.06×10^{-7}	9.43×10^{-8}	1.46×10^{-9}
BRAM	EDAC	4.60×10^{-8}	4.08×10^{-8}	6.41×10^{-10}
BRAM	self-hosting scrubbing EDAC	8.98×10^{-12}	7.98×10^{-12}	1.40×10^{-13}
register	—	1.13×10^{-5}	1.26×10^{-5}	4.78×10^{-7}
register	TMR	9.07×10^{-8}	8.92×10^{-8}	3.11×10^{-9}

2.3 试验结果分析

基于试验结果获得的拟合曲线，如图 6 所示，可知 BRAM 区进行 EDAC 加固后翻转截面下降约 30%，而采用自主刷新式 EDAC 后，翻转截面下降近 2 个数量级；通过 TMR 设计寄存器，加固前后试验表明，翻转截面下降大约 75%。通过对器件进行抗单粒子翻转加固设计，大大降低了单粒子翻转敏感性。

在不同轨道环境下，对器件在轨翻转率进行预计，从表 2 结果横向、纵向对比分析可知，BRAM 进行加固设计后翻转率下降 4~5 个量级，加固后的寄存器翻转率也下降 2~3 个量级。这一结果对加固方法的效果进行了充分验证，针对性的进行加固设计能有效提高器件抗单粒子能力。

同一检测模式在不同轨道中翻转率也呈现下降趋势，与轨道环境相关，其中未进行加固设计的寄存器在 MEO 环境下翻转率反比 GEO 环境下的翻转率高，原因在于 MEO 俘获质子相对较多，使 MEO 轨道 LET 谱在低 LET 区略高于 GEO 轨道，而由于未进行加固设计的寄存器抗单粒子翻转阈值低，俘获质子足以引起器件发生翻转，因此其翻转率会略高一些。

3 结论

通过对一款 Flash 型 FPGA 不同敏感区域采取针对性加固设计，并开展重离子试验获取了不同检测模式下的试验数据，利用 OMERE4.2 软件进行了不同轨道环境下翻转率预计，根据计算结果对比分析，加固后 BRAM 区翻转截面下降近 2 个数量级，翻转率下降 4~5 个量级，寄存器翻转截面下降大约 75%，翻转率也下降 2~3 个量级，充分验证了抗单粒子加固措施的有效性，并讨论了单粒子翻转概率对系统性能的影响，为器件的空间应用提供指导。

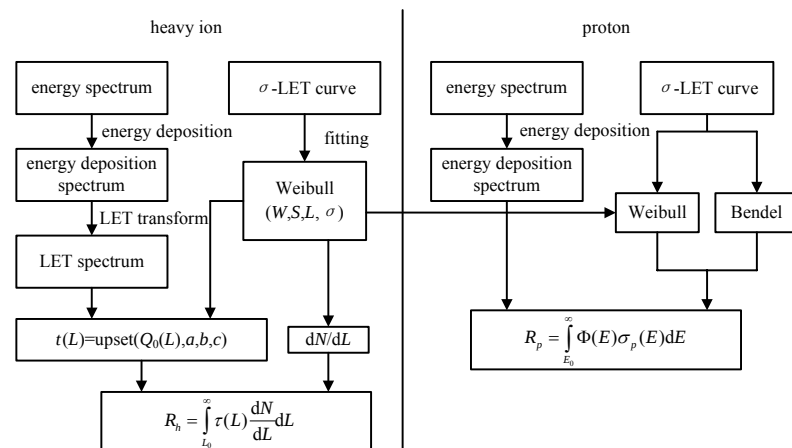


Fig.5 Calculation process of SEU rate

图 5 翻转率计算流程

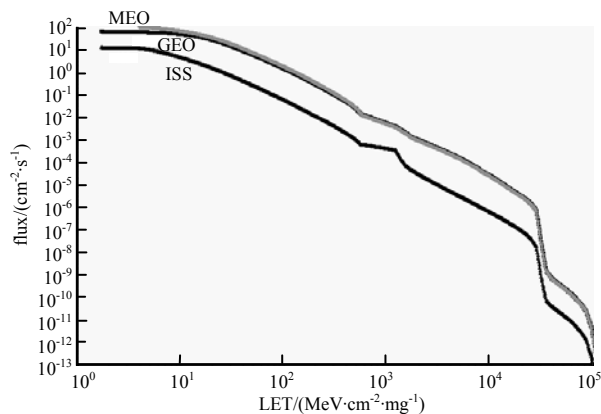


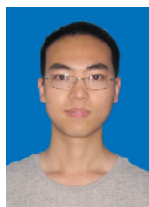
Fig.6 Curves of LET flux for different orbits

图 6 不同轨道 LET 积分通量谱线

参考文献:

- [1] 邱金娟,徐宏杰,潘雄,等. SRAM 型 FPGA 单粒子翻转测试及加固技术研究[J]. 电光与控制, 2011,18(8):84-88. (QIU Jinjuan,XU Hongjie,PAN Xiong,et al. Study on testing and harden technique of single event upset for SRAM-based FPGA[J]. Electronics Optics & Control, 2011,18(8):84-88.)
- [2] 姜昱光,韩建伟,朱翔,等. SRAM 型 FPGA 单粒子翻转效应加固方法[J]. 北京航空航天大学学报, 2014,40(8):1073-1077. (JIANG Yuguang,HAN Jianwei,ZHU Xiang,et al. Single event upset mitigation testing of SRAM-based FGAs[J]. Journal of Beijing University of Aeronautics and Astronautics, 2014,40(8):1073-1077.)
- [3] 马寅. 航天用 SRAM 型 FPGA 抗单粒子翻转设计[J]. 航天器环境工程, 2011,28(6):551-556. (MA Yin. SEU-tolerant design of SRAM FPGA for space use[J]. Spacecraft Environment Engineering, 2011,28(6):551-556.)
- [4] 陈晨,徐微,张善从. Flash 型 FPGA 单粒子效应测试系统设计[J]. 电子测量技术, 2014,37(9):70-78. (CHEN Chen,XU Wei,ZHANG Shangcong. Design of single event effect testing system on flash-based FPGA[J]. Electronic Measurement Technology, 2014,37(9):70-78.)
- [5] 张洪伟,于庆奎,张大宇,等. 大容量 flash 存储器空间辐射效应试验研究[J]. 航天器工程, 2011,20(6):130-134. (ZHANG Hongwei,YU Qingkui,ZHANG Dayu,et al. Radiation effect test on large capacity flash memories[J]. Spacecraft Engineering, 2011,20(6):130-134.)
- [6] 张战刚,雷志锋,恩云飞. 典型卫星轨道辐射环境及在轨软错误率预计模型分析[J]. 强激光与粒子束, 2015,27(9):207-213. (ZHANG Zhangang,LEI Zhifeng,EN Yunfei. Radiation environment of typical satellite orbits and on-orbit soft error rate prediction model analysis[J]. High Power Laser and Particle Beams, 2015,27(9):207-213.)
- [7] 于庆奎,罗磊,唐民. 纳米器件质子在轨单粒子翻转率预计方法[J]. 太赫兹科学与电子信息学报, 2017,15(1):145-147. (YU Qingkui,LUO Lei,TANG Min,et al. SEU rate calculation for nano device proton on orbit based on protons and heavy ions experimental data[J]. Journal of Terahertz Science and Electronic Information Technology, 2017,15(1):145-147.)
- [8] 侯睿,赵尚弘,李勇军,等. 卫星光通信系统中单粒子翻转计算方法研究[J]. 红外与激光, 2011,41(1):101-106. (HOU Rui,ZHAO Shanghong,LI Yongjun,et al. Calculation methods analysis of the single event upset ratio of satellite-borne CMOS 2164 equipment[J]. Laser & Infrared, 2011,41(1):101-106.)

作者简介:



李晓亮(1990-), 男, 河北省保定市人, 硕士, 工程师, 主要研究方向为宇航元器件抗辐射保证.email:lixiaoliang242@163.com.

罗磊(1980-), 男, 武汉市人, 博士, 高级工程师, 主要研究方向为宇航元器件抗辐射保证.

孙毅(1988-), 女, 山东省青岛市人, 硕士, 工程师, 主要研究方向为宇航元器件抗辐射保证.

于庆奎(1964-), 男, 山东省牟平县人, 硕士, 研究员, 主要研究方向为宇航元器件抗辐射保证.