

文章编号: 2095-4980(2019)03-0541-05

基于 FPGA 的抗辐照加固波控单元设计

肖文光^{1,2}, 姚佰栋¹

(1.中国电子科技集团公司 第三十八研究所, 安徽 合肥 230088; 2.孔径阵列与空间探测安徽省重点实验室, 安徽 合肥 230088)

摘要: 针对静态随机存取存储器(SRAM)型现场可编程门阵列(FPGA)在星载波控单元应用中存在单粒子翻转效应的问题, 提出一种基于自主刷新控制电路的抗辐照加固星载波控单元设计方案。该方案构建了以国产芯片BSV2CQRH为主的控制电路, 对FPGA控制器XQR2V3000内部配置位定时刷新, 采用低电压差分信号(LVDS)通信方式控制抗辐照LVDS接口芯片, 完成与前级波控管理平台波控码的收发, 同时控制晶体管-晶体管逻辑门(TTL)驱动器以同步串行方式完成10路移相器内部波控码的更新。测试结果表明, 3.125 MHz串行时钟频率下布相时间小于50 μs , 采样脉冲下降沿均位于数据码元的1/2长度处, 数据保持时间满足采样要求, 实现了设计目标。

关键词: 抗辐照加固; 波控单元; 刷新控制; BSV2CQRH芯片

中图分类号: TN98

文献标志码: A

doi: 10.11805/TKYDA201903.0541

Design of anti-radiation hardened beam-steering units based on FPGAs

XIAO Wenguang^{1,2}, YAO Baidong¹

(1.No. 38 Research Institute, China Electronic Technology Group Corporation, Hefei Anhui 230088, China;

2.Key Laboratory of Aperture Array and Space Application, Hefei Anhui 230088, China)

Abstract: Aiming at the problem of single event upset in the application of Static Random Access Memory(SRAM) Field Programmable Gate Array(FPGA) in spaceborne beam-steering unit, a design scheme for radiation hardened beam-steering unit is proposed based on the scrubbing control circuit. The FPGA controller XQR2V3000 is refreshed periodically by constructing the control circuit based on chip BSV2CQRH. The anti-radiation Low Voltage Differential Signaling(LVDS) interface chips are adopted to complete the code transceiver with the front management platform by LVDS communication mode. Meanwhile, the Transistor Transistor Logic(TTL) drivers are controlled to complete the update of 10 phase shifters by synchronous serial mode. The test result shows the phase distribution time is less than 50 μs when the clock is 3.125 MHz, and the falling edge of sampling pulse is located at half the length of a data symbol, ensuring data holding time long enough to sample correctly.

Keywords: anti-radiation hardened; beam-steering unit; scrubbing control; BSV2CQRH chip

随着微电子技术飞速发展, 现场可编程门阵列(FPGA)由于灵活性高、成本低和动态可重构等特点, 在航天系统得到广泛应用。卫星在宇宙空间飞行时, 空间环境中的各种高能粒子会影响其载荷内部FPGA控制器的逻辑状态。当有单个重离子或高能粒子撞击芯片电路时, 器件中存储的配置数据逻辑值会发生翻转, 由原来存储的“1”状态翻转为“0”状态, 或由原来存储的“0”状态翻转为“1”状态, 导致程序错误或系统功能异常, 此称为单粒子翻转效应^[1-2], 因此FPGA在航天工程应用中必须进行抗辐照加固设计。抗辐照加固方法分为硬件加固和软件加固2种。已有的硬件加固方法有循环加电、电路冗余设计^[3]、版图工艺改进^[4]、配置监控电路^[5-6]等; 软件加固方法有三模冗余(Triple Modular Redundancy, TMR)技术^[7]、汉明码编码^[8]、时钟沿检测^[9]等。

相控阵雷达中波控系统取代了传统机械扫描雷达中的伺服机构, 根据方位、重频等参数计算天线阵列中各移相器的控制码, 再由通信传输电路将控制码发送给各移相器, 全阵移相器同时工作实现天线波束指向预定的方向^[10]。控制码的计算通常由波控电子计算机完成, 通信传输由若干波控单元完成, 移相器位于双工收发器

内部(也称T/R组件,完成天线信号的放大发射和接收)。针对星载雷达波控单元的设计,参考文献[11]给出了一种基于反熔丝FPGA的波控单元设计方案,但反熔丝FPGA内部资源较少,不可编程,而且成本昂贵,这些因素限制了其在大型星载项目上的应用。其他关于星载波控单元抗辐照加固设计具体实现方案的论述也较少。根据星载设备抗辐照设计要求,本设计通过构建以芯片BSV2CQRH为主的控制电路,对FPGA控制器XQR2V3000定时刷新,设计实现了一种星载抗辐照加固波控单元,其主要功能是从前级波控管理平台接收波控码后,分包转发给10路移相器,同时回传校验错误、组件故障等遥测信息给前级波控管理平台。

1 抗辐照波控设计方案

在本设计中,抗辐照加固波控单元主要由宇航级FPGA控制器、刷新控制电路、LVDS驱动器、LVDS接收器、逻辑门电路(Transistor-Transistor Logic, TTL)串口驱动器及电源模块组成,实现原理框图如图1所示。

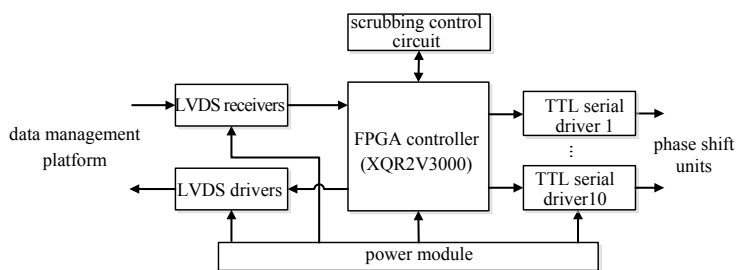


Fig.1 Block diagram of beam-steering unit
图1 波控单元组成框图

前级波控管理平台将天线阵面所有移相器的波控码以LVDS高速低压差分信号形式送入波控单元的LVDS接收器, LVDS接收器将波控码转换成单端数据信号送给FPGA控制器。FPGA控制器将串行数据转换成并行数据,并进行数据有效性校验。数据正确则同时转发给10路TTL串口驱动器,由TTL串口驱动器完成对移相器控制码的赋值更新;数据错误则记录校验错误,在遥测指令控制下和其他状态信息一起通过LVDS驱动器上传给前级波控管理平台。刷新控制电路定时读取PROM存储器中的配置码流来更新FPGA控制器的配置寄存器,以纠正发生单粒子翻转的配置位,避免错误积累导致更坏的结果。电源模块提供+5V、+3.3V和+1.5V三种电源给波控单元。其中,+5V电源给波控单元内的LVDS驱动器、LVDS接收器和TTL串口驱动器供电,+3.3V和+1.5V电源给FPGA控制器、刷新控制电路供电。

2 抗辐照波控详细设计

下面着重从FPGA控制器选型、刷新控制电路设计及软件设计3个方面进行详细说明。

2.1 FPGA选型分析

目前FPGA控制器的主流技术包括反熔丝(anti-fuse)型FPGA和静态随机存储器(SRAM)型FPGA两种。由于anti-fuse型FPGA编程后掉电不会丢失配置数据,稳定可靠,有很好的抗辐照性能,在航天可编程器件领域曾占据了重要地位。但随着航天应用对空间信号处理能力要求越来越高,项目研制周期要求越来越短,对FPGA控制器提出了更高需求。anti-fuse型FPGA无法重复验证,运行速度慢,内部逻辑资源少,且成本昂贵,这使得其实际可应用范围越来越窄。与此相反,SRAM型FPGA允许客户对配置程序反复验证、多次烧写,内部丰富的逻辑资源也大大减少了对设计者的束缚。例如Xilinx公司V4系列宇航级FPGA内部逻辑门数量达到五百万门,而常用的Actel反熔丝SX-A系列FPGA内部典型逻辑门只有不到八万门。SRAM型FPGA不但提高了设备的性能,缩短了开发周期,而且研发成本也大大降低,即所谓的商用现货(Commercial-Off the Shelf, COTS)技术。表1给出了作为COTS典型代表的SRAM型FPGA和anti-fuse型FPGA的综合比较^[12]。虽然SRAM型FPGA的抗辐射能力较差,但其巨大的性能优势和设计灵活性对空间应用仍具有极强的吸引力,美国宇航局(National Aeronautics and Space Administration, NASA)和欧空局(European Space Agency, ESA)都将这种FPGA列入宇航用核心电子元器件。

表1 Anti-fuse型FPGA和SRAM型FPGA对比

Table1 Comparison between anti-fuse FPGAs and SRAM FPGAs

FPGA type	reprogrammable	performance	purchasing cycle	cost	anti-radiation hardened
anti-fuse FPGA	no	weak	long	high	yes
SRAM FPGA	yes	strong	short	low	no

基于可靠性、成本、资源需求等多方因素折中考虑,本设计选用的FPGA型号为XQR2V3000。该芯片是一款SRAM型宇航级FPGA芯片,具有96个乘法器,300万门逻辑资源,28672个逻辑单元,最大工作频率300MHz,抗辐射总剂量 ≥ 200 krad(Si),轨单粒子翻转率 $R \leq 1.5 \times 10^{-6}$ 次/器件/天^[13],已在实际项目中得到应用。

2.2 刷新控制电路设计

虽然 SRAM 型 FPGA 受太空重离子轰击而触发单粒子翻转效应是不可避免的,但是设计师可以采取一定的抗辐照加固措施来降低单粒子翻转发生后所产生的危害性。参考文献[14]提供了一种基于反熔丝 FPGA 芯片 A54SX32A 的刷新电路方案,但是该 FPGA 不是专门为航天应用研制的,厂家没有提供抗辐照指标,根据第三方测试结果抗总剂量指标小于 30 krad(Si),仍需要采取可靠性设计措施以防止其内部 1 080 个专业寄存器产生单粒子效应,而且电路设计难度和复杂度都较高。

BSV2CQRH 是一款专门针对 SRAM 型 FPGA 的配置存储器进行刷新的国产芯片,采用了高可靠的抗单粒子翻转加固设计技术,无需进行软件编程且不占用 I/O 资源,大幅度降低了刷新控制系统设计的难度和复杂度,所支持刷新的芯片见表 2 所示。BSV2CQRH 符合宇航级质量要求,抗辐射总剂量 ≥ 100 krad(Si),单粒子反转阈值 ≥ 37 MeV $\cdot$ cm²/mg,单粒子锁定阈值 ≥ 75 MeV $\cdot$ cm²/mg,最高刷新时钟频率为 20 MHz,自动识别和匹配目标 FPGA 芯片,采用盲刷方式,自动修复上电复位状态机(Power on Reset, POR)型单粒子功能中断。

BSV2CQRH 放置于 XQR2V3000 和配置芯片 XQR17 之间,起到数据交换的桥梁作用,具备主串模式和从串模式配置 FPGA 的能力。主串模式的连接方式如图 2 所示。M0,M1,M2 均接电线接地端(GND),用于设置 XQR2V3000 的配置模式为主串模式,program, initial, o_oe_prom 信号为开漏结构,需接 4.7 k Ω 的上拉电阻,done 信号需接 330 Ω 的上拉电阻。从串模式的连接方式与主串模式类似,区别在于 cclk 的来源不是 FPGA 而是外部器件。

刷新芯片 BSV2CQRH 通过检测 XQR2V3000 芯片的 done 信号来决定进入配置模式还是刷新模式,实际工作流程如下:

- 1) 系统上电,刷新芯片检测到配置完成状态 done 信号为低电平,自动进入配置模式;
- 2) FPGA 发送 cclk 同步时钟给刷新芯片,并通过 din 引脚读取配置码流;
- 3) 刷新芯片持续检测 done 信号,如超过预计的配置完成时间后还未检测到 done 信号变高电平信号,则意味着配置失败,会自动在该 FPGA 芯片的 program 端施加复位脉冲,进行重新配置;
- 4) 当 done 信号变高电平信号后,刷新芯片自动启动刷新模式;
- 5) 通过联合测试工作组(Joint Test Action Group, JTAG)口检测被刷芯片型号,即该 FPGA 芯片 ID 号,根据 FPGA 型号自动匹配配置码流长度;
- 6) 刷新芯片读取程序存储芯片 XQR17 内配置码流,通过 JTAG 口定时刷新 FPGA 芯片内部的配置存储区,数据存取区不受影响,不影响 FPGA 的正常工作。刷新时钟为 10 MHz 时,刷新周期为 2 s。

需要指出的是,由于定时刷新时 JTAG 口被刷新芯片占用,如果要对 FPGA 进行仿真调试,必须先将刷新芯片的暂停控制信号 pause 拉低,停止刷新操作,否则会出错。

2.3 软件设计

三模冗余系统(TMR)技术是一种应对单粒子翻转效应的软件抗辐照加固手段,能减轻 SRAM 型 FPGA 器件的单粒子敏感性。工作原理是将同一个输入数据用 3 个独立或相关性较低的物理空间存储,输出时经过一个表决电路,当存储数据需要输出时,表决器按照“三取二”的原则,对 3 个输出结果进行比较和判决,取 2 个或 2 个以上相同的数据作为最后的输出^[15]。由于采用该技术会降低数据处理的效率,同时使得 FPGA 资源使用率增加 2 倍以上,所以实际应用中多是对局部重点软件模块采用 TMR 技术。在本设计中,因为波控单元内部的波控码依据工作模式周期性自动更新,波控单元中产生翻转的数据位会在下一次波控码的更新中得到纠正,所以软件上没有采用 TMR 冗余设计。根据功能设计要求,波控单元软件设计主要由 LVDS 串口接收程序、TTL 串口发送程序和 LVDS 串口发送程序组成。

表 2 支持的芯片列表

Table2 Supported chip list

FPGA type	configuration bits
XQ2VR1000,XQ2V1000,XC2V1000	4 082 592
XQ2VR3000,XQ2V3000,XC2V3000	10 494 368
XQ2VR6000,XQ2V6000,XC2V6000	21 849 504
Xilinx 17 series PROM	1,2,4,8,16 M, serial mode
Xilinx 18 series PROM	512 K,1 M,2 M,4 M, serial mode

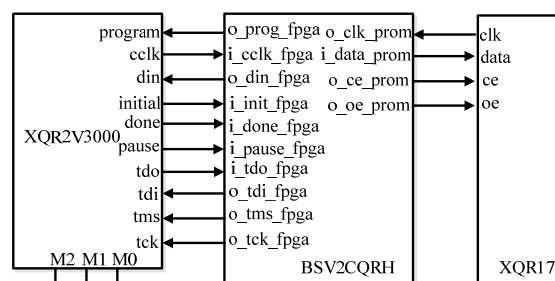


Fig.2 Schematic diagram of scrubbing control circuit

图 2 刷新电路控制示意图

LVDS 串口接收程序负责接收前级波控管理平台发来的 10 路波控码数据包,对数据包进行校验判断,并记录校验结果。LVDS 串口发送程序负责根据遥测指令向前级波控管理平台发送校验错误、下级组件故障等状态信息。TTL 串口发送程序主要负责分包转发 10 路波控码数据包给移相单元。程序的输入信号包括时钟信号 clk 、波特率 $\text{baud}[5:0]$ 、移相码数据 $\text{datain1}, \text{datain2}, \dots, \text{datain480}$ 。程序的输出信号包括 10 路串行数据 $\text{dataA1}, \text{dataA2}, \dots, \text{dataA10}$ 和 10 路同步时钟 $\text{CLK1}, \text{CLK2}, \dots, \text{CLK10}$, 时序仿真如图 3 所示。

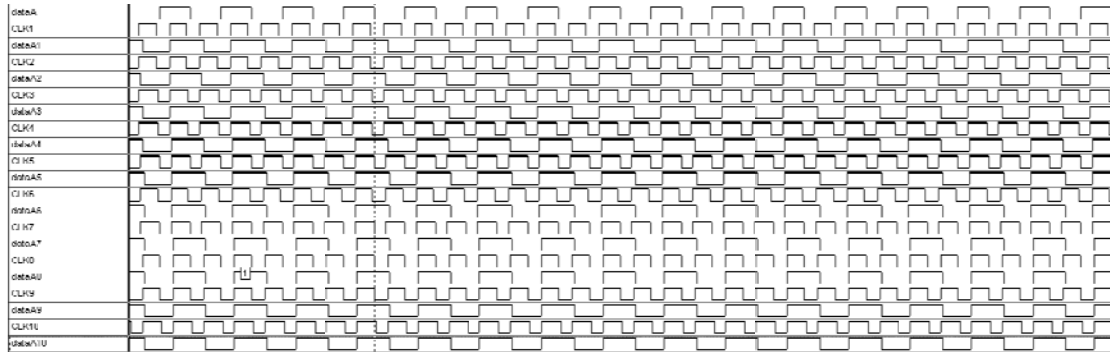


Fig.3 Sequence simulation diagram of TTL serial transmission

图 3 TTL 串口发送仿真时序图

3 性能测试

根据设计指标要求,单个移相单元的控制码位长为 48 bit,波控单元收到波控码后转发给下一级移相单元的布相时间需小于 $50 \mu\text{s}$ 。由于波控单元与移相单元采用共基板设计,通信距离很短,所以二者之间采用了 TTL 同步串行通信方式。设计选用的 TTL 同步串行时钟频率为 3.125 MHz ,周期 320 ns 。发送数据时,TTL 串口驱动器在同步时钟的上升沿发送一位数据,各移相单元末级波控芯片在同步时钟的下降沿逐位接收数据,所以数据传输速率为同步时钟的一半,周期 640 ns ,48 bit 控制码的布相时间约为 $15 \mu\text{s}$,满足设计指标要求。

TTL 串口接收端实测波形如图 4 所示。图中黄色方波为 TTL 同步时钟信号,蓝色方波为串行数据信号。从图 4 可以看出,接收数据的下降沿时钟均位于每个数据码元的 $1/2$ 长度处,数据保持时间满足采样要求,避免了传输误码的产生。



Fig.4 Test waveform of TTL serial port receiver

图 4 TTL 串口接收端测试波形

4 结论

本文提出的基于自主刷新控制电路的抗辐照加固星载波控单元设计方案,为 SRAM 型 FPGA 空间环境应用提供了一种有效解决单粒子翻转问题的新方法,并在实际项目中得到成功应用。目前国产刷新芯片只支持对 Virtex2 系列 FPGA 芯片刷新,对资源更丰富的 Virtex4 系列、Virtex5 系列、Virtex7 系列 FPGA 芯片尚没有成熟的刷新方案,制约了 SRAM 型 FPGA 在复杂星载相控阵雷达中的应用,因此开发通用性刷新芯片成为航天领域所用 FPGA 的迫切要求。

参考文献:

- [1] 刘思恺,胡助理,邢克飞,等. 电路逻辑单元粒子效应敏感性研究[J]. 现代应用物理, 2014,5(4):285-286. (LIU Sikai, HU Zhuli,XING Kefei,et al. Study on sensitivity of logic unit in the circuit for single event effects[J]. Modern Applied Physics, 2014,5(4):285-286.)
- [2] 郝亚男,高欣,许仕龙. SRAM型FPGA的SEU容错技术研究[J]. 中国集成电路, 2015(10):32-36. (HAO Yanan,GAO Xin,XU Shilong. Study on the SEU-tolerant techniques for SRAM-based FPGAs[J]. China Integrated Circuit, 2015(10): 32-36.)
- [3] 张建华,王娜,王琦,等. 基于SRAM型FPGA抗单粒子措施研究[J]. 空间电子技术, 2015(2):83-85. (ZHANG Jianhua, WANG Na,WANG Qi,et al. Study on anti-radiation measure for SRAM-based FPGA[J]. Space Electronic Technology,

- 2015(2):83-85.)
- [4] 王鹏,徐青,杭丽,等. 一种抗辐射高压MOSFET驱动器的设计[J]. 太赫兹科学与电子信息学报, 2016,14(6):972-975. (WANG Peng,XU Qing,HANG Li,et al. A design of radiation hardening high-voltage MOSFET driver[J]. Journal of Terahertz Science and Electronic Information Technology, 2016,14(6):972-975.)
- [5] 陈贺贤,尹庆军,陈培群,等. 一种星载信号处理机中FPGA防单粒子翻转加固方法[J]. 航天电子对抗, 2015,31(3):62-64. (CHEN Hexian,YIN Qingjun,CHEN Peiqun,et al. An antifuse FPGA based method for single event upset of spaceborne signal processor missiles [J]. Aerospace Electronic Warfare, 2015,31(3):62-64.)
- [6] 王文华,韩双丽,张宇,等. 航天应用FPGA配置可靠性研究[J]. 空间科学学报, 2011,31(1):106-111. (WANG Wenhua,HAN Shuangli,ZHANG Yu,et al. Research on the reliability of FPGA configuration in space-based systems[J]. Chinese Journal of Space Science, 2011,31(1):106-111.)
- [7] 夏辉,唐威,黄媛媛,等. 基于三模冗余加固的ASIC设计与实现[J]. 微处理机, 2015(5):1-3. (XIA Hui,TANG Wei,HUANG Yuanyuan,et al. Research of radiation harden based on triple modular redundancy for ASIC[J]. Microprocessors, 2015(5):1-3.)
- [8] 王璐,杨瑞强. 基于FPGA的嵌入式加固系统设计[J]. 现代电子技术, 2014,37(18):117-120. (WANG Lu,YANG Ruiqiang. Design of anti-radiation embedded hardened system based on FPGA[J]. Modern Electronics Technique, 2014,37(18):117-120.)
- [9] 周国昌,赖晓玲,朱启,等. 一种改进的基于时钟沿的单粒子翻转自检纠错方法[J]. 西北工业大学学报, 2015,33(5):716-719. (ZHOU Guochang,LAI Xiaoling,ZHU Qi,et al. An improved error detection and correction method for single event upset with clock edge[J]. Journal of Northwestern Polytechnical University, 2015,33(5):716-719.)
- [10] 张光义,赵玉洁. 相控阵雷达技术[M]. 北京:电子工业出版社, 2006. (ZHANG Guangyi,ZHAO Yujie. Phased Array Radar Technology[M]. Beijing:Publishing House of Electronics Industry, 2006.)
- [11] 肖文光,陈之涛. 基于反熔丝FPGA的波控单元设计[J]. 空军预警学院学报, 2017,31(4):266-268. (XIAO Wenguang,CHEN Zhitao. Design of a beam-steering unit based on antifuse FPGAs[J]. Journal of Air Force Early Warning Academy, 2017,31(4):266-268.)
- [12] 邓先坤. SRAM型FPGA SEU故障注入系统设计[D]. 哈尔滨:哈尔滨工业大学, 2013. (DENG Xiankun. SEU fault-injection system design of SRAM-based FPGA[D]. Harbin,China:Harbin Institute of Technology, 2013.)
- [13] XILINX. QPro Virtex-II 1.5 V radiation-hardened QML platform FPGAs[EB/OL]. [2018-01-02]. http://china.xilinx.com/support/documentation/data_sheets/ds124.pdf.
- [14] 冯汝鹏,徐伟,朴永杰. 基于SRAM型FPGA的容错性设计[J]. 电子测量技术, 2014,37(10):76-79. (FENG Rupeng,XU Wei,PIAO Yongjie. Fault-tolerance techniques for SRAM-based FPGAs[J]. Electronic Measurement Technology, 2014, 37(10):76-79.)
- [15] 陈仁,王海英,华建文,等. 基于FPGA的星载UART通讯设计与实现[J]. 科学技术与工程, 2015,15(13):212-214. (CHEN Ren,WANG Haiying,HUA Jianwen,et al. Design and realization of spaceborne UART communication using FPGAs[J]. Science Technology and Engineering, 2015,15(13):212-214.)

作者简介:



肖文光(1980-),男,山东省菏泽市人,硕士,高级工程师,主要研究方向为雷达综合电子系统设计.email:xwgb711@163.com.

姚佰栋(1984-),男,安徽省安庆市人,博士,高级工程师,主要研究方向为 SAR 信号处理技术.