

文章编号: 2095-4980(2019)04-0721-05

4H-SiC 浮动结 JBS 器件的设计方法

孙腾飞, 汤晓燕, 谢思亮, 袁昊, 张玉明

(西安电子科技大学 微电子学院 宽禁带半导体材料与器件重点实验室, 陕西 西安 710071)

摘要: 研究了 4H-SiC 浮动结(FJ)结势垒肖特基(JBS)二极管的设计方法。提出在上外延层厚度一定的情况下得到外延层最佳掺杂浓度, 然后以器件的功率优值(BFOM 值)为依据确定出最佳下外延层厚度, 进而设计出浮动结和表面结的最佳结构参数。否定了文献中认为浮动结位于器件中部为最佳设计的结论。仿真结果表明浮动结和表面结线宽比不仅影响器件导通特性, 还会影响反向特性。浮动结线宽比在一定范围内会略微影响器件击穿电压, 而表面结线宽比主要影响器件的反向泄漏电流。

关键词: 4H-SiC; 浮动结-结势垒肖特基二极管; 外延结构; 功率优值

中图分类号: TN311.7

文献标志码: A

doi: 10.11805/TKYDA201904.0721

Design of 4H-SiC Floating Junction-Junction Barrier Schottky device

SUN Tengfei, TANG Xiaoyan, XIE Siliang, YUAN Hao, ZHANG Yuming

(Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an Shaanxi 710071, China)

Abstract: A new approach for designing 4H-SiC Floating Junction-Junction Barrier Schottky(FJ-JBS) diode is presented, in which the optimized doping concentration of the upper epilayer is obtained in terms of a thickness of this layer and then the optimum thickness of lower epilayer with the same doping concentration as upper epilayer is determined by Baliga Figure Of Merit(BFOM), resulting in the optimum structure for floating junction and near surface junction. The position of floating junction resulted from this approach is no longer in the middle of total epitaxial thickness of 4H-SiC considered as optimum design by former papers. The simulated results show that the line width ratios of floating junction and near surface junction not only affect the conduction characteristics, but also affect the reverse characteristics. The breakdown voltage is slightly affected by line width ratio of the floating junction in a certain range, while the line width ratio of near surface junction mainly influences the reverse leakage current.

Keywords: 4H-SiC; Floating Junction-Junction Barrier Schottky diode; epitaxial structure; Baliga Figure Of Merit

在大功率应用中, 4H-SiC 单极功率器件比硅基器件更具优势, 受到越来越多的关注。但 4H-SiC 单极功率器件仍然存在击穿电压(Breakdown Voltage, BV)和正向导通电阻(On Resistance, Ron)之间的矛盾, 较高的击穿电压(BV)需要相对较厚并且低掺杂的漂移区, 导致了较高的导通电阻(Ron)。为解决这一问题, 提出浮动结肖特基势垒二极管(Floating Junction-Schottky Barrier Diode, FJ-SBD)^[1-5]。2007 年, 日本东芝株式会社研发中心制备出 2.7 kV, 2.57 mΩ·cm² 的 FJ-SBD 器件, 国内于 2014 年也成功制备出该器件^[6-7]。但 FJ-SBD 器件受较大的肖特基反向泄漏电流的影响。为进一步降低漏电流, 在 FJ-SBD 结构的基础上加入表面结形成 FJ-JBS 器件^[8]。FJ-JBS 器件结构复杂并且主结和浮动结参数之间存在耦合关系, 目前未见相关实验报道。4H-SiC JBS 器件和 FJ-SBD 器件的解析模型都有相关的文献报道^[9-11], 但简单的一维解析模型不能很好地描述 FJ-JBS 器件的性能。

本文研究 4H-SiC FJ-JBS 器件外延结构的设计, 并以击穿电压为 3 000 V 设计目标为例, 给出了设计方法。首先根据解析模型对器件的上外延层的厚度、浮动结的厚度、宽度及掺杂浓度结构参数进行初步选择, 然后根据上下外延掺杂一致的条件以功率优值(BFOM)最高作为优化条件, 确定器件的结构参数。

收稿日期: 2018-08-21; 修回日期: 2018-11-14

基金项目: 科学挑战专题基金资助项目(TZ2018003)

1 上下外延层、浮动结和表面结的设计

1.1 上外延层结构的设计

图 1 为 4H-SiC FJ-SBD 和 4H-SiC FJ-JBS 原胞示意图, 内部浮动结 P^+ 掺杂区将漂移区分割成上下 2 部分。基于耗尽近似, 施加反向偏压时器件内部的理想电场被分为 2 个三角形, 峰值电场出现在表面和浮动结处, 并且三角形的斜率与上下外延层的掺杂浓度成正比。其中 t_1 和 t_2 分别为上下层外延层厚度, 图 1(b) 中 S_1 和 S_2 分别为相邻表面结和浮动结的间距, W_1 和 W_2 分别为表面结和浮动结的宽度。

在设计结构时, 应使器件的击穿发生在体内以便获得高的击穿电压, 表面结对器件反向特性的影响较小。当 FJ-SBD 与 FJ-JBS 原胞的结构参数浮动结宽度、相邻浮动结间距、外延层的厚度和掺杂浓度以及反向偏压相同时, 二者的电场分布近似一致, 因此本文首先基于 FJ-SBD 器件的解析模型^[9]初步选取 FJ-JBS 外延层的结构参数, 其结果是: $t_1=15 \mu\text{m}$, $S_2=W_2=3 \mu\text{m}$, 浮动结的厚度和掺杂浓度分别为 $0.8 \mu\text{m}$ 和 $1 \times 10^{18} \text{cm}^{-3}$ 。

根据选取的结构参数, 首先确定上外延层的最佳掺杂浓度, 并取上下外延层的浓度相同。由于下外延层的厚度不会影响掺杂浓度的设计参数, 暂时将下外延层厚度取为 $15 \mu\text{m}$ 。不同掺杂浓度下器件 BV 的二维仿真结果和一维解析模型计算结果如图 2 所示。由二维仿真结果可知, 上外延层的最佳掺杂浓度为 $7.5 \times 10^{15} \text{cm}^{-3}$, 此时在获得 3 kV 击穿电压的同时器件电阻最小。高于此掺杂浓度时耗尽层延伸到浮动结处前器件表面就已经发生了雪崩击穿, 下漂移区的承压作用基本失效。低于此掺杂浓度时器件的击穿电压基本不变, 但正向导通电阻升高, 器件的综合特性变差。

针对解析模型和仿真结果之间的差距, 对器件内部电场的分布进行仿真, 结果如图 3~4 所示。由图 3~4 可知, 浮动结处的电场分布并不均匀, 其中浮动结边缘处的电场强度最大, 施加反向偏压时, 器件会提前在此处发生击穿。然而, 解析模型认为器件发生击穿时浮动结处的电场强度相同, 浮动结处的所有位置被同时击穿。同时在解析模型中假设, 当耗尽层到达浮动结后表面电场不再随反向电压增大, 但实际情况是, 浮动结处的导电沟道被浮动结的耗尽层夹断前表面电场会继续增大。随着外延层掺杂浓度的增加, 相同反向偏压下耗尽层的延伸距离越短, 浮动结处的导电沟道越难被夹断, 器件可能在导电沟道被夹断前发生表面击穿, 因此解析模型得到的掺杂浓度的计算结果偏大。

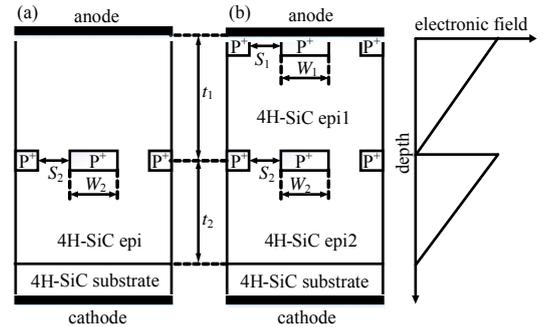


Fig.1 (a) 4H-SiC FJ-SBD cell; (b) 4H-SiC FJ-JBS cell
图 1 (a) 4H-SiC FJ-SBD 原胞; (b) 4H-SiC FJ-JBS 原胞

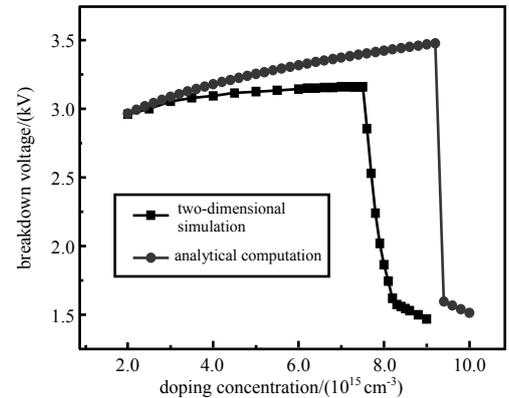


Fig.2 Breakdown voltage of FJ-SBD cells versus different doping concentrations when the thicknesses of upper and lower epilayers are $15 \mu\text{m}$, respectively

图 2 上下外延层厚度为 $15 \mu\text{m}$, 不同掺杂浓度下 FJ-SBD 原胞的击穿电压系

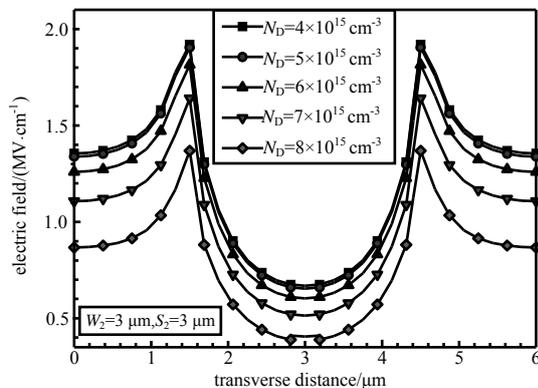


Fig.3 Horizontal electric field at the edge of floating junctions with different doping concentrations under 1800 V reverse bias voltage

图 3 1800 V 反向偏压、掺杂浓度 N_D 不同时浮动结边缘处横向电场分布

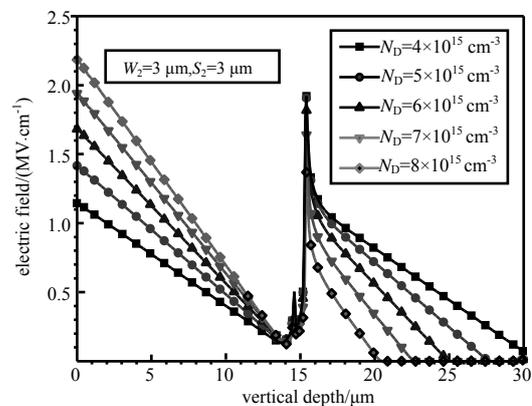


Fig.4 Vertical electric field at the edge of floating junctions with different doping concentrations under 1800 V reverse bias voltage

图 4 1800 V 偏压、掺杂浓度 N_D 不同时浮动结边缘处纵向电场分布

1.2 下外延层结构的设计

当上外延层的掺杂浓度被确定后，根据上下外延层掺杂浓度相同这一条件对下层外延的厚度参数进行设计，下外延层的设计以器件的 BFOM 值 ($BFOM=4(BV)^2/R_{on}$) 作为衡量标准。此外，为了验证设计的正确性，本文还对上外延层厚度为 25 μm 的 FJ-JBS 器件原胞进行了仿真模拟，结果如图 5 所示。

当上外延层厚度为 15 μm 时，下外延层厚度(14.5 μm)略薄于上外延层厚度情况下器件的 BFOM 值达到最大。随着下外延层厚度的减小，器件的正向导通电阻(R_{on})呈现出线性减小的趋势。而器件内部的电场分布由非穿通型向穿通型转变，随着下外延层厚度减小，器件的反向击穿电压(BV)下降得越来越快。在一定的下外延层厚度下，器件的 BFOM 值达到最大。

当上外延层厚度为 25 μm 时，器件的最优掺杂浓度变为 $4.5\times 10^{15}\text{ cm}^{-3}$ 。此时下外延层厚度为 23 μm 时器件的 BFOM 值最大。验证了上文的说法，当下外延层厚度稍薄于上外延层时，器件的综合特性最好。上外延层越厚，下外延层厚度相比于上外延层的减小量也越大。之前报道的文献都忽视了这一点。

1.3 浮动结结构的设计

除了上下外延层厚度及掺杂浓度，浮动结和表面结的宽度和间距也会对 FJ-JBS 器件的综合特性产生较为明显的影响。首先对不同浮动结线宽比($W_2:S_2$)条件下器件的正反向特性进行仿真，表面结线宽比保持不变($W_1:S_1=3:3$)，仿真结果如图 6 所示。由图 6 可以得到不同浮动结线宽比($W_2:S_2$)下器件的 BFOM 值，如图 7 所示。

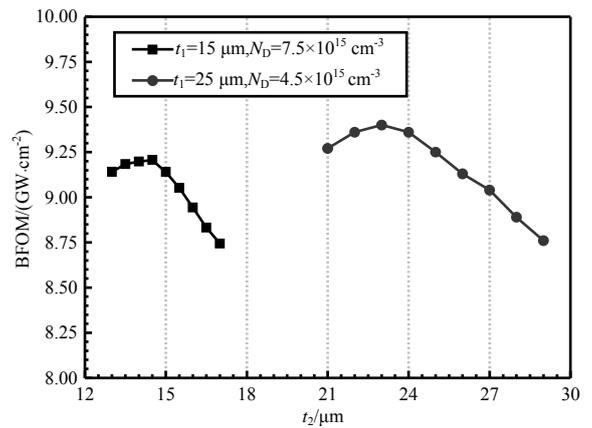


Fig.5 BFOM value of device versus the thickness of lower epilayer as upper epilayer fixed
图 5 上层外延参数确定时，器件 BFOM 值随下层外延厚度的变化

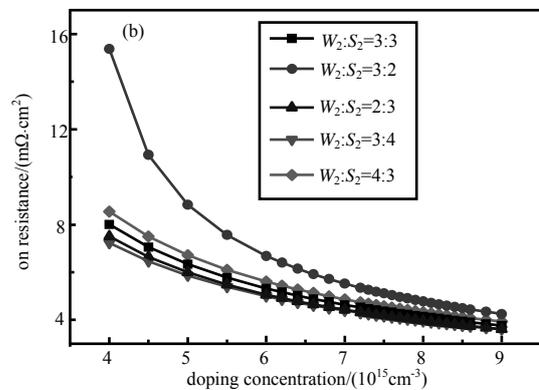
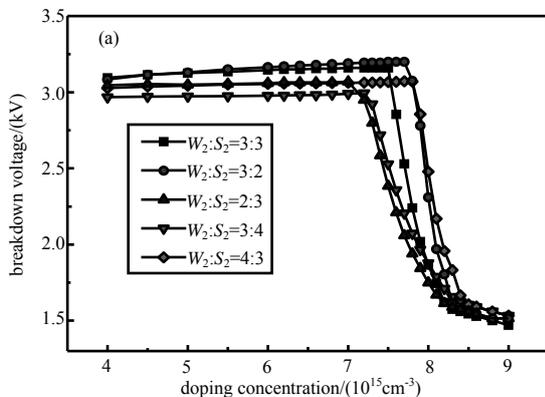


Fig.6 (a) BV and (b) Ron of FJ-JBS cells versus doping concentration in the different line width ratios of floating junctions
图 6 不同浮动结线宽比($W_2:S_2$)条件下 FJ-JBS 原胞的(a) 击穿电压；(b) 正向导通电阻

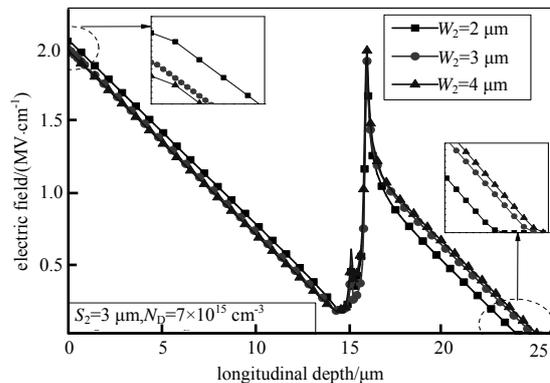
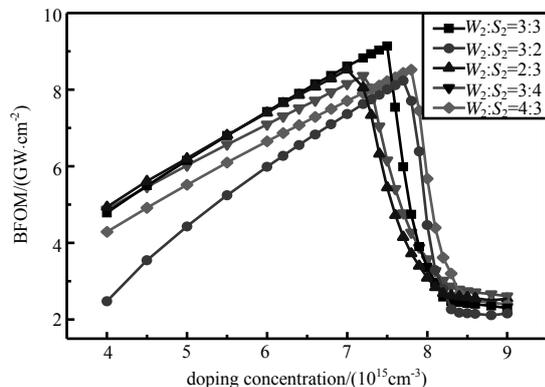


Fig.7 BFOM value of FJ-JBS cells versus doping concentration with different line width ratios of floating junctions
图 7 不同浮动结线宽比($W_2:S_2$)下 FJ-JBS 原胞的 BFOM 值

Fig.8 Electric field with different floating junction widths under 2 800 V reverse bias voltage
图 8 2 800 V 反向偏压，不同浮动结宽度下器件内的电场分布

由图 7 可知, 当浮动结处的线宽比 $W_2:S_2=3:3$ 且掺杂浓度为 $7.5 \times 10^{15} \text{ cm}^{-3}$ 时, 器件的综合特性达到最优。

当浮动结宽度 W_2 固定为 $3 \mu\text{m}$, S_2 发生变化时, 会出现以下 2 种情况:

1) 如果 $W_2:S_2 > 3:3$, 器件的 BV 基本无变化, 但是由于较小的 S_2 相当于减小了浮动结处电流沟道的宽度, 器件的 R_{on} 显著增加, 导致器件的 BFOM 值降低。

2) 如果 $W_2:S_2 < 3:3$, 器件的 R_{on} 变化较小, BV 变化较为明显。这是因为当浮动结间距 S_2 过大时, 器件表面更容易在浮动结间隙未夹断之前发生击穿, 下外延层的承压降低, 导致器件的 BV 降低。

当相邻浮动结的间距 S_2 固定为 $3 \mu\text{m}$ 而 W_2 变化时, 器件的最优掺杂浓度值随 W_2 的减小而逐渐降低, 现有的公开文献中并没有对这现象做出相应的解释。本文对不同浮动结宽度下器件内电场及耗尽层的分布情况进行了仿真对比, 仿真结果如图 8~9 所示。

从图 8~9 可知, 当 S_2 固定为 $3 \mu\text{m}$ 时, W_2 越小, 浮动结处的导电沟道越难被夹断, 耗尽层向下延伸的距离越小, 器件表面的电场强度越大, 击穿发生时外延掺杂浓度越低。此外, W_2 越小, 上外延层承压越大, 下外延层承压越小, 在 W_2 变化的过程中, 存在一个最优值使得上下外延层的承压之和最大。通过对比上述仿真结果, 发现浮动结的最佳宽度与器件的外延掺杂浓度相关, 当掺杂浓度为 $7.5 \times 10^{15} \text{ cm}^{-3}$ 时, W_2 的最优值为 $3 \mu\text{m}$, 如果掺杂浓度升高至 $7.8 \times 10^{15} \text{ cm}^{-3}$, W_2 的最优值变为 $4 \mu\text{m}$ 。

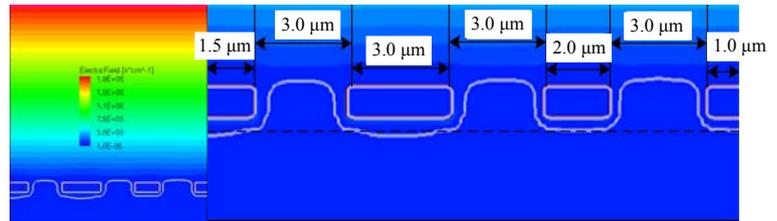


Fig.9 Distribution of depleted layer electric field with different floating junction widths and the same spacing under the same reverse bias voltage

图 9 间距和反向偏压相同, 浮动结宽度不同时器件内的耗尽层分布

1.4 表面结构的设计

通过上述参数的设计, 器件的 BFOM 值基本被确定下来。但是 FJ-JBS 器件还需要考虑到另外一个重要特性, 即器件的反向漏电流。由于 FJ-JBS 器件的漏电流与表面结的结构息息相关, 所以在进行表面结的设计时以漏电流为判断依据。仿真结果如图 10 所示。

由图 10 可知, 当 $S_1=6.0 \mu\text{m}$ 时(对应于无表面结, 器件为 FJ-SBD 结构), 器件的漏电流在 500 V 电压下就已经远远超过 FJ-JBS 器件的漏电流, 说明表面结的加入能够显著降低漏电流。这是因为当器件反偏时, 表面结处相邻的 PN 结耗尽区随反偏电压的增大向周围扩展直至相互重叠形成势垒夹断沟道, 同时重叠后所形成的势垒将肖特基结屏蔽在外部强电场之外, 抑制了肖特基结的电场, 镜像力所导致的肖特基势垒高度降低效应受到限制, 反向漏电流密度降低。当反向电压低于 750 V 时, 不同表面结线宽比几乎不影响器件的反向漏电流。当反向电压高于 750 V 后, 器件的反向漏电流会随表面结处线宽比($W_1:S_1 < 2.5:3.5$)的增大而显著增加。当表面结处线宽比 $W_1:S_1 > 2.5:3.5$, 器件的漏电流几乎保持不变。由于间距 S_1 越大, 耗尽区穿通肖特基区所需的反偏电压就越高。当间距 S_1 过大时, 势垒无法对肖特基结形成有效的保护, 导致漏电流在低反向电压下就开始显著增加。考虑到表面结对器件导通电阻的影响, 表面结的宽度 W_1 和间距 S_1 均取为 $3 \mu\text{m}$ 时是最优的。

由前文讨论可以看到, 浮动结线宽比的具体参数, 是由器件的上下外延层厚度、各个区域的掺杂浓度和表面结宽度等结构参数, 以及击穿电压(BV)和导通电阻等电学参数所限制。BFOM 值最优则是被选定为线宽比设计的评价标准。若器件结构参数与文中一致, 线宽比 $W_2:S_2=3:3$ 达到最优; 若器件结构参数与本文有所不同, 则需要根据 BFOM 值最优来调整线宽比的大小。本文的设计思路与方法, 可以为以后 FJ-JBS 器件的设计提供参考。

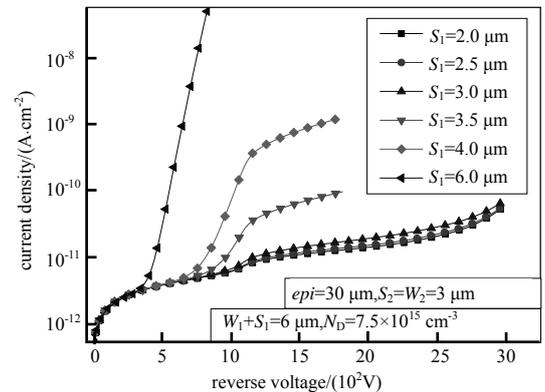


Fig.10 Relationship between reverse leakage current and reverse bias voltage with the same width/spacing ratio of floating junctions and different width/spacing ratios of surface junctions

图 10 浮动结处线宽比($W_2:S_2$)一定, 表面结线宽比不同时器件反向漏电流与反向偏压的关系

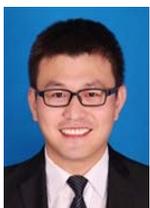
2 结论

本文针对 4H-SiC 浮动结 JBS 器件研究了其设计方法。提出了一种逐步对器件上下外延层以及浮动结和表面结的结构进行设计的思路。在上外延层厚度一定的情况下得到外延层最佳掺杂浓度, 然后以器件的功率优值(BFOM 值)为依据确定出最佳下外延层厚度。否定了文献中认为浮动结位于器件中部为最佳设计的结论。其结果表明器件下外延层厚度稍薄于上外延层时, 器件的 BFOM 值更大。此外, 本文还研究了表面结和浮动结线宽比对器件性能的影响。仿真结果表明浮动结和表面结线宽比不仅影响器件导通特性, 对反向特性的作用也不可忽视。浮动结线宽比在一定范围内会略微影响器件击穿电压, 而表面结主要影响器件的反向泄漏电流。对于击穿电压为 3 000 V 的器件, 通过该方法给出了一组合理的设计结构参数: $N_D=7.5\times 10^{15} \text{ cm}^{-3}$, $t_1=15 \mu\text{m}$, $t_2=14.5 \mu\text{m}$, $W_1=W_2=3 \mu\text{m}$, $S_1=S_2=3 \mu\text{m}$, 可以用来指导 FJ-JBS 器件的制备。

参考文献:

- [1] CEZAC N,ROSSEL P,MORANCHO F,et al. A new generation of power devices based on the concept of the floating islands[C]// International Conference on Microelectronics. Yugoslavia:IEEE, 2000:637-640.
- [2] CHEN X B,WANG X,SIN J K O. A novel high-voltage sustaining structure with buried oppositely doped regions[J]. IEEE Transactions on Electron Devices, 2000,47(6):1280-1285.
- [3] SAITOH W,OMURA I,TOKANO K,et al. Ultra low on-resistance SBD with p-buried floating layer[C]// International Symposium on Power Semiconductor Devices and ICs. USA:IEEE, 2002:33-36.
- [4] SAITOH W,OMURA I,TOKANO K,et al. A novel low on-resistance Schottky-barrier diode with p-buried floating layer structure[J]. IEEE Transactions on Electron Devices, 2004,51(5):797-802.
- [5] NISHIO J,OTA C,HATAKEYAMA T,et al. Ultralow-loss SiC floating junction Schottky barrier diodes(Super-SBDs)[J]. IEEE Transactions on Electron Devices, 2008,55(8):1954-1960.
- [6] OTA C,NISHIO J,HATAKEYAMA T,et al. Simulation,fabrication and characterization of 4H-SiC floating junction Schottky Barrier Diodes(Super-SBDs)[J]. Materials Science Forum, 2007:556-557,881-884.
- [7] HAO Y,XIAO Y T,YI M Z,et al. The fabrication of 4H-SiC Floating Junction SBDs(FJ_SBDs)[J]. Materials Science Forum, 2014:778-780,812-815.
- [8] ZHANG Y,ZHANG Y,TANG X,et al. 4H-SiC junction barrier Schottky diode with embedded p-layer[C]// Electron Devices & Solid-state Circuits. Hongkong,China:IEEE, 2010:1-5.
- [9] YUAN H,TANG X,SONG Q,et al. Analytical models of on resistance and breakdown voltage for 4H-SiC floating junction Schottky barrier diodes[J]. Solid-State Electronics, 2015(103):83-89.
- [10] PU Hongbin,CAO Lin,CHEN Zhiming,et al. Modeling of 4H-SiC multi-floating-junction Schottky barrier diode[J]. Chinese Physics B, 2010,19(10):408-413.
- [11] REN N,SHENG K. An analytical model with 2-D effects for 4H-SiC trench junction barrier Schottky diodes[J]. IEEE Transactions on Electron Devices, 2014,61(12):4158-4165.

作者简介:



孙腾飞(1991-), 男, 西安市人, 在读硕士研究生, 主要研究方向为碳化硅功率器件.
email:513294524@qq.com.

汤晓燕(1975-), 女, 西安市人, 博士, 教授, 主要研究方向为 SiC 材料、器件.

谢思亮(1994-), 男, 重庆市人, 在读硕士研究生, 主要研究方向为 SiC 功率器件可靠性.

袁昊(1989-), 男, 西安市人, 博士, 助理研究员, 主要研究方向为碳化硅器件、可靠性.

张玉明(1965-), 男, 陕西省白水县人, 博士, 教授, 主要研究方向为碳化硅材料、器件.