

文章编号: 2095-4980(2019)04-0730-05

## 抗总剂量辐射华夫饼功率管版图设计

周 泉, 罗 萍\*, 何林彦, 肖天成

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

**摘 要:** 功率管在空间辐射环境下会发生沟道边缘漏电, 导致功率集成电路性能退化。介绍了一种 0.35  $\mu\text{m}$  单片集成(BCD)工艺下基于华夫饼结构的全新功率管版图, 并对普通条形栅结构 N 沟道功率管和新型华夫饼结构 N 沟道功率管进行了 Co-60 辐射实验。总剂量辐射使 N 沟道条形栅功率管发生漏电。辐射实验结果表明, 经过无边缘化处理的华夫饼结构可以有效控制总剂量辐射诱发的漏电, 能够大幅提升功率管的抗总剂量辐射能力。

**关键词:** 总剂量辐射; 功率管; 华夫饼结构; 漏电流

**中图分类号:** TN386.1

**文献标志码:** A

**doi:** 10.11805/TKYDA201904.0730

## Design of a TID radiation hardened power MOSFET with waffle layout

ZHOU Xiao, LUO Ping\*, HE Linyan, XIAO Tiancheng

(State Key Laboratory of Electronic Thin Film and Integrated Devices, University of Electronic Science and Technology of China, Chengdu Sichuan 610054, China)

**Abstract:** Power Metal Oxide Semiconductor Field Effect Transistor(MOSFET) is widely used in power Integrated Circuit(IC). Radiation in space may cause the leakage current at the edge of the channel in power MOSFET, which will lead to the degeneration of power IC. This paper presents a new waffle layout for power MOSFET in 0.35  $\mu\text{m}$  Bipolar CMOS DMOS(BCD) process. Packaged power MOSFETs with finger and waffle layout are tested after Co-60 based irradiation experiment. The Total Ionizing Dose(TID) radiation induces the leakage current only in N-channel power MOSFET with finger layout. The presented waffle layout with its edgeless structure is proved to be effective to control the leakage current, which enhances the TID-tolerance of power MOSFET a lot.

**Keywords:** total ionizing dose radiation; power MOSFET; waffle layout; leakage current

功率管大量用于功率集成电路中, 通常会占据芯片很大的版图面积。在空间辐射环境下, 功率管的电学参数会发生退化, 影响功率集成电路的正常功能。总剂量辐射效应会导致功率管发生阈值电压漂移和漏电增加<sup>[1]</sup>。通常空间环境使用的集成电路都是通过特殊的抗辐射工艺生产出来的, 但这些特殊工艺都较复杂且电学性能落后于商用标准工艺。随着工艺线宽不断缩小, 氧化层的厚度变得越来越薄, 由辐射诱发的电荷被氧化层俘获的机率将会降低, 集成电路对辐射总剂量效应变得不那么敏感。因此可以在小线宽商用工艺线下, 通过抗辐射加固的版图设计<sup>[2]</sup>来提升集成电路的抗总剂量辐射能力, 从而避免复杂的工艺过程调整。

### 1 功率集成电路中功率管的总剂量辐射效应

#### 1.1 普通条形栅结构功率管

图 1 为典型的条形栅功率管版图结构, 可以看作由很多普通条形栅 MOS 管并联在一起。条形栅结构很容易进行复制拼贴, 也容易通过 Cadence 软件的设计规则检查(Design Rule Check, DRC), 广泛用于功率管设计。但这种条形栅结构在有源区的边缘有非常厚的场氧化层, 这部分氧化层对总剂量辐射非常敏感<sup>[1]</sup>。

收稿日期: 2018-01-19; 修回日期: 2018-04-13

基金项目: 国家自然科学基金联合基金(NSAF)资助项目(U1630117)

\*通信作者: 罗 萍 email: pingl@uestc.edu.cn

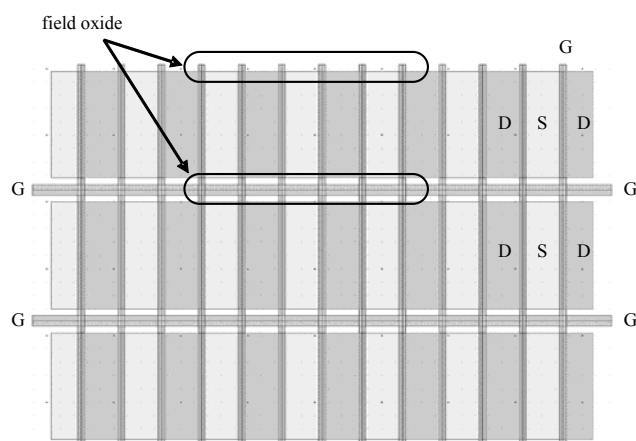


Fig.1 Typical layout of power MOSFET with fingers  
图 1 典型条形栅功率管版图结构

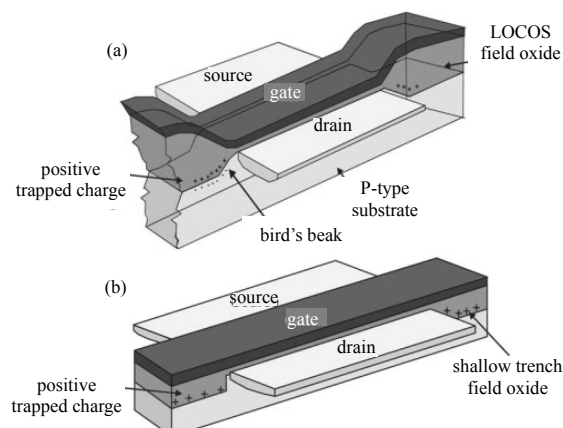


Fig.2 Cross section of (a) LOCOS isolated and (b) shallow-trench isolated MOSFET  
图 2 MOSFET(a) 局部氧化隔离和(b) 浅槽隔离截面图

## 1.2 MOSFET 场氧的总剂量辐射效应

局部氧化隔离(Local Oxidation of Silicon, LOCOS)和浅槽隔离(Shallow Trench Isolation, STI)<sup>[1]</sup>是 2 种常见的场氧隔离方式,图 2(a)展示了 N 沟道 MOS 管的 LOCOS 隔离截面图。由辐射诱生的正电荷在鸟嘴区不断积累,场氧下方表面发生反型,形成 N 型导电通路,使 NMOS 管的漏电流大幅增加。对于 STI 的 MOS 管,辐射同样也会诱发类似的电荷积累与漏电过程,如图 2(b)所示。因为在场氧中累计的主要是正电荷, N 沟道晶体管对总剂量辐射损伤会更加敏感。

普通 MOS 管 LOCOS 区域或 STI 区域的厚氧化层,对总剂量辐射效应非常敏感,容易在辐射下形成漏电通路,产生较大漏电流,会导致芯片的静态电流增加、功率管开关功能丧失等问题。无边缘化版图结构可以有效去除有源区边缘对辐射敏感的氧化物,避免边缘漏电流的产生。环栅版图结构<sup>[3]</sup>就是一种典型的无边缘化的版图结构,已经被证实能提高 MOS 管的抗总剂量辐射能力<sup>[4-8]</sup>。

## 1.3 华夫饼结构功率管

华夫饼形状的 MOS 管因具有良好的频率特性,常被设计使用在射频电路和系统中<sup>[9-11]</sup>,其结构如图 3 所示。这种均匀对称的华夫饼结构版图,同样用于静电泄放(Electro-Static Discharge, ESD)保护电路,它可以提供更多的泄放通路用以泄放 ESD 电流<sup>[12-14]</sup>。在华夫饼版图中,源和漏交错排布。华夫饼 MOS 管在版图的设计和优化后可以变得无边缘化,将大幅提高器件的抗总剂量辐射能力,其原理和环栅器件类似。另外,华夫饼器件版图的元包也非常容易被复制拼贴在一起,构成大尺寸的功率管版图。

本文介绍了一种全新华夫饼结构的 MOS 功率管版图,在保持华夫饼结构独特的源漏交错排布方式的同时,把正方形的有源区,拉长为长条形。长条形的源漏更容易打接触孔以及方便金属连接,降低寄生电阻,最终减小功率管的导通电阻。并在栅多晶硅(Poly)横竖交叉的地方进行 135°钝角倒角处理,避免拐角处发生击穿。图 4 为全新华夫饼结构功率管版图的简化示意图,图中仅展示了实际版图中的有源区(Active)和栅多晶硅(Poly)2 个图层。把相同尺寸的华夫饼结构功率管和条形栅结构功率管放在一起比较(图 1 和图 4),华夫饼结构功率管会在边缘区域浪费一些有源区,但在横向栅极下会多并联一些沟道,导致两者的 W/L 不一致。在全新设计的华夫饼功率管中,将所有的有源区拼接到一起,中间不再保留场氧区域;在版图的最外围,全部用有源区进行包围,并将最外围的有源区连接为源极。通过华夫饼结构设计,功率管的所有导电沟道区域不再与较厚的场氧化层相接,所有的导电沟道变得完全无边缘化,无边缘化的结构已经被证明具有抗辐射能力。

在商用 0.35 $\mu\text{m}$  BCD 工艺下设计样片并进行流片,每一片样片上都有一根 N 型条形栅结构功率管和一根相

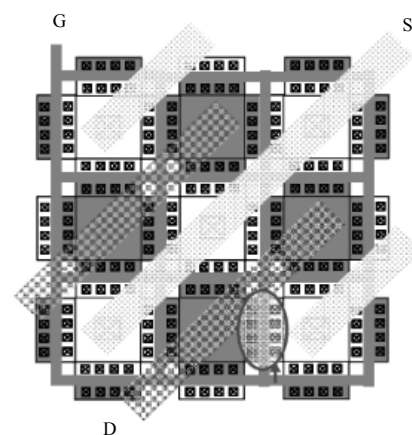


Fig.3 Layout of MOSFET with waffle  
图 3 华夫饼结构 MOSFET 版图

同尺寸的 N 型华夫饼结构功率管, 样片都带有 ESD 保护电路并进行了封装。图 5 为本次芯片流片的版图, 芯片尺寸为  $1.2\text{ mm} \times 0.8\text{ mm}$ , 单个功率管的有效尺寸为  $0.21\text{ mm} \times 0.2\text{ mm}$ , 版图左半部分为华夫饼功率管, 右半部分为条形栅功率管, 两者的金属连线方式完全一致, 源漏极均采用插指状连接, 确保金属连线的电流能力。2 种功率管版图, 除了有源区和栅不同, 其余部分均完全相同。

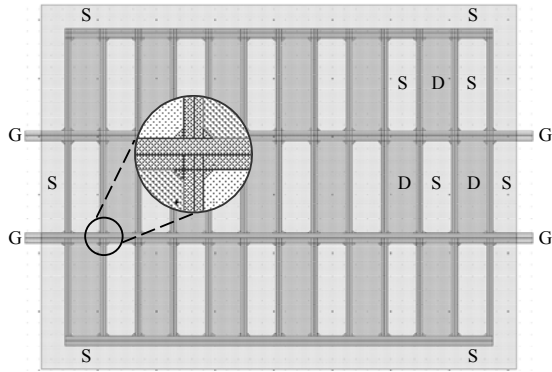


Fig.4 Simplified layout of power MOSFET with waffle  
图 4 华夫饼功率管版图简化示意图

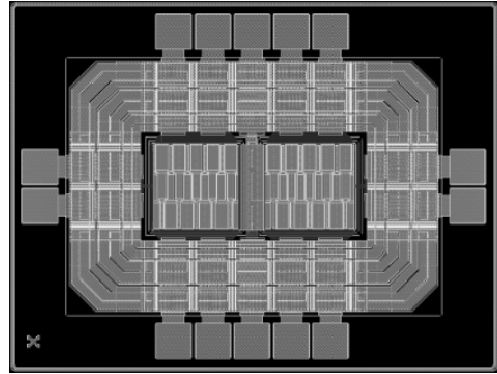


Fig.5 Layout of power MOSFETs with finger and waffle  
图 5 条形栅和华夫饼功率管流片版图

## 2 总剂量辐射实验

本次总剂量辐射实验的辐射源是 Co-60, 剂量率选定为  $50\text{ rad(Si)/s}$ , 均采用不带电辐照, 最终累计总剂量为  $600\text{ krad(Si)}$ 。当总剂量分别累计到  $50/100/200/300/400/600\text{ krad(Si)}$  时, 取出样片进行测试, 并在  $30\text{ min}$  内放回辐照室继续辐照。

### 2.1 功率管在总剂量辐射下的 $I-U$ 特性

图 6 为条形栅功率管和华夫饼功率管在总剂量为  $0\text{ krad(Si)}$  和  $600\text{ krad(Si)}$  时的  $I_{ds}-U_{gs}$  特性曲线, 测试偏置为  $U_{ds}=5\text{ V}$ 。由图 6 可知, 在  $600\text{ krad(Si)}$  时, 条形栅功率管和华夫饼功率管的阈值电压  $U_{th}$  较辐照前都有明显的漂移; 条形栅功率管漏电流较辐照前有较大的增加, 但华夫饼功率管较辐照前仅有轻微的增加。

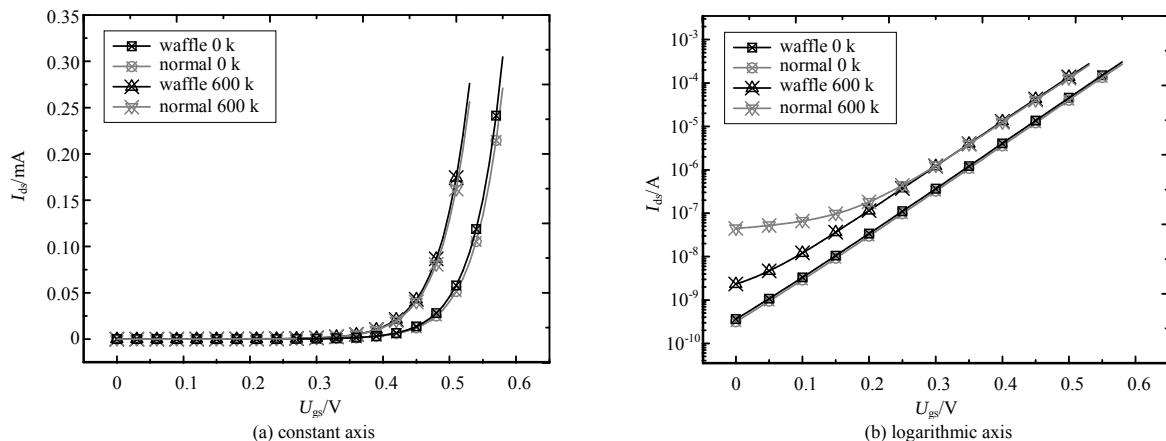


Fig.6  $I-U$  characteristic of MOSFETs in (a) constant and (b) logarithmic axis  
图 6 功率管在常数坐标(a)和对数坐标(b)下的  $I-U$  特性曲线

### 2.2 功率管在总剂量辐射下的阈值电压漂移

本次选用的工艺中, 普通 MOS 管栅氧化层的厚度为  $15.5\text{ nm}$ , 大剂量的辐射累积作用在栅氧化层上, 导致功率管阈值电压的漂移, 且阈值电压的漂移与栅氧厚度成指数关系<sup>[15]</sup>。

表 1 为条形栅功率管和华夫饼功率管的阈值电压随辐射剂量的变化关系, 可以明显看到, 两者的阈值电压都随总剂量辐射的累积而降低。N 型条形栅功率管在辐照前的  $U_{th}$  为  $0.62\text{ V}$ , 累积  $600\text{ krad(Si)}$  的辐射后  $U_{th}$  降低为  $0.57\text{ V}$ , 负向漂移了  $7.1\%$ , 因为该工艺下栅氧化层较薄, 在辐射的作用下不易俘获陷阱电荷, 故阈值电压漂

移未特别严重。从表中可以看出，华夫饼功率管和条形栅功率管的情况非常接近，华夫饼结构对总剂量辐射下的阈值电压漂移无明显改善。

表 1 条形栅和华夫饼功率管的阈值电压随辐射剂量的变化关系

| Table 1 $U_{th}$ variation of finger/waffle power MOSFET with total ionizing dose radiation |                          |                    |                   |              |              |              |              |              |
|---------------------------------------------------------------------------------------------|--------------------------|--------------------|-------------------|--------------|--------------|--------------|--------------|--------------|
|                                                                                             |                          | before irradiation | after irradiation |              |              |              |              |              |
|                                                                                             |                          | 0 krad(Si)         | 50 krad(Si)       | 100 krad(Si) | 200 krad(Si) | 300 krad(Si) | 400 krad(Si) | 600 krad(Si) |
| waffle                                                                                      | $U_{th}/mV$              | 618                | 615               | 606          | 598          | 590          | 586          | 574          |
|                                                                                             | variation of $U_{th}/mV$ | -                  | -3                | -12          | -20          | -28          | -32          | -44          |
|                                                                                             | percentage variation     | -                  | -0.49%            | -1.94%       | -3.24%       | -4.53%       | -5.24%       | -7.10%       |
| finger                                                                                      | $U_{th}/mV$              | 620                | 616               | 610          | 600          | 595          | 589          | 575          |
|                                                                                             | variation of $U_{th}/mV$ | -                  | -4                | -10          | -20          | -25          | -31          | -45          |
|                                                                                             | percentage variation     | -                  | -0.65%            | -1.61%       | -3.23%       | -4.02%       | -5.00%       | -7.29%       |

### 2.3 功率管在总剂量辐射下的漏电流

图 7 为条形栅功率管和华夫饼功率管在截至状态  $U_g=0\text{ V}$ ，总剂量为 0 krad(Si)和 600 krad(Si)时的  $I_{ds}-U_{ds}$  关系。辐照前，条形栅功率管和华夫饼功率管的漏电流  $I_{ds}$  曲线几乎完全重合，两者漏电流大小几乎一样。在总剂量为 600 krad(Si)时，条形栅功率管的  $I_{ds}$  明显增大。因为在总剂量辐射的作用下，边缘场氧区内形成了漏电通路，漏电流增大。华夫饼功率管的  $I_{ds}$  在总剂量为 600 krad(Si)时并没有大幅增大，和辐照前的曲线比较接近。可以看出，无边缘化的华夫饼版图结构，可以有效抑制漏电流的产生，提升功率管的抗总剂量能力。

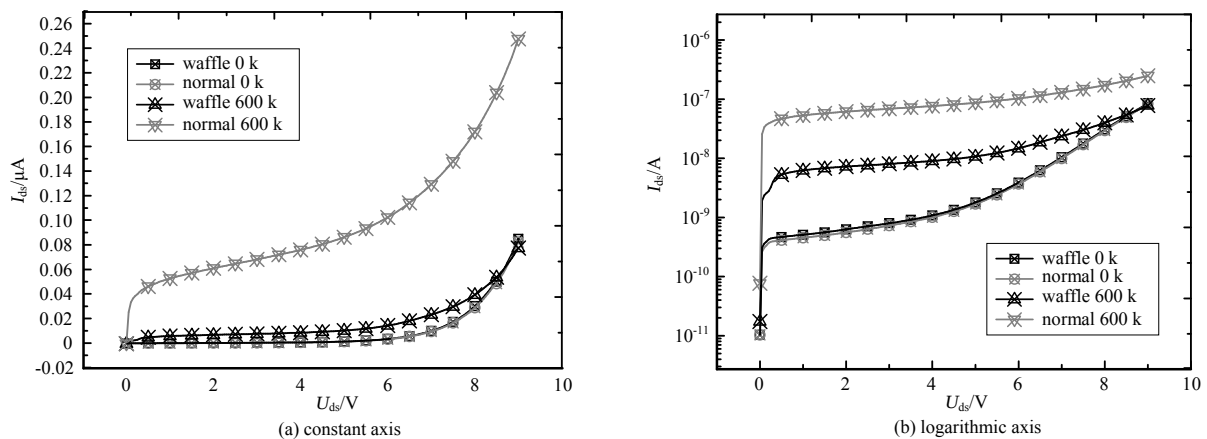


Fig.7 Leakage current of MOSFETs in (a) constant and (b) logarithmic axis

图 7 功率管在常数坐标(a)和对数坐标(b)下的漏电流

## 3 结论

本文在 0.35  $\mu\text{m}$  BCD 工艺下设计、流片了条形栅结构和华夫饼结构 2 种尺寸一致的 N 沟道 MOS 功率管，并对封装后的芯片在不带电状态下进行了 Co-60 总剂量辐射实验，最终累计总剂量为 600 krad(Si)。测试结果显示，条形栅结构和华夫饼结构 N 沟道功率管的阈值电压  $U_{th}$  都从 0.62 V 漂移到 0.57 V，说明华夫饼结构对总剂量辐射下的阈值电压漂移无法直接改善；总剂量辐射会导致传统条形栅结构的功率管在场氧边缘产生漏电流，华夫饼结构版图可以有效抑制这一漏电流。在商用 0.35  $\mu\text{m}$  BCD 工艺下，采用华夫饼结构版图的 N 沟道功率管可以有良好的抗辐射能力。

### 参考文献：

- [1] SCHWANK J R, SHANEYFELT M R, FLEETWOOD D M, et al. Radiation effects in MOS oxides[J]. IEEE Transactions on Nuclear Science, 2008, 55(4): 1833–1853.
- [2] SNOEYS W, FACCIO F, BURNS M, et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip[J]. Nuclear Inst & Methods in Physics Research A, 2000, 439(2): 349–360.
- [3] GIRALDO A, PACCAGNELLA A, MINZONI A. Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout[J]. Solid State Electronics, 2000, 44(6): 981–989.

- [4] 万霄鹏. 基于 CMOS 工艺的抗辐照加固光电探测芯片设计[D]. 成都:电子科技大学, 2015. (WAN Xiaopeng. Design of RHBD optical receiver chip based on CMOS process[D]. Chengdu, China: University of Electronic Science and Technology of China, 2015.)
- [5] SNOEYS W J, GUTIERREZ T A P, ANELLI G. A new NMOS layout structure for radiation tolerance[J]. IEEE Transactions on Nuclear Science, 2002, 49(4): 1829–1833.
- [6] 印琴, 蔡洁明, 刘士全, 等. 集成电路总剂量加固技术的研究进展[J]. 太赫兹科学与电子信息学报, 2017, 15(2): 148–152. (YIN Qin, CAI Jieming, LIU Shiquan, et al. Research progress on the technology of total dose radiation hardened[J]. Journal of Terahertz Science and Electronic Information Technology, 2017, 15(2): 148–152.)
- [7] 王丹辉, 赵元富, 岳素格, 等. 高压 LDMOS 总剂量辐射效应研究[J]. 微电子学与计算机, 2015, 32(10): 82–86. (WANG Danhui, ZHAO Yuanfu, YUE Suge, et al. Total dose radiation effects studies of high voltage LDMOS[J]. Journal of Microelectronics & Computer, 2015, 32(10): 82–86.)
- [8] 胡永贵, 王健安, 魏亚峰, 等. 高压大电流单片 DC/DC 的抗总剂量加固技术[J]. 太赫兹科学与电子信息学报, 2017, 15(6): 1060–1065. (HU Yonggui, WANG Jian'an, WEI Yafeng, et al. Total dose radiation hardness technology of high-voltage high-current monolithic DC–DC converter[J]. Journal of Terahertz Science and Electronic Information Technology, 2017, 15(6): 1060–1065.)
- [9] KER M D, LIN C Y. Low-capacitance SCR with waffle layout structure for on-chip ESD protection in RF ICs[J]. IEEE Transactions on Microwave Theory and Techniques, 2008, 56(5): 1286–1294.
- [10] YOO A, CHANG M, TRESCASES O, et al. High performance low-voltage power MOSFETs with hybrid waffle layout structure in a 0.25  $\mu\text{m}$  standard CMOS process[C]// International Symposium on Power Semiconductor Devices and IC's. Orlando, FL, USA: IEEE, 2008: 95–98.
- [11] NG W T, CHANG M, YOO A, et al. High speed CMOS output stage for integrated DC–DC converters[C]// International Conference on Solid-State and Integrated-Circuit Technology. Beijing: IEEE, 2008: 1909–1912.
- [12] CHEN W Y, KER M D. High-voltage nLDMOS in waffle-layout style with body-injected technique for ESD protection[J]. IEEE Electron Device Letters, 2009, 30(4): 389–391.
- [13] ZHENG J, HAN Y, WONG H, et al. Robust and area-efficient nLDMOS-SCR with waffle layout structure for high-voltage ESD protection[J]. Electronics Letters, 2012, 48(25): 1629–1630.
- [14] CHEN S L, LIN C J, CHANG S, et al. ESD reliability comparison of different layout topologies in the 0.25- $\mu\text{m}$  60-V nLDMOS power devices[C]// International Symposium on Next-Generation Electronics. Taipei, Taiwan, China: IEEE, 2015: 1–4.
- [15] HUGHES H L, BENEDETTO J M. Radiation effects and hardening of MOS technology: devices and circuits[J]. IEEE Transactions on Nuclear Science, 2003, 50(3): 500–521.

#### 作者简介:



周 枭(1989–), 男, 成都市人, 在读博士研究生, 主要研究方向为功率集成电路抗辐射加固设计. email: zhouxiao@uestc.edu.cn.

罗 萍(1968–), 女, 成都市人, 博士, 教授, 博士生导师, 主要研究方向为智能功率集成电路与系统.

何林彦(1994–), 女, 四川省达州市人, 在读硕士研究生, 主要研究方向为集成电路及抗辐射加固设计.

肖天成(1993–), 男, 石家庄市人, 在读硕士研究生, 主要研究方向为电源管理设计.