

文章编号: 2095-4980(2019)06-1098-05

高压栅驱动电路中高速工况研究与设计

雷一博, 方 健, 陈智昕, 王定良

(电子科技大学 电子科学与工程学院, 四川 成都 610054)

摘 要: 基于高压栅驱动电路, 提出一种高速工况下的改进结构, 以克服不确定的错误输出。新结构包括高速工况保护技术和一种能够消除 R/S 触发器输入不确定状态的技术。与传统的栅驱动电路相比, 新结构拥有更好的抗风险能力。基于华润上华 1 μm 600 V 引导配置数据(BCD)工艺平台, 使用 Cadence 公司的 Hspice 软件仿真验证, 并给出改进方案。仿真结果证明, 该技术能将高压电平位移电路中窄脉冲信号脉宽从 100 ns 削波至 10 ns。

关键词: 高压栅驱动; BCD 工艺; 电平位移; 窄脉冲; RS 触发器

中图分类号: TN47

文献标志码: A

doi: 10.11805/TKYDA201906.1098

Research and design about high speed working condition in high voltage gate driver

LEI Yibo, FANG Jian, CHEN Zhixing, WANG Dingliang

(School of Electronic Science and Engineering, University of Electronic Science and Technology of China, Chengdu Sichuan 610054, China)

Abstract: A novel protective technology based on high voltage gate driver has been developed to overcome false output in the high speed operation. The novel technology includes an high frequency protection structure. Compared with conventional gate driver circuit, the new technology achieves better resistivity encountering risks. Based on Central Semiconductor Manufacturing Corporation(CSMC) 1 μm 600 V Boot Configuration Data(BCD) technology platform, this paper uses the Hspice simulation software of Cadence to verify the problem, and gives the improved project. The simulation results show that the novel improvement can reduce the pulse width from 100 ns to 10 ns in the high voltage level shift circuit.

Keywords: high voltage gate driver; BCD technology; level shift; narrow pulse; RS trigger

栅驱动电路用于很多领域。文献[1]利用一个绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor, IGBT)作为高端开关(IGBT1), 通过一个自举电路, 实现浮动的电压源。此电路在某些工作条件下, 外部母线电压能达到 600 V 以上。文献[2]提出了一种高压集成电路(High Voltage Integrated Circuit, HVIC)结构, 但它没有提到潜在的噪声威胁。文献[3-4]明确了 2 种增加延时时间的因素, 并提出了抗 dU/dt 和抗负过冲噪声的 HVIC 结构。文献[5-6]主要阐述了栅驱动电路的功耗和高温影响。然而, 在一些工作条件下, 当外部的功率管接受芯片输出信号, 并且快速开关时, 浮动地 U_S (高端模块的等效地)会快速上升至母线电压。因为 U_B (高端模块的等效电源)和 U_S 通过一个自举电容连接, U_B 将会随 U_S 的波动而波动, 从而产生 dU/dt 噪声^[7-9]。且因为 IGBT 的寄生参数, 这个噪声可能导致器件的误开启或更严重的雪崩击穿。目前, 对 IGBT 直通模型的研究均忽略了寄生电感参数的影响, 并且对 IGBT 中雪崩击穿、过流时间等现象与其安全工作范围之间的研究, 均未得到一个系统的研究结论, 国际论文中的第二类解决方案中, 通过检测及控制电路关断 IGBT 栅极的方案, 在电路结构实现上也较为复杂。

高压电平位移电路是高压栅驱动电路的核心之一, 其功能对整个智能模块和最大电压转换频率的限制至关重要。这个电路将对公共地的脉冲宽度调制(Pulse Width Modulation, PWM)信号转换为对浮动地 U_S 的 IGBT 栅极控制信号, 以便在 U_S 达到 600 V 时仍可正常工作。在集成电路中, 不同模组工作在不同的电压标准下, 因此需要一种双重供电结构。在双重电压供给系统中, 电平位移电路将低电压转换为高电压, 以满足后续的模组工

收稿日期: 2018-06-01; 修回日期: 2018-07-23

作。为确保整体电路的工作性能,电平位移电路需具备低功耗的特点^[10]。动态电压调整技术能提供多种电源电压:一方面,用低电源电压给非关键路径模块供电;另一方面,在模拟和高速数字模块中使用较高的电源电压。这种技术对于减少动态以及静态功耗非常必要^[11]。栅驱动高端部分的结构,包括脉冲产生电路、滤波电路、脉冲恢复电路和驱动电路^[12]。此电路中,因为 LDMOS 的高耐压性, U_s 可以在 0~600 V 波动。如果输入信号转换时间过长,会导致 LDMOS 长时间开启,从而增加许多功耗。因此,窄脉冲技术得以提出并应用在电路中,以降低不必要的功耗。

目前,对低功耗日益增长的需求,且信号的频率越来越高,导致了 dU/dt 噪声越来越高。在功率集成电路领域,高压电平位移电路的设计是一个巨大的挑战。国际会议提供的解决方案包含 3 种方法:第 1 种是限制 dU/dt 的变化率,但它加剧了功耗的浪费;第 2 种是设置一个 dU/dt 检测电路,当检测电路发现密勒电容被误触发时,将栅极强制接地,但检测控制电路的设计比较复杂;第 3 种是通过外部电源提供的负压提高功率器件的 U_{th} ,最终提高 dU/dt 的噪声容限^[12-15]。

在一些特殊的工作条件下,当输入信号频率较高时,如果高端输出一直是高电位,则电路处于很高的风险中。目前很少有文献提出解决高速风险的办法,因此,提出高速状态下的保护技术势在必行。

1 仿真验证存在的问题

后仿发现,当电路处在高速工况下(测试条件为窄脉冲宽度为 50 ns),低端输出不能响应,高端输出一直为高。这种错误一般是因为功率器件在还没完全开启时就关断了。测试结果见图 1。

窄脉冲宽度为 50 ns 时,窄脉冲生成电路的输入输出波形见图 2(a),栅驱动电路输入输出波形见图 2(b)。可以看出,仿真结果与后仿测试相符。

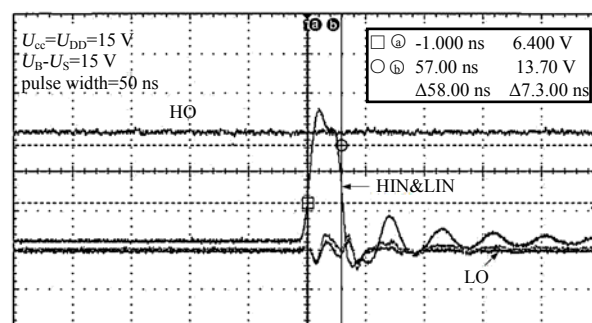


Fig.1 Post-layout test
图 1 芯片后仿测试结果

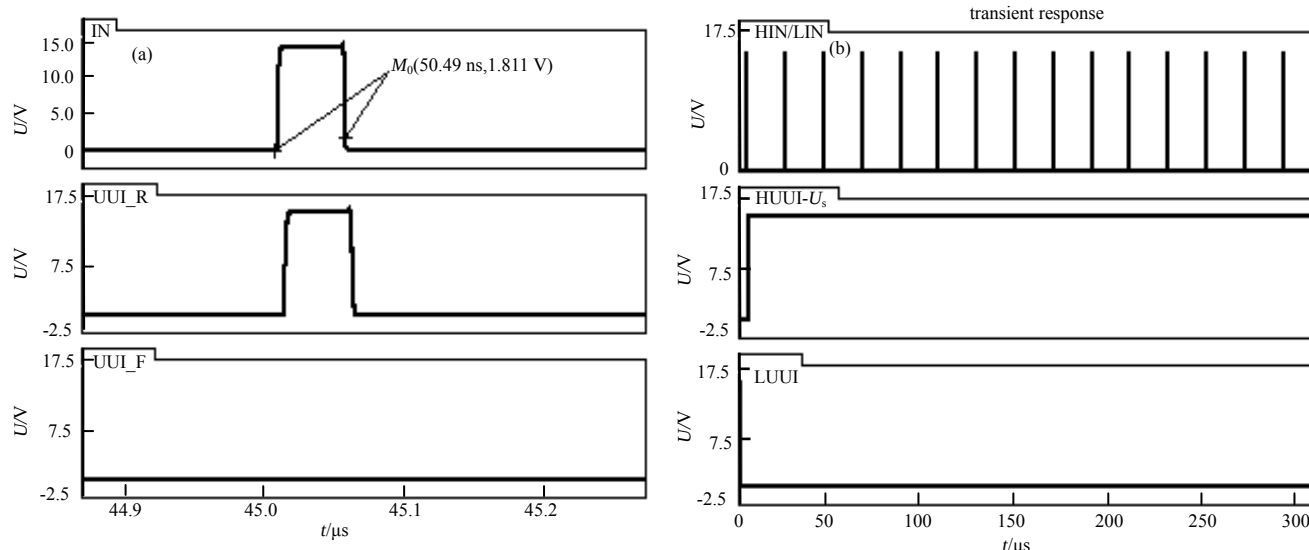


Fig.2 (a) Simulation results of pulse generation circuit; (b) Input and output of high side module
图 2 (a) 窄脉冲生成电路输入输出波形图; (b) 栅驱动电路输入输出波形图

2 分析并仿真验证改进的结果

为明白产生问题原因所在,对开关电路的节点进一步进行分析与仿真。如图 3(a)所示,当脉冲宽度很窄,信号由高电平变为低电平,然后快速恢复至高电平时,由于 R/C 的充电时间太长,导致节点 b 的电压上升较慢。但在节点 b 上升至高电平之前, MN1 开启, R/C 结构开始放电,下一级反相器因不能识别到高电平信号,而导致 PMOS(Positive channel Metal Oxide Semiconductor)常开, NMOS(N Metal Oxide-Semiconductor)常关,最

终导致输出常高的风险。因此,基于现有的分析,为解决这个问题,修改了 R/C 结构。如图 3(b)所示,电阻 R 改为接 MN1 的漏极。这种改动削弱了 MN1 的下拉能力,同时保证了节点 b 的上电至能够逻辑识别能力。图 4 从上至下展示了 IN, b , OUT 的波形图。

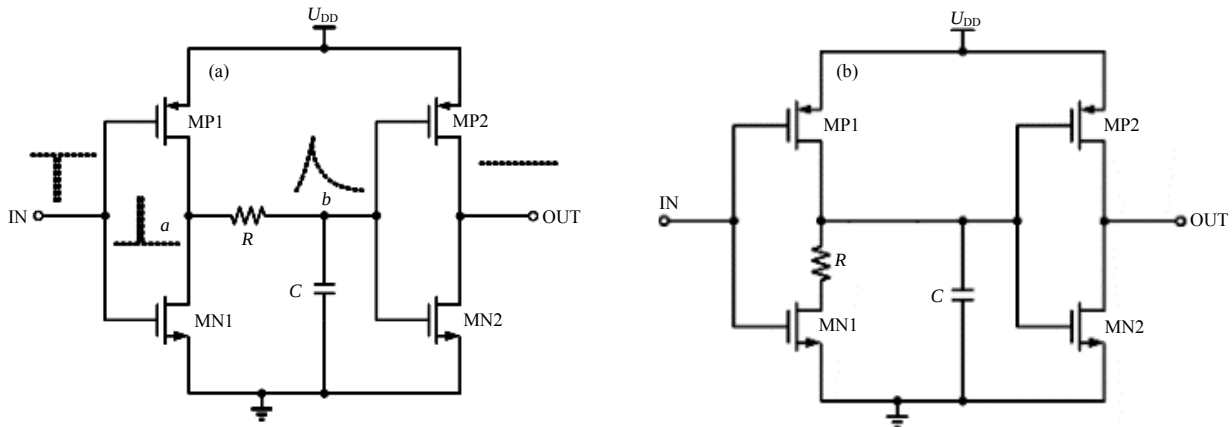


Fig.3 (a) Falling-edge switching structure in pulse generation module before change;
(b) Falling-edge switching structure in pulse generation module after change

图 3 (a) 改进前脉冲模块下降沿转换部分电路结构;(b) 改进后脉冲模块下降沿转换部分电路结构

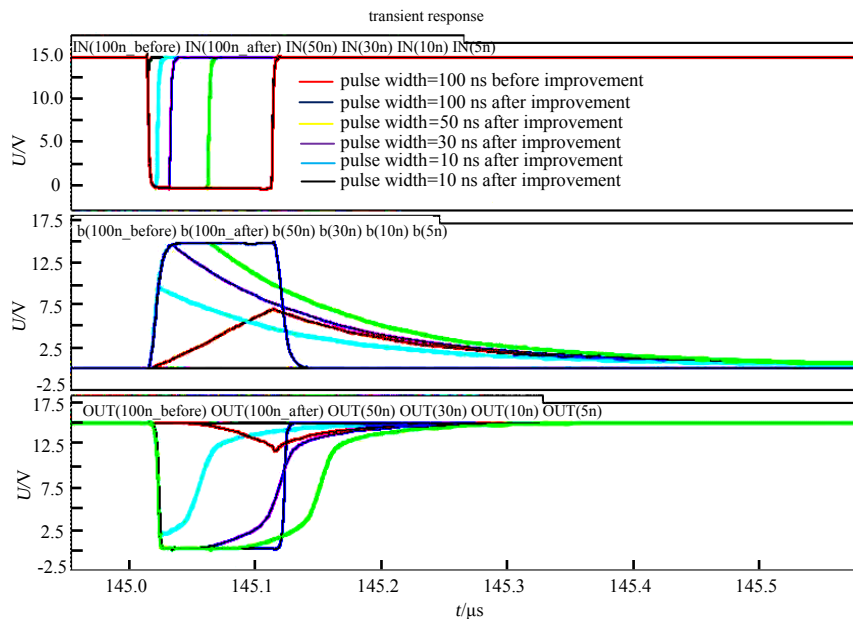


Fig.4 Waveform of IN, b , OUT under different widths of input

图 4 不同输入脉宽 R/C 结构 IN、节点 b 、OUT 的波形图对比

当工作速度没有那么快时,生成的 2 个窄脉冲脉宽一样宽,在改进之后,两者虽然有差别,但不会带来问题。因为 2 个窄脉冲通过 R/S 触发器采样信号上升沿恢复,过程如图 5 所示。从图 6 可以看出,当脉宽仅为 10 ns 时, R/C 结构仍能正常响应。

改进之后,对芯片进行测试,如图 7 所示,在窄脉冲脉宽减小为 25 ns 后, LO 输出为低电位, HO 可正常响应,风险消除。

3 结论

本文提出一种新的栅驱动高速工况保护技术,并通过分析和仿真,将生成的窄脉冲的脉宽从原来的 100 ns 削波至 10 ns,大大增强了电路的高速低功耗特性。利用这项技术,栅驱动高压电平位移模块能有效地避免窄脉宽引起的错误响

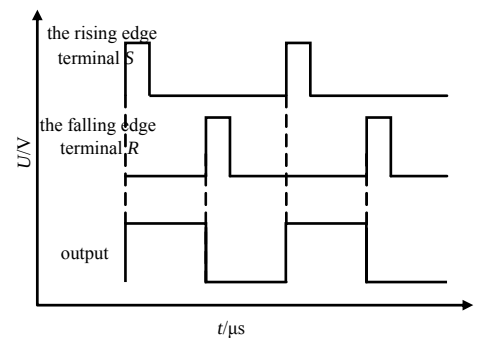


图 5 Recovering waveform through R/S trigger

图 5 通过 R/S 触发器恢复的波形

应，从而使整个栅驱动电路正常运行。

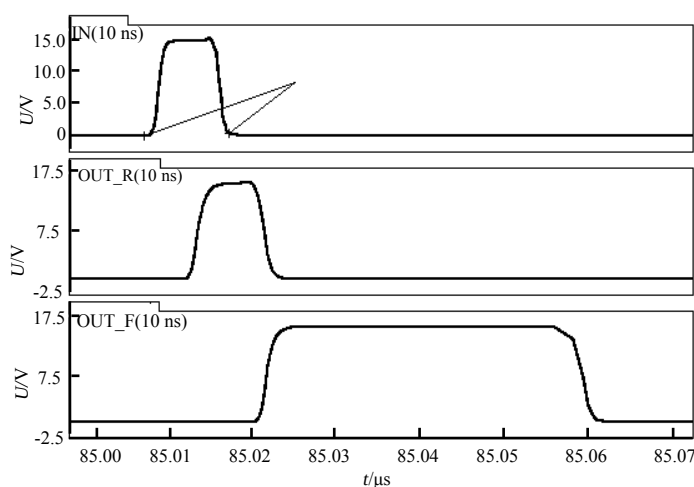


Fig.6 Simulation output waveform when the width of input is 10 ns

图6 输入脉宽 10 ns 时，输出窄脉冲波形图

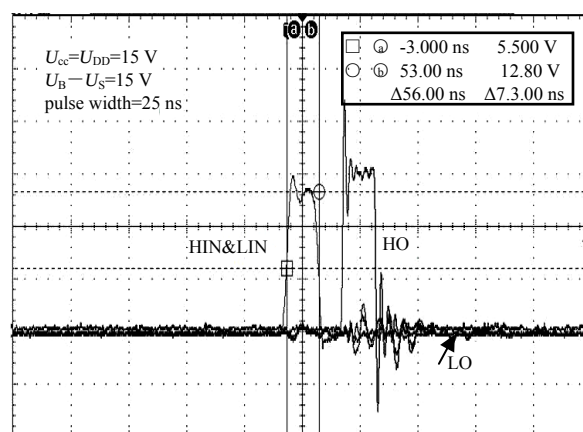


Fig.7 Post-layout test after improvement

图7 改进之后芯片后仿测试

参考文献：

- [1] ACHIM S, MARCO C, JOACHIM J, et al. Bootstrap circuit with high-voltage charge storing for area efficient gate drivers in power management systems[C]// The 40th European Solid State Circuit Conference(ESSCIRC). Venice Lido, Italy: IEEE, 2014:159-162.
- [2] QUE Longcheng, LYU Jian, SIMON S A. Design of a high voltage gate driver module[C]// IEEE International Conference on ASIC(ASICON). Chengdu, China: IEEE, 2015:1-4.
- [3] MASASHI A, AKIHIRO J, MASSHARU Y, et al. A new level up shifter for HVICs with high noise tolerance[C]// The 2014 International Power Electronics Conference. Hiroshima, Japan: [s.n.], 2014:2302-2309.
- [4] ZHANG Yunwu, ZHU Jing, SUN Guodong, et al. A noise immunity improved level shift structure for a 600 V HVIC[J]. Journal of Semiconductors, 2013, 34(6):138-142.
- [5] XUE Yang, WANG Zhiqiang, TOLBERT L, et al. Analysis and optimization of buffer circuits in high current gate drives[C]// 2013 IEEE in Transportation Electri-fication Conference and Expo(ITEC). MI, USA: IEEE, 2013:1-6.
- [6] HUQUE M, VIJAYARAGHAVAN R, ZHANG Mo, et al. An SOI-based high-voltage, high-temperature gate-driver forsicfet[C]// 2007 IEEE Power Electronics Specialists Conference(PESC). Orlando, USA: IEEE, 2007:1491-1495.
- [7] YEDINAK J, GLADISH J, BROCKWAY B, et al. A 600 V Quick Punch Through(QPT) IGBT design concept for reducing EMI[C]// 2003 IEEE 15th International Symposium on Power Semiconductor Devices and IC's. Cambridge, UK: IEEE, 2003:67-70.
- [8] MUSUMECI S, PAGANO R, RACITI A, et al. A novel protection technique devoted to the improvement of the short circuit ruggedness of IGBTs[C]// Conference of the IEEE Industrial Electronics Society. VA, USA: IEEE, 2003:1733-1738.
- [9] HOER M, FILSECKER F, WAGNER M, et al. Advanced gate driver for IGBT devices with dv/dt and peak voltage limitation based on active gate-emitter voltage control[C]// 2016 18th European Conference on Power Electronics and Applications. Karlsruhe, Germany: IEEE, 2016:1-8.
- [10] SHAPIRO A, FRIEDMAN E G. Power efficient level shifter for 16 nm FinFET near threshold circuits[J]. IEEE Translation Very Large Scale Integration(VLSI) System, 2016, 24(2):774-778.
- [11] USAMI K, IGARASHI M, MINAMI F, et al. Automated low-power technique exploiting multiple supply voltages applied to a media processor[J]. IEEE Journal Solid-State Circuits, 1998, 33(3):463-472.
- [12] IGARASHI S, TAKIZAWA S, TABATA M, et al. An active control gate drive circuit for IGBTs to realize low-noise and snubberless system[C]// 1997 IEEE International Symposium on Power Semiconductor Devices and IC's. Weimar, Germany: IEEE, 1997:69-72.
- [13] TAKIZAWA S, IGARASHI S, KUROKI K. A new dI/dt control gate drive circuit for IGBTs to reduce EMI noise and switching losses[C]// IEEE Power Electronics Specialists Conference. Fukuoka, Japan: IEEE, 1998:1443-1449.
- [14] BRYANT A, YANG S Y, MAWBY P, et al. Investigation into IGBT dU/dt during turn-off and its temperature dependence[J]. IEEE Transactions on Power Electronics, 2011, 26(10):3019-3031.
- [15] IDIR N, BAUSIERE R, FRANCHAUD J J. Active gate voltage control of turn-on dI/dt and turn-off dU/dt in insulated gate transistors[J]. IEEE Transactions on Power Electronics, 2006, 21(4):849-855.

(下转第 1106 页)