

文章编号: 2095-4980(2020)05-0939-07

新型 PoP 封装存储器的破坏性物理分析方法

周 帅¹, 翁章钊¹, 王 斌¹, 罗仲涛²

(1.工业和信息化部电子第五研究所, 广东 广州 510610; 2.珠海欧比特电子有限公司, 广东 珠海 519080)

摘 要: 新型封装堆叠(PoP)封装存储器的结构与常规封装不同, 导致现行破坏性物理分析方法不完全适用于新型 PoP 存储器。对新型 PoP 存储器结构分析, 找出了影响新型 PoP 封装存储器可靠性的典型缺陷。以某型号 PoP 封装存储器为例, 运用 3D-X-ray、金相切片、叠层芯片分离、非顶层芯片内部检查等关键技术, 提出了一套适用性强、效率高的综合性破坏性物理分析方案, 并通过实例验证了新型 PoP 封装存储器可靠性评估方法的有效性, 同时也为后续标准的修订及其他先进封装器件的破坏性物理分析提供依据和帮助。

关键词: 封装堆叠封装; 可靠性; 存储器; 破坏性物理分析

中图分类号: TN606

文献标志码: A

doi: 10.11805/TKYDA2019253

Destructive Physical Analysis method of a new Package on Package(PoP) memory

ZHOU Shuai¹, WENG Zhangzhao¹, WANG Bin¹, LUO Zhongtao²

(1.The Fifth Electronics Research Institute of the Ministry of Industry and Information Technology, Guangzhou Guangdong 510610, China; 2.Zhuhai Obit Electronics Co., Ltd., Zhuhai Guangdong 519080, China)

Abstract: The new Package on Package(PoP) structure of memory is different from the conventional packages, resulting in current Destructive Physical Analysis(DPA) methods not fully applicable to the new PoP memory. In this paper, the structure and typical defects affecting the reliability of a new PoP package memory are analyzed by using 3D-X-ray, metallographic slices, stacked chip separation and internal inspection of non-top chip. A comprehensive DPA scheme with strong applicability and high efficiency is proposed, and the effectiveness of evaluating the reliability of the new PoP package memory is verified through an example. It can also provide the basis and help to the revision of subsequent standards and DPA of other advanced package devices.

Keywords: Package on Package; reliability; memory; Destructive Physical Analysis

封装堆叠(PoP)是一种将内部经过完整测试的封装模块堆叠到另一个经过完整测试的封装模块上的三维封装技术。目前在 PoP 模块中主要采用存储芯片模块+存储芯片模块和存储芯片模块+逻辑芯片模块 2 种组合形式, 具有封装尺寸小, 损耗低, 信号传输快, 可扩展性强等优点^[1-3], 实现了产品性能的提升, 但同时也带来了新的可靠性隐患。

如何有效准确评价 PoP 封装器件的设计、结构、材料及工艺的批质量可靠性, 一直是业界关注的热点。破坏性物理分析(DPA), 作为评估电子元器件批质量的重要手段, 广泛用于航天及军工领域。目前国内外进行 DPA 主要依据国军标 GJB4027 及美军标 MIL-STD-1580 进行, 但标准中现有的评价方法, 并不能有效评估 PoP 封装器件的可靠性缺陷: 如 2D-X-ray 无法有效检查 PoP 封装器件复杂的内部结构缺陷; 开封手段无法实现器件内部叠层芯片的分离以及非顶层芯片缺陷的观察, 这对 PoP 封装器件应用于高可靠性领域带来了极大挑战。

本文从一种新型 PoP 封装存储器的结构特征出发, 结合国军标 GJB4027 中的塑封集成电路 DPA 方法, 采用 3D-X-ray、金相切片、叠层芯片分离、非顶层芯片内部检查等关键技术来定位缺陷及形貌, 分析 PoP 器件封装内部各界面的工艺质量, 实现对 PoP 封装可靠性的有效评估, 为研制单位的工艺改进和检测评价提供思路和借鉴。

收稿日期: 2019-07-19; 修回日期: 2019-12-18

作者简介: 周 帅(1984-), 男, 硕士, 高级工程师, 主要从事电子元器件质量与可靠性研究工作。email:232264594@qq.com

1 PoP 存储器的典型缺陷分析

这类新型 PoP 封装器件，由一个引线框架层和 2 个或多个芯片层组成，引线框架层上设有对外连接的引脚，每个芯片层上放置一个存储器芯片，经灌封、切割后，在外表面设置镀金连接线，将置芯片的芯片层及引线框架层的引脚接线连接成一个立体的 PoP 封装存储器^[4]，如图 1 所示。

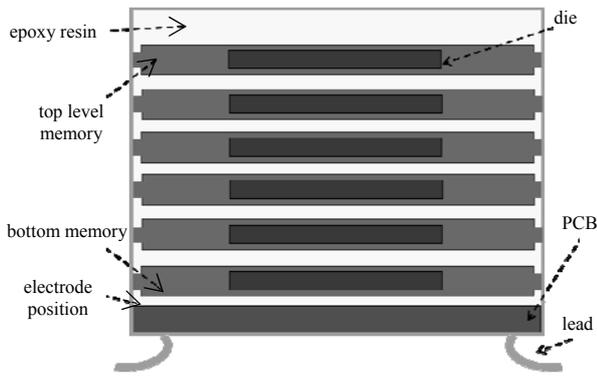


Fig.1 Schematic diagram of internal structure for a new PoP memory
图 1 新型 PoP 封装存储器的内部结构示意图

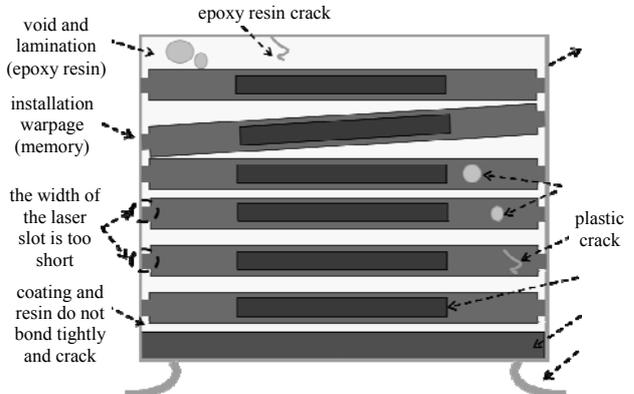


Fig.2 Schematic diagram of typical defect types for a new PoP memory
图 2 新型 PoP 封装存储器的典型缺陷类型示意图

与传统的 PoP 封装工艺相比，新型 PoP 封装模块中的底层器件与顶层器件之间没有采用焊球互联的安装方式，因此降低了焊球疲劳损伤、裂纹及空洞等失效现象，略微提高了产品承受热应力和机械应力的可靠性，但在垂直安装时的芯片断裂、翘曲及灌封后各材料之间热失配所导致的分层、空洞及开裂等缺陷，依旧是影响产品可靠性的关键因素^[5-6]。同时，模块中的单个器件的引线框架与表面镀层及灌封料与壳体表面镀层若出现结合不牢固、缝隙及断层等缺陷，会使产品发生接触不良，甚至是功能丧失等现象。而外壳激光槽起到电气绝缘的作用，若宽度不满足要求，将导致单个器件之间存在互联短路隐患，尤其是激光槽内部存在金属导电多余物，可能还会增加这一风险的发生概率。新型 PoP 封装存储器的典型缺陷如图 2 所示。

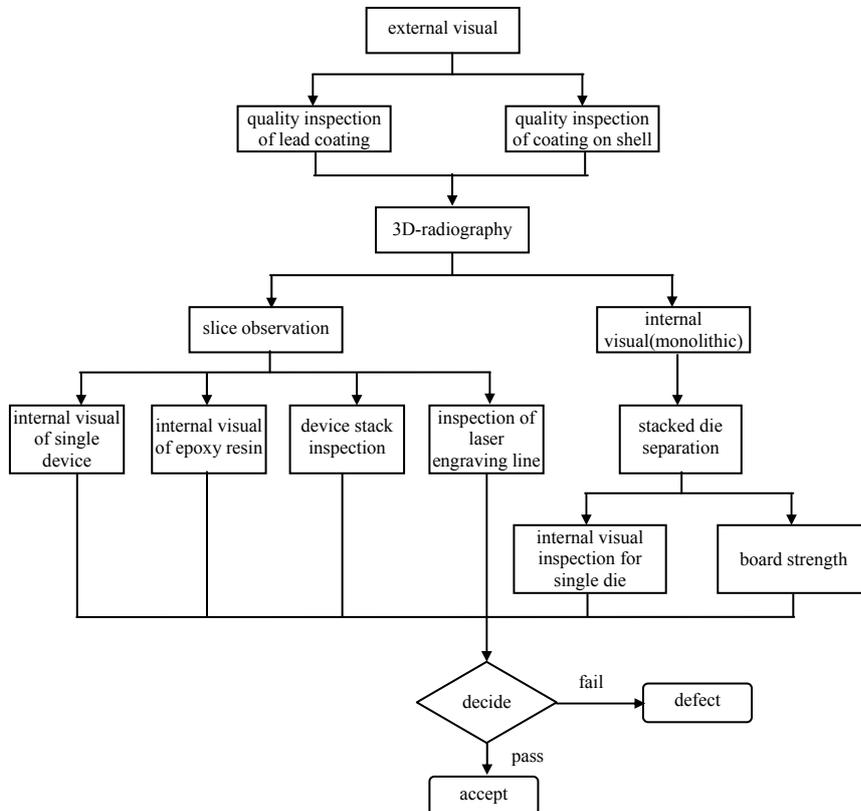


Fig.3 DPA flow of new PoP memory
图 3 新型 PoP 封装存储器的 DPA 流程

2 PoP 封装存储器的 DPA 方案设计及试验方法

2.1 PoP 封装存储器的 DPA 方案设计

DPA 是为验证元器件的设计、结构、材料和制造质量是否满足预定用途或有关规范的要求,按元器件的生产批进行抽样,对元器件样品进行解剖,以及解剖前后进行一系列检验和分析的全过程,用于判定是否有可能产生危及使用并导致严重后果的元器件批质量问题。

现行标准 GJB4027 关于集成电路的工作项目及检测手段已不能满足先进封装器件的 DPA 评价需求。因此,根据 DPA 理念,结合新型 PoP 封装器件的结构特点及典型缺陷类型(芯片破裂、芯片与塑封料分层、键合区域分层、镀层与树脂结合不紧密及存储器安装不平整等),采取无损性到破坏性的技术手段,制定适用于该类 PoP 封装器件的 DPA 评价项目。首先检查 PoP 封装器件外壳和引线的镀层质量;接着采用 3D-X-ray 检查器件的内部结构是否存在裂纹、空洞、翘曲等缺陷;然后对器件进行破坏性的剖面检查,重点关注器件的堆叠、激光刻线、树脂固封等形貌,同时对同型号同批次的另一只 PoP 封装器件,运用激光开封、机械定点研磨及化学腐蚀相结合的方式,使器件的内部叠层芯片分离后,逐一检查单个芯片的缺陷。通过一系列的无损性及破坏性的检查方法,从而实现新型 PoP 封装器件可靠性的有效评估,DPA 试验项目(外部目检、3D-X-ray 检查、金相切片检查、封装内部检查)及分析流程见图 3。

2.2 PoP 封装存储器的 DPA 试验方法

以珠海欧比特有限公司生产的 VDNF32G 型存储器(见图 4)为例,分别抽取 5 只器件进行 DPA 方法验证。该产品为 POP 封装,器件内部由 8 片塑封器件及 1 片 PCB 基板经树脂灌封后叠层加工而成。

1) 外部目检

外部目检是所有门类元器件 DPA 必须进行的一项非破坏性试验。结合 PoP 封装器件的形貌特点及标准 GJB4027 的判据要求,重点检查 PoP 封装器件的外壳涂镀层质量、引出端及激光槽形貌。

首先采用三维视频显微镜(放大 1.5~10 倍)对器件封装外壳进行观察。通过检查发现,该器件封装外壳表面无明显划痕及污染物,引出端也未见变形与腐蚀,树脂及涂镀层表面无可见裂纹、凹坑、剥落及起皮,表面激光槽清晰可辨识。然后再采用镀层测厚仪对外壳镀层及引出端的镀金层厚度进行测量,平均厚度分别为 17.5 μm 、2.30 μm ,均满足器件工艺设计要求。

2) 3D-X-ray 检查

X 射线检查的目的主要是通过 2D-X-ray 进行非破坏性检查器件封装内的缺陷,特别是封装工艺引起的缺陷和诸如错误的内引线互联、芯片粘接空洞等内部缺陷。而 3D-X-ray 检查技术是将内部结构逐一切割及显现各层不同深度,使微小缺陷能更清晰、更直观地显现出来,可有效降低 PoP 封装器件内部多层芯片重叠对检测结果带来的影响,因此采用 3D-X-ray 技术更有利于检查 PoP 封装器件的内部结构是否存在空洞、裂纹、存储器安装是否翘曲以及互联引线是否存在交叉、弯折等缺陷。

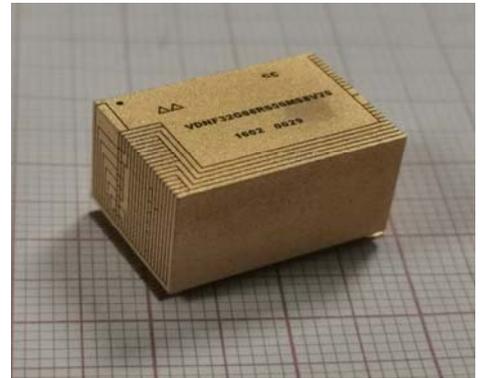


Fig.4 The appearance of the test sample
图 4 样品外观形貌

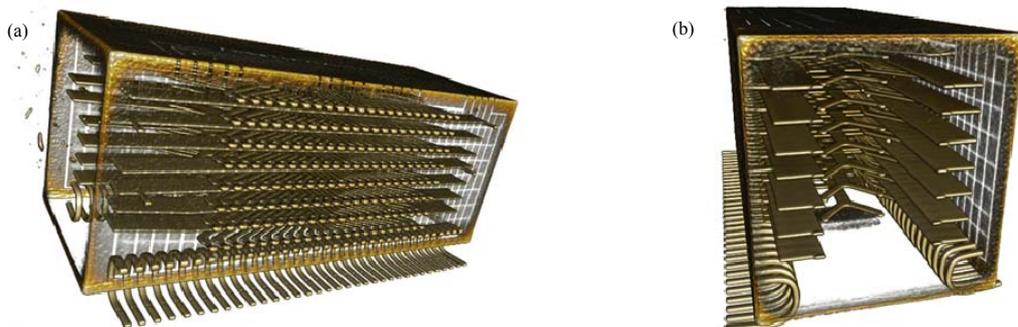


Fig.5 (a) typical 3D-X-ray overall morphology of internal structure for the test sample, (b) typical profile of internal structure of sample
图 5 (a) 样品内部结构 3D-X-ray 整体典型形貌; (b) 样品内部结构侧面典型形貌

通过 3D-X-ray 检查发现, 该器件内部灌封树脂材料及存储器塑封料未见明显空洞及裂纹; 内部 8 个存储器及 PCB 基板对位准确, 未见明显翘曲现象; 内键合引线连接良好, 未见键合引线交叉、塌丝、开路及弯折等缺陷。典型形貌如图 5~图 6 所示。

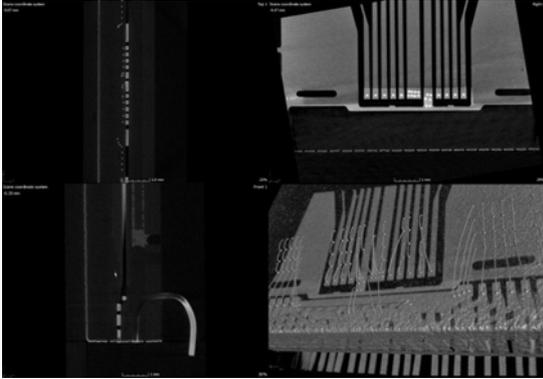


Fig.6 Typical 3D-X-ray morphology of internal structure for the test sample
图 6 样品内部结构 3D-X-ray 局部典型形貌

3) 金相切片检查

金相切片检查技术是观察器件界面结构最常用的分析手段, 但封装结构较简单的常规微电子器件 DPA 则不需要通过金相切片进行检查, 因此 GJB4027 对于微电子器件的 DPA 项目中也未采用该技术, 但 PoP 封装器件内部采用多个存储器叠层组成, 并且互联方式复杂, 所以采用金相切片技术对于 PoP 封装器件的 DPA 是非常必要的。

对 3 只器件沿外部引出端垂直面进行环氧固封做纵向剖切, 暴露内部叠层结构, 对内部单个器件的引线镀层材料、树脂结合情况、激光刻线质量、外引线镀层质量以及芯片堆叠形貌等逐一进行检查, 剖面制样典型形貌如图 7 所示。

剖切后在金相显微镜下观察, 发现器件内部芯片的堆叠整齐一致; 内部树脂结合紧密, 无空洞、断层、开裂等不良现象。内部各层存储器之间的粘接区域除存在可接受的细小空洞以外, 各存储器内部模塑料未见空洞、分层现象; 内部树脂和其他材料(如芯片、底板、铜带、引线框架等)结合紧密, 典型形貌如图 8 所示。

外壳激光槽两边的金属镀层无互联现象, 宽度为 $59.36\ \mu\text{m}$, 深度为 $183.70\ \mu\text{m}$, 均满足设计要求; 表面镀层与树脂结合牢固, 无缝隙、断层等不良现象, 各镀层厚度依次为 Au 层 $2.62\ \mu\text{m}$ 、Ni 外层 $5.62\ \mu\text{m}$ 、Cu 层 $10.74\ \mu\text{m}$ 、Ni 内层 $1.62\ \mu\text{m}$, 均满足工艺设计要求。典型形貌如图 9~图 12 所示。



Fig.7 Typical cross-sectional structure of the test sample
图 7 样品剖面结构典型形貌

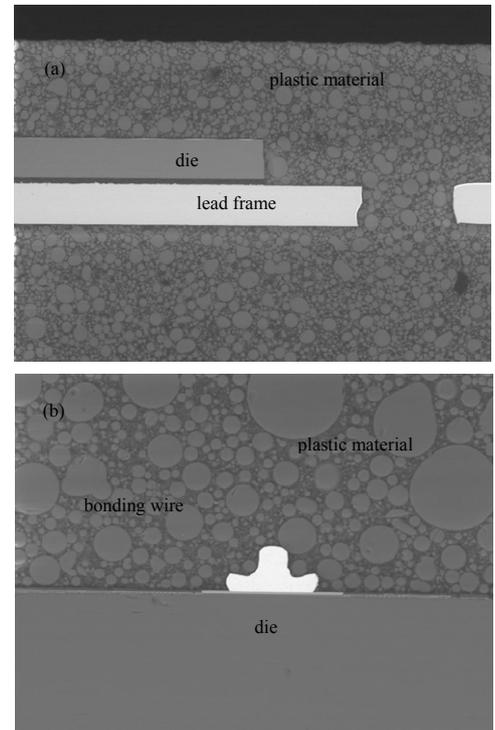


Fig.8 Typical morphology of the internal sample(a) and bonding points(b)
图 8 (a) 器件内部典型形貌; (b) 器件键合点典型形貌

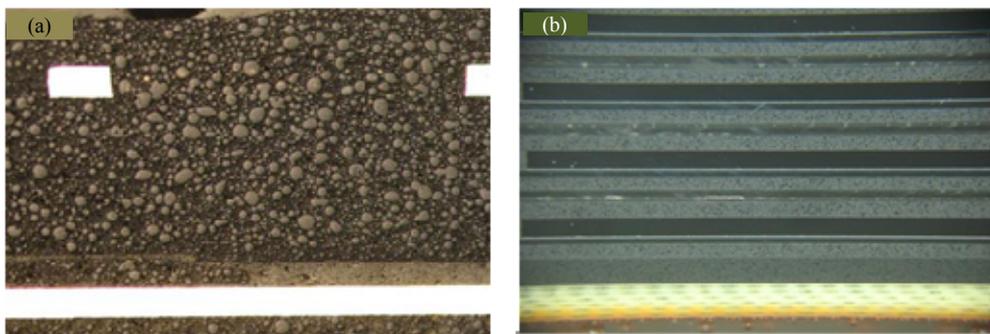


Fig.9 (a) Typical morphology (magnification) of internal resin, (b) Joint surface morphology of internal resin and other material
图 9 (a) 内部树脂局部放大典型形貌; (b) 内部树脂与内部材料接合面形貌

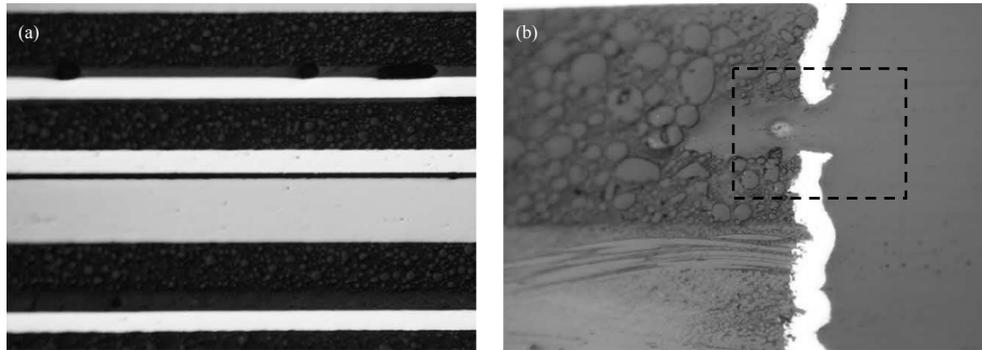


Fig.10 (a) Metallographic morphology of the joint surface between internal resin and other material, (b) typical morphology of laser groove
图 10 (a) 内部树脂与内部材料接合面相形貌; (b) 激光槽典型形貌

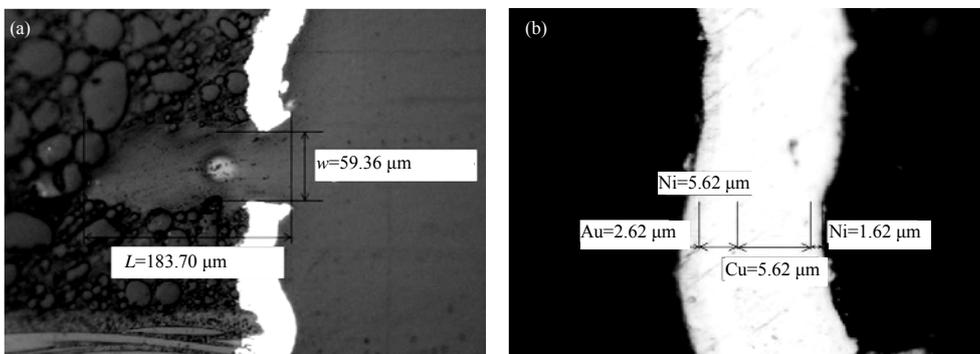


Fig.11 (a) The marked laser groove width and depth of the test sample, (b) the thickness of each plating layer
图 11 (a) 样品激光槽宽度和深度标注; (b) 表面镀层各层厚度标注

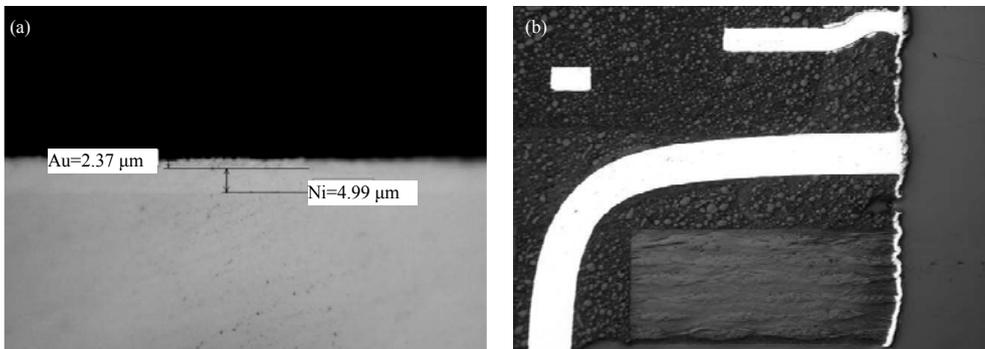


Fig.12 (a) Thickness of each layer for the lead frame, (b) Magnification of the partial lead frame
图 12 (a) 引线框架表面镀层各层厚度; (b) 引线框架局部放大典型形貌

4) 封装内部检查

内部检查的目的是检查微电子器件的内部材料、结构和制造工艺是否存在缺陷。对于常规的二维结构微电子器件，由于只有一块芯片，因此按照现行标准 GJB4027 的要求只需针对单一芯片进行内部检查即可；但对于复杂的三维结构 PoP 封装器件，则需要采用新的开封技术，使器件内部的每一层芯片逐一暴露出来，完成芯片的工艺及结构检查和互联引线的可靠性评价。因此，PoP 封装器件进行内部检查，首先使用 X 射线透视系统或声学扫描显微镜确认顶层存储器芯片的位置、大小及键合引线位置，并确认存储器芯片厚度以及顶层芯片离封装顶部位置；然后，使用热熔蜡或环氧树脂固定样品，并进行多点测量，调整平整度，通过激光开封、机械研磨和化学蚀刻相结合的方式^[7-8]，逐层暴露 PoP 封装器件中各个存储器内部结构形貌，依次对 8 层存储器芯片的金属化层、钝化层质量以及键合引线的机械性能进行评价。芯片典型形貌如图 13 所示。

每一层存储器芯片内部结构暴露后，依次完成内部目检(检查芯片有源电路区是否存在缺陷)、扫描电子显微镜检查(芯片的金属化层及钝化层是否存在缺陷)和键合强度(机械强度)试验。器件的内部叠层原基片型号一致，内部芯片形貌相同，典型芯片级别内部目检如图 14 所示。

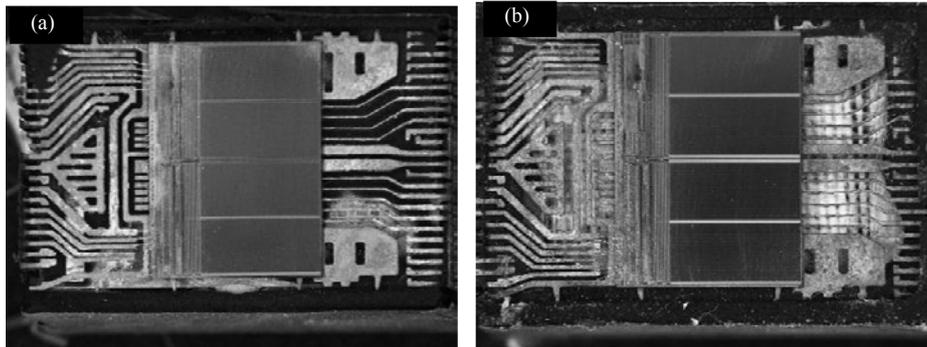


Fig.13 Internal structure of the top memory (a) and the 8th layer memory(b)
图 13 (a)顶层存储器内部结构形貌; (b) 第 8 层存储器内部结构形貌

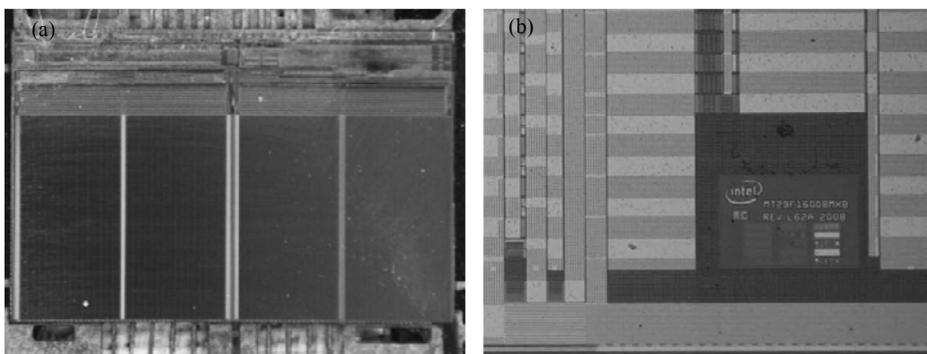


Fig.14 (a) Overall appearance of internal chip, (b) Chip identification
图 14 (a) 内部芯片整体形貌; (b) 芯片标识形貌

利用扫描电子显微镜放大 1 000~6 000 倍检查芯片金属化层及玻璃钝化层的质量, 未见裂纹、空洞、凹陷、隧道等缺陷, 典型形貌见图 15。样品内部键合材质为 Au, 键合直径为 25 μm , 键合强度数据介于 5.7~10.0 gf。

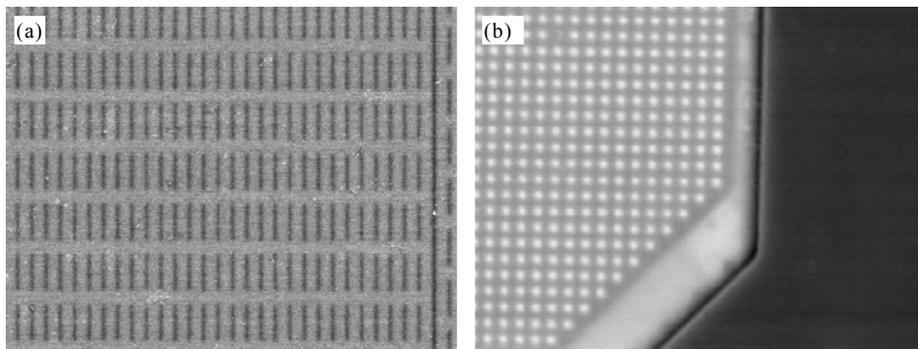


Fig.15 SEM image of typical morphology(1 000 \times magnification)(a) and (5 000 \times magnification)(b)
图 15 (a) SEM 检查(1 000 倍)典型形貌; (b) SEM 检查(5 000 倍)典型形貌

在完成芯片内部检查、扫描电子显微镜检查及键合强度试验后, 进一步评价芯片的玻璃钝化层可靠性。玻璃钝化层的缺陷会直接导致芯片上的金属化导体造成污染并使器件丧失抗电迁移的优越性, 尤其是对湿气更敏感的塑封器件。因此需要进一步评价存储器芯片玻璃钝化层的可靠性^[9]。将每一层做完键合强度试验后的芯片, 浸入到体积比为 5:80:5:10 的铝腐蚀液 (HNO₃(70%): H₃PO₄(85%): 醋酸: 去离子水)中腐蚀 20~30 min 后, 经腐蚀的芯片从溶液中取出干燥后, 放大 200 倍进行光学检查。芯片上的玻璃钝化层区域覆盖完整, 未见空洞, 除了键合区、芯片边沿外未出现腐蚀现象, 满足质量要求, 典型形貌如图 16 所示。

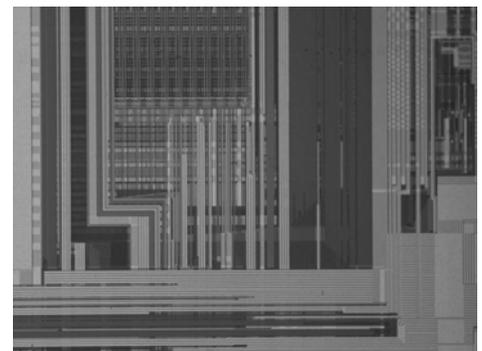


Fig.16 A magnified view of the typical morphology of the chip after corrosion
图 16 腐蚀后芯片局部放大典型形貌

3 结论

通过分析新型 PoP 封装存储器的典型缺陷类型及其结构形貌特征,同时借鉴了二维封装元器件的 DPA 方法思路,利用 3D-X-ray 检查、金相切片检查、叠层芯片分离及非顶层芯片内部目检等一系列无损检测及破坏性检测技术,发现和定位 PoP 三维封装存储器的缺陷及形貌。经实例验证可以准确找到 PoP 封装存储器的材料、工艺中出现的问题,有效评估 PoP 封装存储器的批次可靠性,对其他相似三维封装结构器件的 DPA 方法及标准制订具有重要意义。

参考文献:

- [1] HUNG J P,LIN J C, TSAI P H, et al. Interconnect structure for Package-on-Package devices:U.S., Patent,10/269,685[P]. 2019-4-23.
- [2] HSU C L,LIU C S,LU D Y, et al. Package on package devices and methods of packaging semiconductor dies:U.S., Patent 8,981,559[P]. 2015-3-17.
- [3] 邓仕阳,刘俐,杨珊,等. 堆叠封装技术进展[J]. 半导体技术, 2012,37(5):335-340,350. (DENG Shiyang,LIU Li,YANG Shan, et al. Progress of Package on Package technology[J]. Semiconductor Technology, 2012,37(5):335-340,350.)
- [4] 珠海欧比特控制工程股份有限公司. 一种容量为 512 K × 32 bit 的立体封装 SRAM 存储器:中国, CN201320387574.X[P]. 2014-02-05. (Zhuhai Obit Electronics Co., Ltd. A SRAM memory with 512k × 32bit capacity:China, CN201320387574.X[P]. 2014-02-05.)
- [5] SU Y F,CHIANG K N,LIANG S Y. Design and reliability assessment of novel 3D-IC packaging[J]. Journal of Mechanics, 2017,33(2):193-203.
- [6] 夏江,黄林轶,刘群兴,等. 振动载荷下三维封装的失效行为和疲劳特性分析[J]. 半导体技术, 2018,43(2):148-153. (XIA Jiang,HUANG Linyi,LIU Qunxin, et al. Analysis of failure behavior and fatigue characteristics of the 3D packaging under vibration loading[J]. Semiconductor Technology, 2018,43(2):148-153.)
- [7] 林晓玲,梁朝辉,温祺俊. 3D 叠层封装集成电路的芯片分离技术[J]. 电子产品可靠性与环境试验, 2016,34(2):36-40. (LIN Xiaoling,LIANG Chaohui,WEN Qijun. The chip separation technology of 3D stacked package IC[J]. Electronic Product Reliability and Environmental Testing, 2016,34(2):36-40.)
- [8] 周帅,郑大勇,王斌. 倒装芯片组装集成电路开封方法[J]. 太赫兹科学与电子信息学报, 2017,15(2):328-332. (ZHOU Shuai,ZHENG Dayong,WANG Bin. Research on unsealing methods of flip chip assembly integrated circuit[J]. Journal of Terahertz Science and Electronic Information Technology, 2017,15(2):328-332.)
- [9] 刘海龙,杨少华,李国元. 湿热对 PoP 封装可靠性影响的研究[J]. 半导体技术, 2010,35(11):1054-1058,1098. (LIU Hailong,YANG Shaohua,LI Guoyuan. Effects of hygro-thermal stress on the reliability of Package-on-Package[J]. Semiconductor Technology, 2010,35(11):1054-1058,1098.)