

文章编号: 2095-4980(2023)09-1178-10

基于 NVMe 的超高速多通道遥感相机模拟源设备研制

张 亮, 何品权, 张青林, 夏巧桥*

(华中师范大学 物理科学与技术学院, 湖北 武汉 430079)

摘 要: 针对当前遥感卫星电荷耦合器件(CCD)相机幅宽越来越大, 速率越来越高, 现有相机模拟源设备数据输出带宽不足的问题, 提出并实现了一种基于非易失性存储器 Express(NVMe)的超高速多通道遥感相机模拟源设备。该设备利用现场可编程逻辑门阵列(FPGA)实现 4 组 NVMe SSD 主机控制器, 完成对固态硬盘(SSD)的读写操作; 同时利用 DMA 控制器读取 DDR4 中缓存数据, 数据经封装处理后通过光纤接口输出。实验结果表明: NVMe 主机控制器的写平均速率可以达到 1.7 GBps, 读平均速率达到 3.2 GBps。模拟源系统整体存储容量 8 TB, 对外输出带宽高达 80 Gbps, 支持 8 路光纤接口输出。该模拟源具有较强的稳定性及良好的可扩展性, 已成功应用在某遥感卫星 CCD 相机模拟源系统中, 为数传等设备的测试以及调试提供了充分保障。

关键词: 模拟源; 非易失性存储器 Express; 现场可编程逻辑门阵列; CCD 相机; 光纤

中图分类号: TP73

文献标志码: A

doi: 10.11805/TKYDA2021231

Development of an ultrahigh-speed multi-channel remote sensing camera simulator based on NVMe

ZHANG Liang, HE Pinquan, ZHANG Qinglin, XIA Qiaoqiao*

(School of Physical Science and Technology, Central China Normal University, Wuhan Hubei 430079, China)

Abstract: Aiming at the problem that the current remote sensing satellite Charge Couple Device (CCD) camera has an increasing width and speed, and the output bandwidth of existing camera simulator is insufficient, an Non-Volatile Memory express(NVMe) based ultrahigh-speed multi-channel remote sensing camera simulator is proposed and implemented. This simulator employs a Field Programmable Gate Array(FPGA) to implement four groups of NVMe SSD host controllers and complete the read and write operations on the Solid State Drive(SSD). The Direct Memory Access(DMA) controller is utilized to read the cache data in DDR4, and the data is output through the optical fiber interface after being encapsulated. Experimental results show that the average write rate of the NVMe host controller can reach 1.7 GBps, and the average read rate can reach 3.2 GBps. The overall storage capacity of the simulator is 8 TB, the external output bandwidth is up to 80 Gbps, and it supports eight-way optical fiber interface outputs. This simulator with strong stability and good scalability, has been successfully applied in a remote sensing satellite CCD camera simulator system, which provides sufficient guarantee for the testing and debugging of device such as data transmission.

Keywords: simulator; Non-Volatile Memory express; Field Programmable Gate Array; CCD camera; optical fiber

作为卫星综合电子分系统的重要组成部分, 遥感卫星 CCD 相机完成遥感图像的拍摄, 并将图像输出到系统后级数传、压缩等设备进行相关处理操作。当测试数传、压缩等相关设备的功能完整时, 设备需反复与相机进行迭代调试。由于遥感相机内部构造复杂, 对使用环境较为苛刻, 并且具有一定的空间特殊性, 因此需要一种在调试阶段能够替换遥感相机的模拟源设备。该设备可根据协议输出特定格式的图像帧, 实现模拟多种遥感

收稿日期: 2021-06-03; 修回日期: 2021-07-12

基金项目: 湖北省自然科学基金资助项目(2020CFB474); 华中师范大学中央高校基本科研业务费资助项目(CCNU20ZT002)

*通信作者: 夏巧桥 email:xiaqq@mail.ccnu.edu.cn

CCD相机的功能，并能够与数传、压缩等设备进行交互，配合其完成调试工作。遥感相机模拟源设备降低了卫星综合电子分系统的调试成本与难度，提高了系统的研制效率，因此国内学者在此领域进行了大量研究工作。

目前国内遥感相机模拟源设备基本使用FPGA作为主控制芯片，主要区别在于存储介质与输出接口的选择上有所不同。唐瑞等使用Xilinx Virtex-7系列FPGA作为主控芯片，使用DDR3 SDRAM作为数据缓存，通过Camera Link与CoaxPress(CXP)接口进行数据回放^[1]。栗明明等将Xilinx Virtex-5系列FPGA作为主控芯片，使用NAND FLASH存储数据，通过低电平差分信号(Low-Voltage Differential Signaling, LVDS)接口回放数据^[2]。刘朔等采用Xilinx Virtex-7系列FPGA作为控制芯片，使用NI公司的PXIe高速数据硬盘存储数据，输出接口为TLK2711^[3]。兰功盾等采用Xilinx Kintex-7系列FPGA作为控制芯片，使用DDR3 SDRAM作为缓存，数据通过Camera Link接口输出^[4]。张敏等使用FPGA作为主芯片，采用由16片FLASH组成的阵列存储图像数据，通过TLK2711, Camera Link接口进行数据回放^[5]。张卓等采用Xilinx Virtex-2系列FPGA作为控制芯片，使用FLASH存储图像数据，采用RS422、LVDS接口作为数据回放通道^[6]。朱雨等使用Xilinx Virtex-5系列FPGA作为主控芯片，存储介质采用FLASH阵列，数据通过LVDS接口进行输出^[7]。杨兆君等采用主控芯片为FPGA的PXIe机箱作为硬件平台，使用FLASH阵列作为存储单元，回放数据通过LVDS接口输出^[8]。王譞等采用型号为Altera Stratix-II系列FPGA作为控制单元，使用包含4块SATA SSD的硬盘阵列作为存储单元，回放数据通过LVDS与射极耦合逻辑(Emitter Coupled Logic, ECL)接口输出^[9]。张贵祥等使用FPGA作为主控制芯片，数据存储到NAND FLASH，并通过LVDS接口输出^[10]。鲁琴等使用Xilinx Virtex-4系列FPGA作为主控芯片，存储介质采用NAND FLASH^[11]。随着航天科技极速发展，遥感卫星CCD相机幅宽迅速增加，输出速率不断提高。上述使用SATA SSD与NAND FLASH作为存储介质的相机模拟源设备在读写速度与存储容量上已无法满足当前相关数传设备的调试需求，且LVDS、TLK2711等输出接口由于自身的限制，导致系统的带宽无法继续提升，因此当前较多新型高速遥感相机均采用高速光纤接口作为输出接口。

针对上述问题，本文设计并实现了一种基于非易失性存储器Express(NVMe)的超高速多通道遥感相机模拟源设备。该设备在FPGA内部实现4组NVMe主机控制器，完成对NVMe SSD的读写访问。使用DMA控制器搬移DDR4中缓存数据，数据格式化处理后通过8路光纤接口输出。实验测试表明：NVMe主机控制器写平均速率可以达到1.7 GBps，读平均速率达到3.2 GBps，模拟源系统存储容量8 TB，整体对外输出带宽80 Gbps。目前已成功运用于某遥感卫星CCD相机模拟源系统中，为数传等设备的调试与验证提供了保障。

1 模拟源系统硬件设计

模拟源设备结构如图1所示，设备使用VPX总线标准，VPX总线是VME国际贸易协会组织于2007年在其VME总线基础上提出的新一代高速串行总线标准。将Xilinx Zynq UltraScale+MPSoC XCZU19EG作为FPGA主芯片，该芯片资源充足，包括522 720个显示查找表(Look-Up-Table, LUT)，984个块随机存储器(Block RAM, BRAM)，1 760个输入输出(Input/Output, I/O)，48个高速收发器以及5个PCIe硬核。模拟源设备同时外接DDR4、EMMC、Flash等芯片。设备硬件板卡实物图如图2所示。

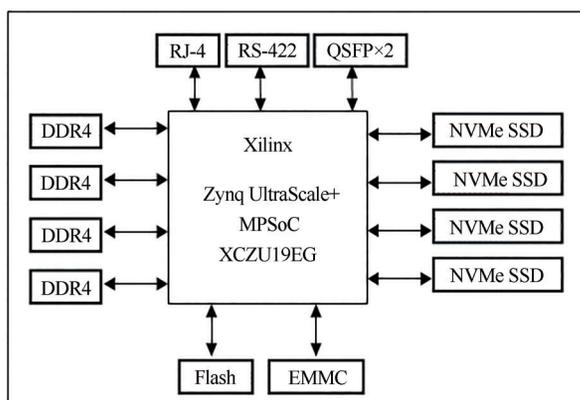


Fig.1 Structure of simulator
图1 模拟源设备结构

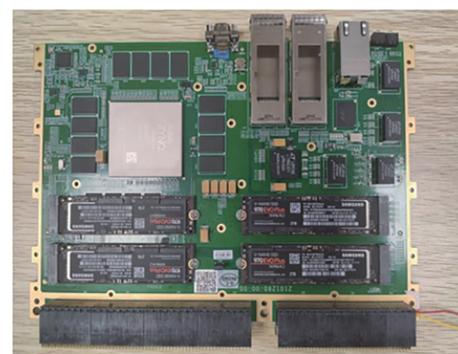


Fig.2 Physical image of simulator board
图2 模拟源板卡实物图

设备通过RJ-45接口接收上位机图像数据文件，数据经DDR4缓存后由FPGA存储到NVMe SSD中。当需要数据回放时，相关设备通过RJ-45接口或RS-422接口控制模拟源设备开启输出功能。数据输出时，FPGA读取

SSD 中存储数据并进行相应帧格式封装，封装后数据通过 2 路四通道 SFP(Quad Small Form-factor Pluggable, QSFP)接口输出，1 路 QSFP 物理接口支持 4 通道光纤接口。

2 模拟源系统程序设计

2.1 系统程序框架

程序设计主要分为两部分：处理系统(Process System, PS)端嵌入式程序设计；可编程逻辑(Process Logic, PL)端 FPGA 程序设计。PS 端程序包含存储控制、文件管理、网络控制 3 个模块，主要负责工作模式设置、文件管理、数据上传等功能。PL 端程序主要包含 NVMe 主机控制器、DMA 控制器、载荷封装、Aurora GT 4 个模块，主要完成 NVMe SSD 读写、DDR4 数据搬移、数据封装以及发送等功能。系统程序框架如图 3 所示。

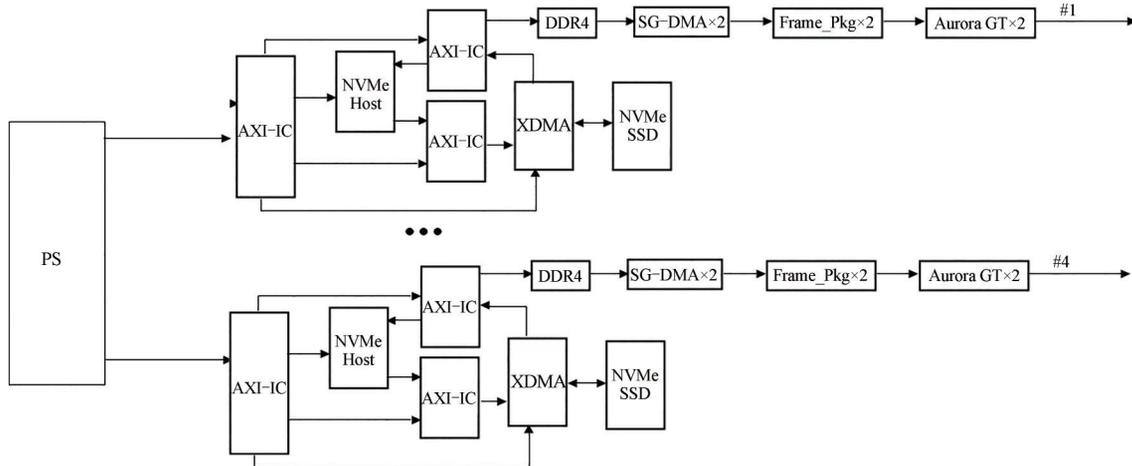


Fig.3 Framework of system program
图3 系统程序框架

模拟源设备根据控制设备的存储指令，将上位机图像数据文件通过 DDR4 进行缓存，然后 PS 端发送 NVMe 写命令。NVMe 主机控制器接收命令后，通过控制 XDMA 将 DDR4 中数据搬移至 SSD。图像数据文件为相机真实图像数据或按照约定帧格式预生成的图像数据，可模拟多种不同型号遥感相机的图像帧格式。当接收到控制设备的回放输出指令时，PS 端发送 NVMe 读命令。NVMe 主机控制器控制 XDMA 将 SSD 中指定区域数据搬移至 DDR4。然后 PS 端根据当前链表配置 DMA 控制器，配置完成后 DMA 控制器读取 DDR4 中缓存数据，并写入载荷封装模块。载荷封装模块按照约定协议对配置数据进行封装处理，处理后将数据写入 Aurora GT 模块。该模块采用 Aurora 协议将数据通过 QSFP 接口输出。

下面分别介绍 PL 端 NVMe 主机控制器、DMA 控制器、载荷封装以及 Aurora GT 4 个模块的功能实现。

2.2 NVMe 主机控制器

NVMe 主机控制器框架如图 4 所示。控制器基于 NVMe 协议实现，完成对 NVMe SSD 的读写操作。对外接口为 AXI Lite Slave、AXI Memory Mapped Slave 以及 AXI Lite Master 接口。控制器内部包括 5 个模块：Buffer_RAM、Host_Command_Transceiver、AXI-MM-Slave 2Host、Host2 AXI-Lite-Master、State_Track。

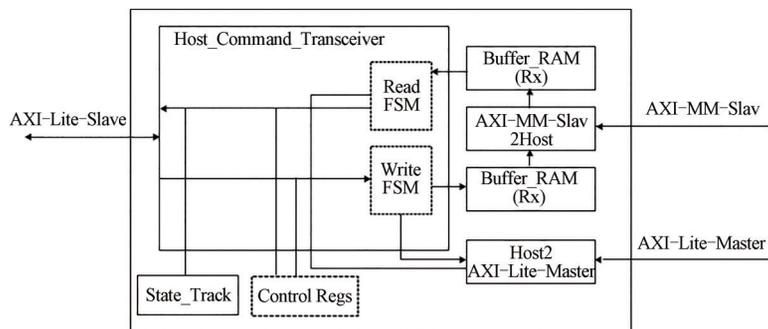


Fig.4 Block diagram of NVMe host controller
图4 NVMe 主机控制器结构框图

2.2.1 Buffer_RAM

模块内部基于 BRAM 资源实现 4 个 32 bit 位宽、深度可配置的伪双口 RAM，对外数据位宽 128 bit。利用此 RAM 实现 NVMe 协议中的提交队列 (Submission Queue, SQ) 与完成队列 (Completion Queue, CQ)，同时缓存部分管理命令执行过程中发送与返回的数据信息。

2.2.2 Host_Command_Transceiver

FPGA 设计的优势在于并行处理。当遇到需要顺序执行的场景时，可利用有限状态机通过状态间的切换实现串行处理操作。NVMe 命令收发模块主要基于读写 2 个状态机来模拟 NVMe 命令执行流程。图 5 为一次 NVMe 命令执行流程。

NVMe 命令处理流程包括 8 个步骤：a) 主控写命令到提交队列；b) 主控写提交队列门铃寄存器；c) SSD 获取命令；d) SSD 执行命令；e) SSD 返回命令完成报文 (Completion Queue Entry, CQE)；f) SSD 触发中断；g) 主控处理完成报文；h) 主控写完成队列门铃寄存器。

命令处理流程基本为主机控制器与 SSD 之间的读写访问操作。因此使用读写状态机可保证命令按照既定顺序执行，主机控制器能够与 SSD 正常通信。

读状态机包含 7 个状态，写状态机包含 11 个状态。图 6~7 分别为读、写状态机时序转换图。读写状态主要分为两种：第一种为 PS 端对主机控制器的读写操作；第二种为主机控制器对 SSD 的读写操作。

NVMe 命令包括 IO、Admin 两种。在控制器模块中，通过 Admin 与 IO 寄存器数组存放对应命令以及状态执行信息。将命令当前执行状态与提交队列/完成队列空间信息作为状态转移条件，实现状态扫描切换。

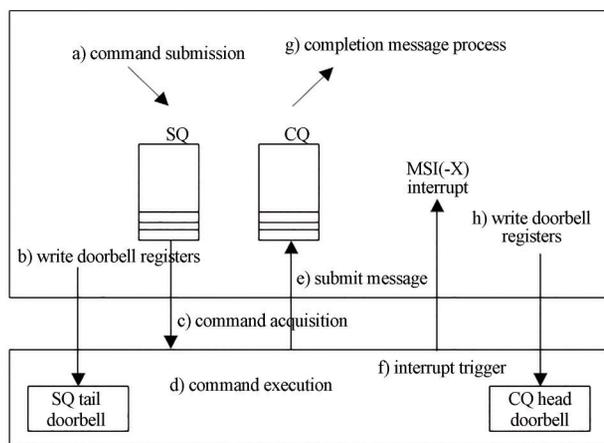


Fig.5 Processing flow of NVMe command
图 5 NVMe 命令处理流程

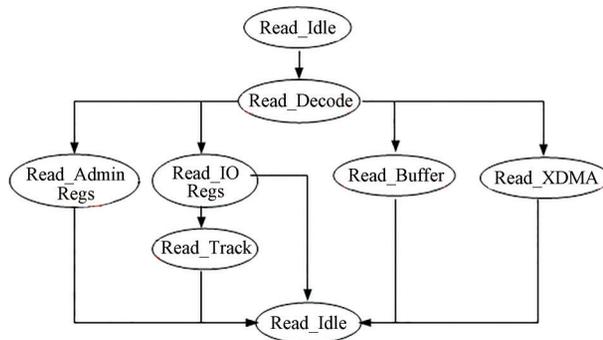


Fig.6 Transition diagram of the read state machine
图 6 读状态机转换图

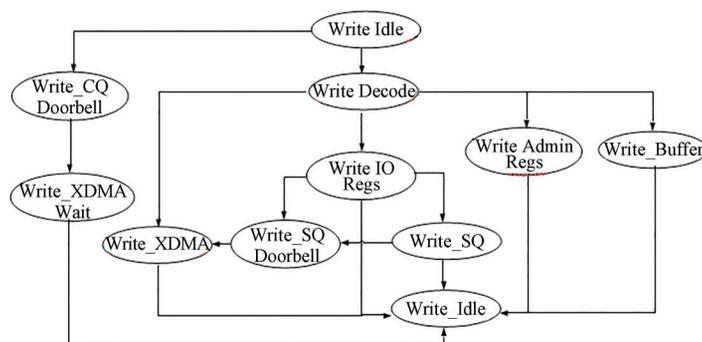


Fig.7 Transition diagram of the write state machine
图 7 写状态机转换图

当 NVMe 主机控制器接收到完成报文时，根据解析状态对提交队列/完成队列地址指针进行修改，完成队列状态的更新。进入状态机后完成以下 3 个步骤：a) 空闲状态；b) 地址解析；c) 访问对应地址空间，结束后回到空闲状态。当回到写空闲状态时，首先查询命令，完成报文的处理状态；处理完毕，则写完成队列门铃寄存器，结束此次命令处理流程。否则，继续等待地址有效。当写通道完成地址更新并被有效接收时，解析该地址。根据解析结果跳转到不同的状态，完成对指定区间的数据填充。

写控制器内部存储单元：完成命令参数缓存以及状态信息更新。定义命令触发寄存器，访问此寄存器时，SSD 获取命令，并通过 XDMA 完成对应地址区域数据的搬移。

写 NVMe SSD 内部控制寄存器：初始化 NVMe SSD，建立主机控制器与 SSD 之间的通信链路。

读状态机与写状态机类似。通过读相应地址区间，获取控制器内部各单元当前状态以及 SSD 初始化信息。

控制器中 IO Regs 分为以下四类。

1) Wr Regs：记录 NVMe 命令格式中数据指针(Data Pointer, DPTR)、逻辑区块地址(Logical Block Address, LBA)、逻辑区块数量等参数。同时定义命令触发寄存器，写此寄存器开启新的一次 NVMe 命令执行流程。

2) Rd Regs：记录队列空满等状态信息。

3) Track Regs：记录 NVMe 命令完成状态。

4) Cmd Regs：记录 NVMe 命令种类、所属 SQ 以及访问 SSD ID 等信息。

如果此次访问寄存器为命令触发寄存器，则查询 Cmd Regs 获取相应信息，然后判断命令类型。为 Admin 命令：状态直接跳转到 WRITE_SQ_Doorbell，此时命令已缓存在队列中；为 IO 命令：首先判断队列空满，未满时状态跳转到 Write_SQ，同时将命令参数信息根据物理区域寻址方式、分散/聚集列表寻址方式的不同，组成对应格式的命令提交报文(Submission Queue Entry, SQE)，并写入到 SQ 中。

当访问 Track Regs 获取对应 NVMe 命令的执行状态时，状态跳转到 Read_Track。将此次访问 Track Regs 对应命令 ID 写入 State_Track 模块。模块在处理完成后返回查询命令的执行状态。

2.2.3 AXI-MM-Slave2Host

此模块完成 AXI-MM-Slave 到控制器内部的接口转换。AXI-MM-Slave 接口通过 AXI 连接至 XDMA 的 AXI-MM-Master 接口。NVMe SSD 通过 AXI-MM-Master 接口获取控制器内部发送缓存中 SQE。命令执行结束后返回的 CQE 通过 XDMA 的 AXI-MM-Master 接口写入主机控制器内部接收缓存中。

2.2.4 Host2AXI-Lite-Master

该模块实现控制器内部接口转 AXI-Lite Master 接口的功能。转换后的 AXI-Lite Master 接口通过 AXI 连接至 XDMA 的 AXI-MM-Slave 接口，控制器通过 XDMA 访问 NVMe SSD 内部控制寄存器。

2.2.5 State_Track

此模块解析 NVMe 命令执行后返回的 CQE，并将相应完成状态记录至内部 RAM 中。此 RAM 基于 BRAM 资源实现。模块的工作流程为：

1) 判断 CQE 类型，为 I/O CQE 时，解析报文获取 Status Field, Command Identifier, SQ Head Pointer, CQ Tail Pointer 等参数信息；

2) 缓存解析参数至对应的 RAM 中；

3) 根据输入命令 ID 查询 RAM 中对应状态缓存信息，查询结束后擦除。

当出现同时读写 RAM 某地址的情况时，写优先。先解析 CQE 进行数据更新，然后结束此次查询操作。

2.3 DMA 控制器

数据回放时，PS 端首先发送 NVMe 读命令读取 SSD 中图像配置数据，数据由 DDR4 进行缓存；然后通过 DMA 控制器将 DDR4 中数据写入载荷封装模块。将 DMA 控制器设置为分散-收集(Scatter-Gather, SG)模式，同时配置单次传输大小为 4 MB，此时 DMA 控制器与 NVMe 主机控制器协作效率较高，不会出现缓存区数据溢出情况。SG-DMA 通过链表记录存储上不连续的地址空间，当数据需要输出回放时，PS 端通过查询链表地址配置 DMA 控制器，完成对指定区域数据的搬移。一次 NVMe 读操作最多可搬移 2 MB，由于 NVMe 读盘速度会在传输过程中产生微小的波动，因此可能会存在某段时间内，数据缓存区域没有足够的数据进行回放。系统开启回放功能之前，采取提前从 NVMe SSD 中取出一定量的数据到数据缓存区中的措施，保证缓存区在整个回放过程中有足够的数据，避免数据传输中断的情况产生。在此系统中将预取数据量设置为 512 MB。

为避免重复配置链表的情况，开启 SG-DMA 的循环模式。在循环模式下，将 DDR4 按地址分成块，每块大小为 4 MB，并记录在链表中。在执行回放操作时，当某一小块的数据全部回放后，产生中断。PS 端接收中断后，从 SSD 中取出新的数据来更新此小块内的数据。同时 SG-DMA 继续回放下一块的数据。每一个小块均会产生一次中断。整个 DDR4 遍历一次后，不用重复配置链表地址，地址指针自动回到链表首部，进行新的一次数据传输，此时 DDR4 中数据已全部完成更新。

2.4 载荷封装模块

数据经 DMA 控制器读出后，写入载荷封装模块。模块依照约定帧格式，对输入数据进行封装处理，模块内部框架如图 8 所示。

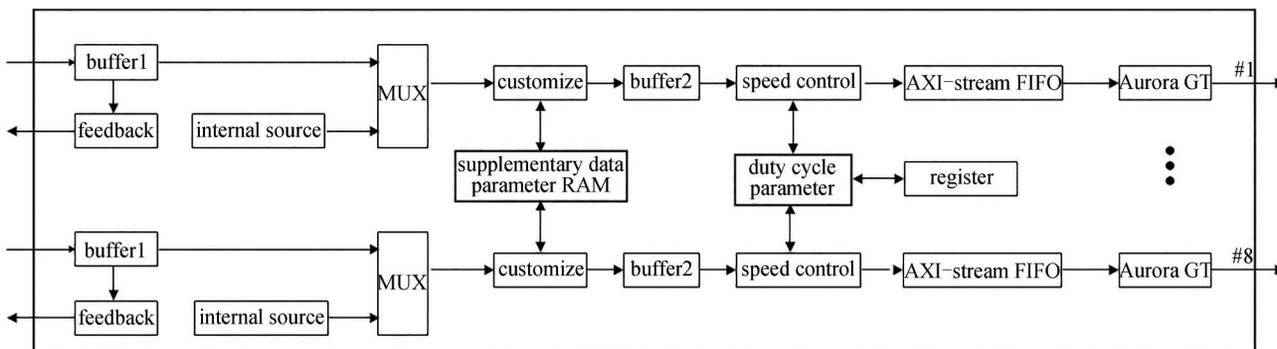


Fig.8 Structure of the payload package module

图 8 载荷封装模块结构

待处理数据写入载荷封装模块后，首先进入一级缓存。反压模块利用一级缓存的状态，产生反馈信号，控制 DMA 控制器数据输入速率；然后经复接模块进行内外源选择后，进入源定制模块。源定制模块从辅助数据参数 RAM 中读取相关信息进行数据封装，同时插入校验和数据。数据格式化后进入二级缓存，然后写入速率控制模块。速率控制模块通过配置数据输出的正逆程来控制数据源的发送使能和发送速率，同时输出发送状态信息。正逆程与原始数据通道一一对应，每个数据通道配置 2 个 RAM。RAM1 用来存储正程信息，RAM2 用来存储逆程信息。正逆程控制信息由 PS 端写入 RAM。当接口启动发送之后，首先读取正逆程数量参数，然后循环读取正逆程设定值，完成数据发送。RAM1 为 4 096 深度，支持多正程模式。RAM2 为 4 096 深度，支持多逆程以及随机逆程模式。数据通过速率控制模块后写入 AXI-Stream FIFO。最后利用 Aurora GT 模块进行 64B/66B 编码以及串并转换。转换后数据按照设定速度从 QSFP 接口输出。

2.5 Aurora GT 模块

Aurora GT 模块实现 AXI-Stream 接口至高速串行接口的转换。接口协议采用 Aurora 64B/66B 协议，该协议可以用来进行点到点的串行数据传输，从而满足高性能高带宽的数据传输需求。Aurora 64B/66B 协议基本架构如图 9 所示。封装后的数据写入 Aurora GT 模块，由 Aurora GT 模块完成链路层编码和物理层处理。64B/66B 编码能够降低数据传输过程中的码间串扰，提高信道传输质量。本系统中，转换后串行信号通过光纤接口输出，传输速率为 10 Gbps。

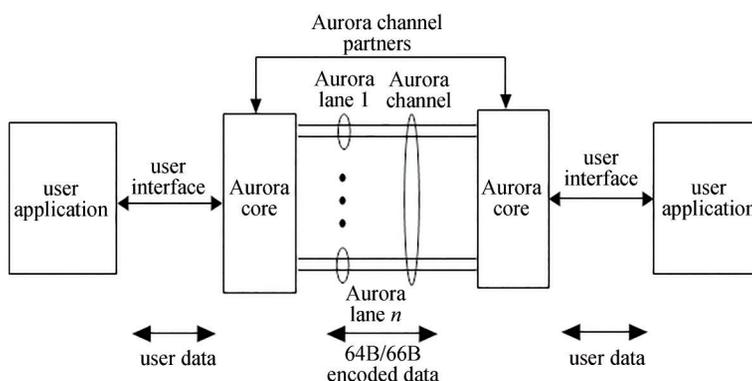


Fig.9 Basic architecture of Aurora 64B/66B protocol

图 9 Aurora 64B/66B 协议基本架构

3 模拟源系统测试与验证

本章将分别测试 NVMe 主机控制器读写性能、系统回放带宽、传输误码率等指标，充分验证此遥感卫星 CCD 相机模拟源设备的功能性以及稳定性。

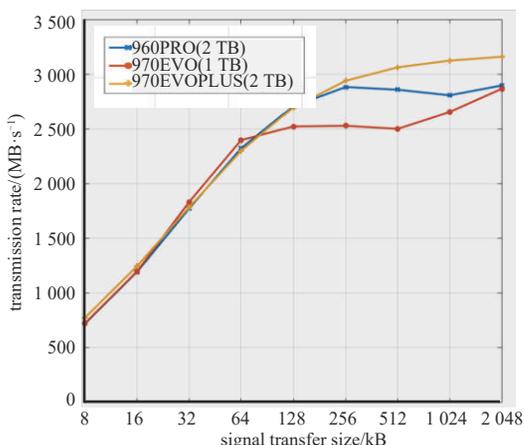


Fig.12 Read speed of NVMe SSD at fixed time
图 12 固定时间下 NVMe SSD 读速度

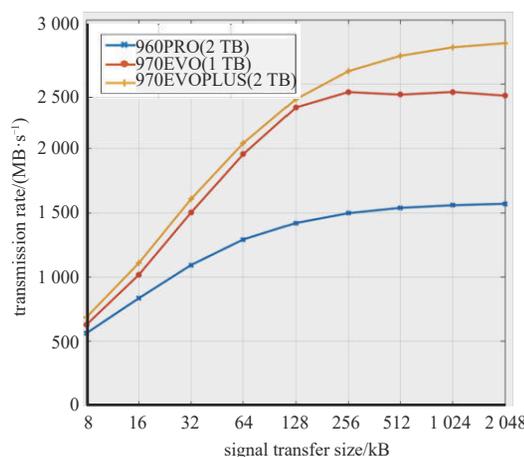


Fig.13 Write speed of NVMe SSD at fixed time
图 13 固定时间下 NVMe SSD 写速度

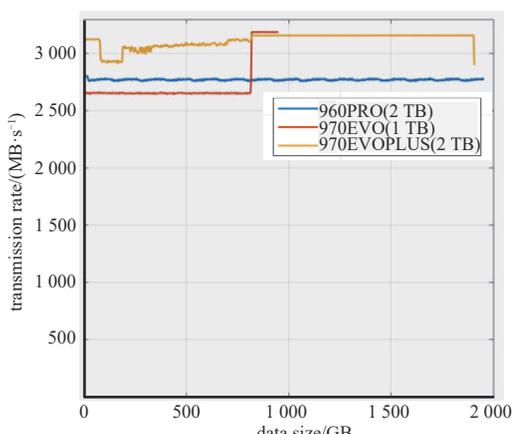


Fig.14 Read speed of NVMe SSD at a fixed single transfer size
图 14 固定单次传输大小下 NVMe SSD 读速度

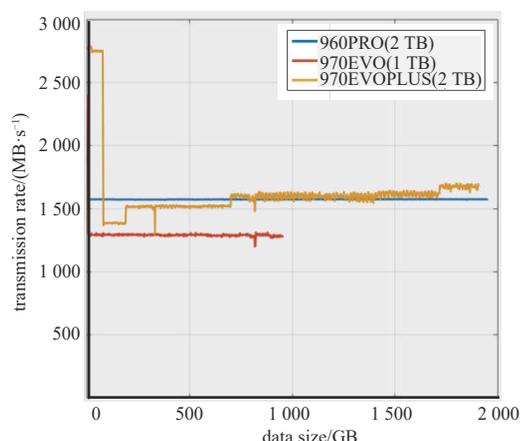


Fig.15 Write speed of NVMe SSD at a fixed single transfer size
图 15 固定单次传输大小下 NVMe SSD 写速度

3.2 模拟源带宽性能测试

模拟源系统存储单元由 4 块容量为 2 TB 的三星 970EVOPLUS 组成。单块 SSD 读平均速度达到 3.2 GBps，写平均速度达到 1.7 GBps。模拟源设备通过 2 路 QSFP 接口进行回放，由于数据从 SSD 中被读出到通过光口输出中间需要经过其他逻辑处理，因此回放带宽会有一些的衰减。经长时间测试可得：每路 QSFP 接口对外输出带宽达到 40 Gbps，因此模拟源设备对外整体回放带宽为 80 Gbps。

3.3 系统整体测试

为验证系统整体功能，将相机模拟源设备与解析采集设备通过千兆网络交换机与上位机连接，测试框架如图 16 所示。上位机利用千兆网口发送图像配置文件至模拟源系统中进行数据存盘，存盘结束后发送回放指令。模拟源设备开启数据回放功能，将封装后的数据通过光口发送至解析采集设备。解析采集设备对输入数据进行采集，然后通过光口将数据发送给上位机进行存盘。上位机开启数据实时比对功能进行误码率的计算。

采用以下 4 种方式进行模拟源设备数据传输误码率测试，检测模拟源系统是否能够长时间连续正确传输数据。

1) 上位机输出的图像帧中包含帧计数参数，通过观察解析采集系统采集到的数据流中该参数是否连续，从而判

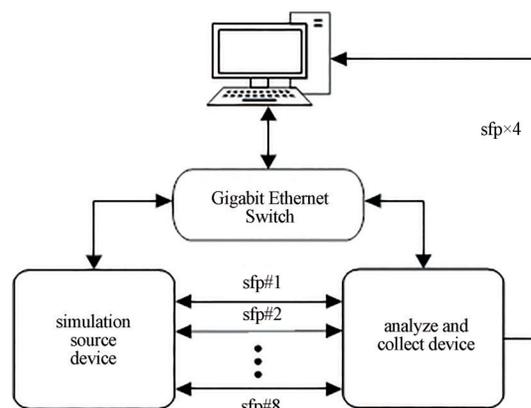


Fig.16 Test framework
图 16 测试框架

断数据传输的连续性；

2) 图像发送数据流中每一帧均包含校验和，解析采集设备接收回放数据时同时进行相关计算，可以判断数据在传输过程中是否产生误码；

3) 图像帧载荷数据区符合图像相应格式规范；

4) 上位机通过采集软件比对采集数据，并将校验错误计数值进行实时显示。

经充分测试，设备在 24 h 不间断工作下，数据传输无误码。并且已成功运用到某遥感相机模拟源系统中，系统如图 17 所示。



Fig.17 A simulator system
图 17 某模拟源系统

3.4 本文所研制模拟源与已有设备对比

根据已有文献梳理现有相机模拟源设备存储容量以及输出带宽等特性，得出表 1 所示结果。从表 1 可以看出，在存储容量上本文设计的模拟源设备大于除文献[9]外的其他模拟源设备，在数据输出带宽上也远优于其他设备。同时数据通过高速接口进行输出，解除了低速接口对于模拟源设备性能的限制。

表 1 模拟源设备对比

Table1 Comparison of simulator

literature	storage medium	storage capacity/GB	number of channels	form of interfaces	output bandwidth/Mbps
[1]	DDR3	4	2	CXP/Camera Link	7 626/840
[2]	FLASH	128	9	LVDS	2 016
[3]	PXie SSD	2 970	6	TLK2711	1 200
[4]	DDR3	1	1	Camera Link	917
[5]	FLASH	16	1	TLK2711	-
[6]	FLASH	16	2	RS422/LVDS	-
[7]	FLASH	128	24	LVDS	300
[8]	FLASH	128	24	LVDS	300
[9]	SATA SSD	8 192	8	ECL/LVDS	3 200/2 400
[10]	FLASH	1	30	LVDS	4 560
[11]	FLASH	0.5	17	LVDS	-
proposed	NVMe SSD	8 192	8	QSFP	81 920

4 结论

随着遥感卫星 CCD 相机幅宽愈来愈大，传输速率愈来愈高，现有模拟源设备输出带宽已无法满足相关数传设备的测试要求。针对这一问题，本文设计并实现了一种基于 NVMe 的超高速多通道遥感相机模拟源设备。系统利用 FPGA 实现了 4 组 NVMe SSD 主机控制器，完成对 NVMe SSD 的读写访问，解决了已有模拟源设备采用 SATA 协议对于数据输出带宽的限制。在保证模拟源设备存储容量的同时，极大提高了数据回放速度。模拟源设备整体对外回放带宽高达 80 Gbps，系统结构稳定，可移植性强，且具有较低的功耗，能够满足当前数传设备的各种需求，已成功运用于某遥感相机模拟源系统中，具有较高的实际应用价值。

参考文献：

- [1] 唐瑞. 高速图像模拟源的研究与实现[D]. 绵阳:西南科技大学, 2019. (TANG Rui. Research and implementation of high-speed image simulation resource[D]. Mianyang,China:Southwest University of Science and Technology, 2019.)
- [2] 栗明明. 遥感卫星有效载荷数据模拟系统研制[D]. 哈尔滨:哈尔滨工业大学, 2019. (LI Mingming. Development of payload data simulation system for remote sensing satellite[D]. Harbin,China:Harbin Institute of Technology, 2019.)
- [3] 刘朔. 1 200 Mbps 码速率的载荷数据模拟源研制[D]. 哈尔滨:哈尔滨工业大学, 2017. (LIU Shuo. Development of payload data simulator with a rate of 1200 Mbps[D]. Harbin,China:Harbin Institute of Technology, 2017.)
- [4] 兰功盾. 基于 FPGA 的 PCIe-Camera Link 图像信号模拟源研究[D]. 哈尔滨:哈尔滨工业大学, 2017. (LAN Gongdun. Research on PCIe-camera link image signal generator based on FPGA[D]. Harbin,China:Harbin Institute of Technology, 2017.)
- [5] 张敏,金龙旭,李国宁,等. 基于 TDICCD 空间相机图像模拟源系统设计[J]. 液晶与显示, 2016,31(2):208-214. (ZHANG Min, JIN Longxu, LI Guoning, et al. Design of image simulation system of TDICCD space camera[J]. Chinese Journal of Liquid Crystals and Displays, 2016,31(2):208-214.)
- [6] 张卓,任家峪,安然,等. 一种基于 NAND FLASH 基带数据模拟源的设计与实现[J]. 太赫兹科学与电子信息学报, 2016,14(5): 712-716. (ZHANG Zhuo, REN Jiayu, AN Ran, et al. Design and implementation of data simulator based on NAND FLASH[J].

- Journal of Terahertz Science and Electronic Information Technology, 2016,14(5):712-716.)
- [7] 朱雨. 卫星高速载荷数据模拟源的研制[D]. 哈尔滨:哈尔滨工业大学, 2013. (ZHU Yu. The development of high speed satellite payload data simulator[D]. Harbin,China:Harbin Institute of Technology, 2013.)
- [8] 杨兆君. 卫星载荷数据加载器研制[D]. 哈尔滨:哈尔滨工业大学, 2013. (YANG Zhaojun. Development of satellite payload data loader[D]. Harbin,China:Harbin Institute of Technology, 2013.)
- [9] 王譞,陈曦,张立国,等. 遥感卫星CCD相机模拟源的研制[J]. 光学精密工程, 2012,20(11):2559-2569. (WANG Xuan,CHEN Xi,ZHANG Ligu, et al. Development of CCD camera simulation source for remote sensing satellite[J]. Optics and Precision Engineering, 2012,20(11):2559-2569.)
- [10] 张贵祥,金星. 星载光学遥感相机图像模拟源的设计与实现[J]. 计算机测量与控制, 2009,17(7):1368-1370,1374. (ZHANG Guixiang, JIN Xing. Design and realization of image simulator of space vehicle borne optical remote sensing camera[J]. Computer Measurement and Control, 2009,17(7):1368-1370,1374.)
- [11] 鲁琴,杜列波,魏鹏. 基于FPGA的卫星图像模拟源系统设计[J]. 测试技术学报, 2009,23(3):261-265. (LU Qin,DU Liebo,WEI Peng. Design of simulative satellite image resource system based on FPGA[J]. Journal of Test and Measurement Technology, 2009,23(3):261-265.)

作者简介:

张亮(1995-), 男, 在读硕士研究生, 主要研究方向为NVMe高速存储.email:zhangliang_zm@163.com.

何品权(1997-), 男, 在读硕士研究生, 主要研究方向为高速实时数据处理平台.

张青林(1983-), 男, 博士, 副教授, 主要研究方向为EDA技术、嵌入式系统、图像处理.

夏巧桥(1987-), 男, 博士, 副教授, 主要研究方向为高速实时数据处理平台、LDPC译码.

(上接第1170页)

- [21] TAN Xu,ZHANG Xiaolei. Speech enhancement aided end-to-end multi-task learning for voice activity detection[EB/OL]. (2020-10-23). <https://doi.org/10.48550/arXiv.2010.12484>.
- [22] BARKER J,MARXER R,VINCENT E,et al. The third 'CHiME' speech separation and recognition challenge:dataset,task and baselines[C]// 2015 IEEE Workshop on Automatic Speech Recognition and Understanding(ASRU). Scottsdale,AZ,USA:IEEE, 2015:504-511.
- [23] VARGA A,STEENEKEN H J M. Assessment for automatic speech recognition:II. NOISEX-92:a database and an experiment to study the effect of additive noise on speech recognition systems[J]. Speech Communication, 1993,12(3):247-251.
- [24] PARK D S,CHAN W,ZHANG Y,et al. SpecAugment: a simple data augmentation method for automatic speech recognition[EB/OL]. (2019-12-03). <https://doi.org/10.48550/arXiv.1904.08779>.

作者简介:

陈俊淇(1998-), 男, 在读硕士研究生, 主要研究方向为模式识别与智能系统 .email:jqchen@mail.nwpu.edu.cn.

张晓雷(1983-), 男, 博士, 教授, 博士生导师, 主要研究方向为模式识别与智能系统.