

文章编号: 2095-4980(2024)03-0303-06

一种高速数字上变频的优化设计与实现方法

周新星, 台 啸, 李 奇

(中国船舶集团有限公司第七二二研究所, 湖北 武汉 430205)

摘 要: 软件定义无线电(SDR)要求数模转换器采样率越来越高、发射信号的带宽越来越宽, 传统的数字上变频方法受限于现场可编程门阵列(FPGA)的时钟频率, 无法满足应用需求。提出一种优化的高速数字上变频(DUC)设计方法, 对插值滤波及数字频率合成进行改进。推导出高速数字上变频的数学模型, 对传统数字上变频结构进行优化; 设计高效灵活的内插滤波实现结构和数字频率的合成结构; 分析给出内插滤波器多路滤波系数和多路并行数字频率合成的相位参数计算方法。硬件实现表明, 该优化设计方法功能正确, 便于工程应用, 输出的数字中频信号数据率可达 960 MS/s。该方法可实现不同倍数的内插, 产生不同速率的高速本振信号, 能够满足软件无线电中发射大带宽、高速率信号的数字上变频应用需求。

关键词: 数字上变频; 高速率; 多相滤波; 现场可编程门阵列

中图分类号: TN773

文献标志码: A

doi: 10.11805/TKYDA2021330

An optimal design and implementation method of high speed digital up conversion

ZHOU Xinxing, TAI Xiao, LI Qi

(No.722 Research Institute of China State Shipbuilding Corporation Limited, Wuhan Hubei 430205, China)

Abstract: The Software Defined Radio(SDR) requires that the Digital to Analog Converter(DAC) must have higher and higher sampling rate, and the bandwidth of the transmitted signal is wider and wider. The traditional method of the Digital Up Conversion(DUC) cannot meet the application requirements because of the limited clock frequency of the Field Programmable Gate Array(FPGA). An optimized design method of high speed DUC is proposed to improve interpolation filtering and digital frequency synthesis. Firstly, the mathematical model of high speed DUC is deduced and the traditional DUC structure is optimized and improved. The implementation structure of the efficient and flexible interpolation filtering, as well as the structure of the multichannel parallel digital frequency synthesis are designed. Secondly, the coefficients of interpolation filters are given as well as the computing method of phase parameters for parallel digital frequency synthesis. The hardware implementation shows that the function of the optimized method is correct, and the method is convenient for engineering application. The data rate of the output digital Intermediate Frequency(IF)signal can reach 960 MS/s. The optimized method can realize the interpolation of different multiples, and can also produce high speed Local Oscillator(LO) signals with different rates. It can meet the requirements of DUC applications which need to transmit wide band and high rate signals in SDR.

Keywords: digital up conversion; high speed rate; poly-phase filter; Field Programmable Gate Array

软件定义无线电(SDR)要求发射的信号带宽越来越宽、数字中频信号速率越来越高, 甚至达到了现场可编程门阵列器件(FPGA)工作时钟频率的数倍, 高速率给信号处理带来了新的挑战。数字上变频是软件无线电的关键技术之一, 其基本功能是将基带信号上变频至中频甚至射频频率上, 用于提高数据率和实现频谱搬移。软件无线电要求上变频尽量在数字信号处理部分实现, 以期增加系统的灵活性, 减少模拟变频器件的使用。因此数字中频频率越来越高, 中频信号的数据速率也相应越来越高^[1]。传统的数字上变频方法在FPGA中实现时, 其工作

收稿日期: 2021-09-05; 修回日期: 2022-03-21

时钟频率为信号数据速率,无法满足高数据率的应用^[2]。传统的数字上变频方法受限于FPGA器件的工作时钟频率,存在如下问题^[3-4]: a) 内插滤波器中的高速乘法器和加法器无法实现; b) 高速数字频率合成(Direct Digital frequency Synthesis, DDS)产生混频用的正余弦信号无法实现; c) 混频时用到的高速乘法器无法实现。未来SDR中发射信号带宽将越来越宽,数字中频信号数据速率也将越来越高,传统的数字上变频方法无法实现高速的数字上变频^[5]。

本文提出一种优化的高速数字上变频设计方法,在推导高速数字上变频数学模型的基础上,对内插滤波和变频结构进行改进。设计新的多路变频和滤波的支路结构,在保证数据吞吐率不变的情况下,降低系统对器件工作时钟频率的要求;新结构使内插滤波和变频等运算都工作于同一速率,设计更加灵活,便于实现,增加了上变频处理的可扩展性。文中同时给出了多路内插滤波的滤波器系数计算方法和FPGA实现结构,以及多支路变频的频率相位参数计算方法。硬件实现表明,该方法功能正确,便于工程应用,能满足高数据率的数字上变频需求。

1 传统数字上变频

数字上变频主要由内插滤波和混频两部分组成。内插主要提高基带信号数据速率,以匹配混频时的载波信号数据速率,低通滤波器滤除基带信号内插时频谱产生的高频镜像;混频完成基带信号频谱搬移,包括DDS产生的正余弦载波信号和乘法器^[6-7]。传统数字上变频的实现框图如图1所示。



Fig.1 Diagram of traditional digital up converter

图1 传统数字上变频框图

基带信号数据速率为 f_s , I 倍内插后信号数据速率变为 If_s ;低通滤波滤除由内插带来的高频镜像,混频将基带信号频谱搬移至中频输出,中频信号数据速率为 If_s ^[8]。传统的数字下变频结构在FPGA中实现时,低通滤波模块和混频模块的工作时钟频率都为信号内插后的数据速率 If_s ^[9-10]。现代SDR中发射信号带宽将越来越大,中频输出频率将越来越高,数据速率 If_s 将达到GS/s^[11-12],远远超过FPGA器件可以达到的工作时钟频率极限,因此传统的数字上变频结构无法满足实际需求。

2 高速数字上变频设计

设计一种利用多路内插的滤波结构和多路并行的混频技术实现高速数字上变频,可以大幅降低对FPGA器件工作时钟频率的要求。设计的高速数字上变频实现结构如图2所示,速率为 f_s 的基带信号输入给 I 路内插滤波器,实现信号的 I 倍内插; I 路信号并行混频后,通过JESD204B接口输出给数模转换芯片。采用优化的数字上变频结构后,内插滤波模块和混频模块的工作时钟频率都为 f_s ,与传统的数字上变频实现结构相比,不需要提高FPGA的工作时钟频率,且数字上变频的各个模块都工作在统一的时钟频率 f_s 下,便于工程实现。

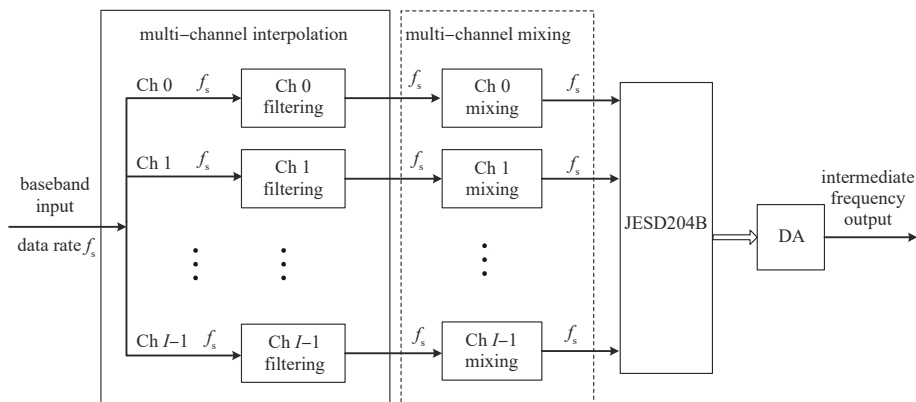


Fig.2 Diagram of optimized high speed digital upconverter

图2 优化的高速数字上变频结构框图

2.1 内插滤波

速率为 f_s 的零中频基带信号，经 I 倍内插后，记为 $a(n)$ ，其速率为 If_s 。滤波器系数为 $h(n)$ ，滤波器的输出记为 $s(n)$ ，其速率为 If_s 。

$$s(n) = a(n) * h(n) \quad (1)$$

根据图2优化的高速数字上变频结构， I 倍内插滤波采用 I 路滤波器实现， I 路滤波器系数通过对内插滤波器的系数进行分组得到。内插倍数为 I 、长度为 N (N 为 I 的整数倍)的内插滤波器的传输函数记为 $H(z)$ 。

$$\begin{aligned} H(z) &= \sum_{n=0}^{N-1} h(n)z^{-n} = h(0)z^0 + h(1)z^{-1} + \cdots + h(i)z^{-i} + \cdots + h(N-1)z^{-(N-1)} = \\ &h(0)z^0 + h(i)z^{-i} + \cdots + h(1)z^{-1} + h(i+1)z^{-(i+1)} + \cdots + h(i-1)z^{-(i-1)} + h(2i-1)z^{-(2i-1)} = \\ &z^0(h(0) + h(i)z^{-i} + \cdots) + z^{-1}(h(1) + h(i+1)z^{-i} + \cdots) + \cdots + z^{-(i-1)}(h(i-1) + h(2i-1)z^{-i} + \cdots) = \sum_{l=0}^{I-1} z^{-l} \sum_{n=0}^{N/I-1} h(In+l)z^{-ln} \end{aligned} \quad (2)$$

对 $H(z)$ 进行分组，得到 I 路滤波器，传输函数分别为 $H_0(z)$ 、 $H_1(z)$ 、 $\cdots$ 、 $H_{I-1}(z)$ 。

$$\begin{cases} H_0(z) = z^0 \sum_{n=0}^{N/I-1} h(In)z^{-ln} \\ H_1(z) = z^{-1} \sum_{n=0}^{N/I-1} h(In+1)z^{-ln} \\ \vdots \\ H_{I-1}(z) = z^{-(I-1)} \sum_{n=0}^{N/I-1} h(In+I-1)z^{-ln} \end{cases} \quad (3)$$

根据传输函数 $H_0(z)$ 、 $H_1(z)$ 、 $\cdots$ 、 $H_{I-1}(z)$ 可得到 I 路内插滤波器的实现结构，如图3所示。

各路滤波器的输出信号分别为：

$$\begin{cases} s_0(n) = s(nI) \\ s_1(n) = s(nI+1) \\ \vdots \\ s_{I-1}(n) = s(nI+I-1) \end{cases} \quad (4)$$

2.2 多路DDS并行混频

根据优化的高速数字上变频结构框图，内插滤波后得到数据速率为 f_s 的 I 路信号 $s_0(n)$ 、 $s_1(n)$ 、 $\cdots$ 、 $s_{I-1}(n)$ 。混频时需要DDS产生 I 路本振信号，其载频为 f_c ，采样率为 If_s ，第 k 路信号如式(5)所示， $k=0, 1, \cdots, I-1$ 。

$$c_k(nI+k) = e^{j(2\pi(nI+k)f_c/If_s)} \quad (5)$$

$c_k(nI+k)$ 可进一步表示为：

$$c_k(nI+k) = e^{j(2\pi n f_c/If_s + 2\pi k f_c/If_s)} \quad (6)$$

设 $\varphi = 2\pi f_c/If_s$ ，则式(6)可表示为：

$$c_k(nI+k) = e^{j(2\pi n f_c/If_s + k\varphi)} \quad (7)$$

由式(7)可知，此时信号速率为 f_s ，与内插滤波器的输出速率一致。 $k\varphi$ 为第 k 路信号相对于第0路信号的载波相位差。要实现多路并行混频，需采用 I 路DDS并行产生 I 路载波信号，与内插滤波输出的 I 路信号相对应。通过DDS并行产生 I 路载波信号需严格控制初始相位，相邻两路DDS信号之间的相位差为：

$$\varphi = \frac{2\pi f_c}{If_s} \quad (8)$$

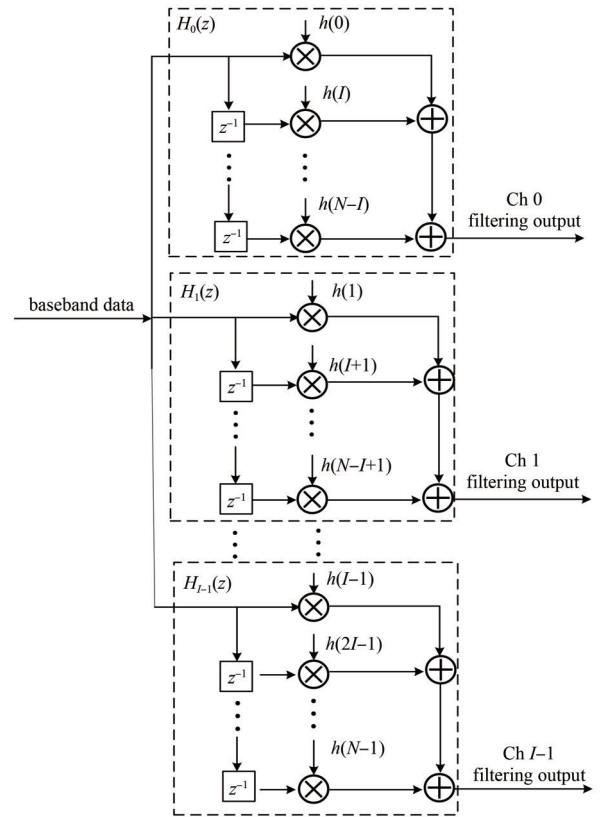


Fig.3 Diagram of polyphase filtering
图3 多相滤波实现结构

多路信号并行混频结构如图 4 所示。

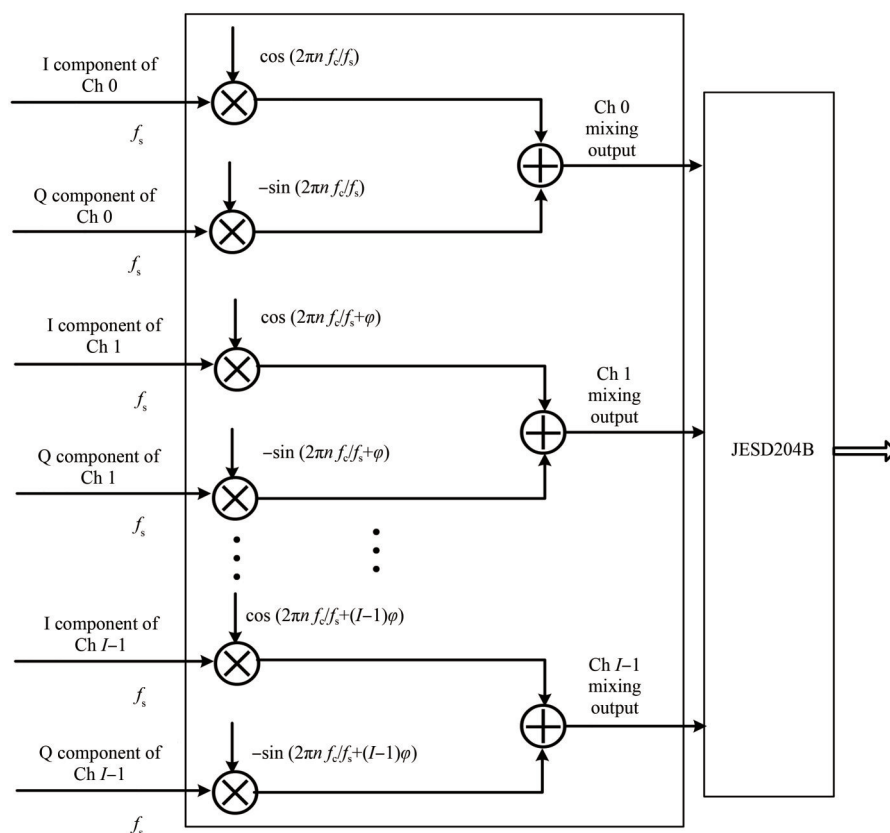


Fig.4 Diagram of multi-channel DDS parallel mixing
图4 多路DDS并行混频结构框图

第 k 路混频信号为:

$$d_k(nI+k) = s_k(nI+k) * c_k(nI+k) = \text{Re}\{e^{j\theta(nI+k)}\} * \text{Re}\{e^{j(2\pi n f_c/f_s + k\varphi)}\} - \text{Im}\{e^{j\theta(nI+k)}\} * \text{Im}\{e^{j(2\pi n f_c/f_s + k\varphi)}\} = \cos(2\pi n f_c/f_s + \theta(nI+k) + k\varphi) \quad (9)$$

得到第 k 路中频信号:

$$d_k(nI+k) = \cos(2\pi n f_c/f_s + \theta(nI+k) + k\varphi) \quad (10)$$

3 应用分析

分析验证本文 DUC 方法的可行性, 以某具体设计实现。基带数据速率为 240 MSps, 上变频到中频 320 MHz, DA 采样率 960 MHz, FPGA 采用 Xilinx K7。依据本文的优化设计方法, 将上变频处理分为 4 路并行支路结构, 每路分别进行内插滤波和混频运算, 支路的数据率和处理时钟为 240 MHz。

根据带通采样定理, 240 MHz 采样率对 320 MHz 中频信号采样后, 信号频率变为 80 MHz。因此 4 路 DDS 并行产生 4 路频率为 80 MHz 的正余弦信号, 每路信号的初始相位不同, 根据式(8)推导可得相邻两路信号之间的相位差为: $\varphi = \frac{2\pi f_c}{If_s} = \frac{2\pi \times 320}{4 \times 240} = \frac{2\pi}{3} \text{ rad}$ 。

在 FPGA 中设定第 0 路 DDS 信号的初始相位为 $\varphi_0 = 0$, 则第 1 路、第 2 路、第 3 路 DDS 信号的初始相位分别为: $\varphi_1 = \frac{2\pi f_c}{If_s} = \frac{2\pi \times 320}{960} = \frac{2\pi}{3} \text{ rad}$; $\varphi_2 = 2 \times \frac{2\pi f_c}{If_s} = 2 \times \frac{2\pi \times 320}{960} = \frac{4\pi}{3} \text{ rad}$; $\varphi_3 = 3 \times \frac{2\pi f_c}{If_s} = 3 \times \frac{2\pi \times 320}{960} = 2\pi \text{ rad}$ 。

内插滤波器通带 22 MHz, 阻带 32 MHz, 阶数 59, 滤波器 4 倍内插, 据此参数对高速数字上变频在 FPGA 中进行实现验证。首先, 验证 4 路并行 DDS 信号的正确性。利用 Xilinx 的 FPGA 开发工具 Vivado 在 K7 芯片上产生 4 路 DDS 信号, 利用 ILA 抓取 4 路信号时域波形(虚部), 如图 5 所示。由于分成了 4 路并行混频, 每路 DDS 信号频

率为80 MHz,此时FPGA工作时钟频率为240 MHz,能产生混频所用的正余弦信号。为验证这4路信号的正确性,将这4路数据并串转换,合成一路采样率960 MHz的信号后,其载频为320 MHz。将4路DDS信号并串转换后做频谱,如图6所示,信号频率为320 MHz,验证了4路DDS信号的正确性。

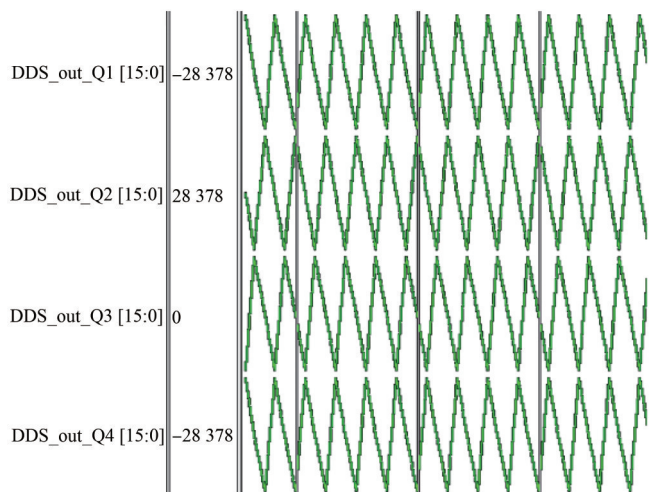


Fig.5 Time-domain waveform of four DDS signals
图5 四路DDS信号时域波形(虚部)

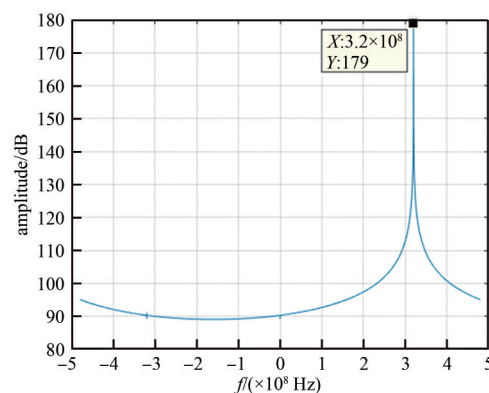


Fig.6 DDS signal spectrum
图6 DDS信号频谱

其次,验证上变频输出的正确性。输入BPSK调制的理想基带信号,频谱如图7所示,经FPGA处理后在集成逻辑分析仪(Integrated Logic Analyzer, ILA)中抓取数字上变频输出数据,量化后的数据频谱如图8所示,可见信号已搬移至中频320 MHz,且信号采样率为960 MS/s,实现了4倍内插。相比传统上变频中FPGA需要工作在960 MHz的时钟频率,本文设计的高速数字上变频FPGA工作时钟频率为240 MHz,大幅降低了工程实现中对FPGA工作时钟的要求。

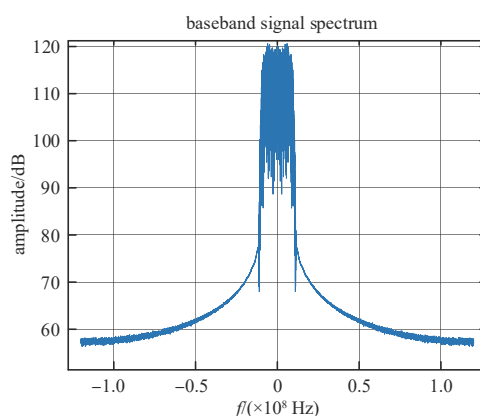


Fig.7 Baseband signal spectrum
图7 基带信号频谱

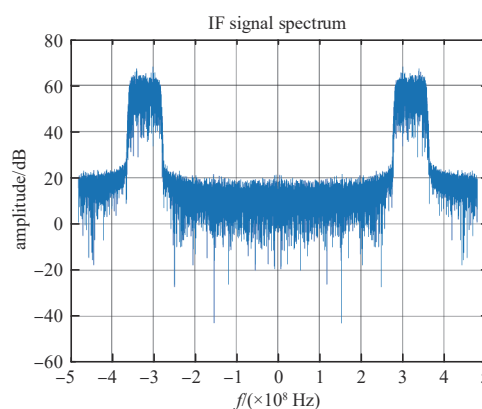


Fig.8 IF signal spectrum after digital up-converting
图8 数字上变频后中频信号频谱

4 结论

本文针对软件无线电中发射信号带宽越来越大、数字中频信号速率越来越高的应用需求,提出了基于支路滤波和多路并行混频的高速数字上变频优化设计方法,大幅降低对FPGA工作时钟频率的要求,提高系统稳定性和可靠性。在某具体应用中通过Xilinx K7芯片对该方法进行了实现验证,结果表明,该方法功能正确,便于实现和扩展,能满足软件无线电中速率越来越高的数字上变频的应用需求。

参考文献:

- [1] 孙健,韩文俊,凌元. 基于多相滤波的高速滤波器FPGA设计[J]. 遥测遥控, 2018,39(5):27-32. (SUN Jian,HAN Wenjun,LING Yuan. FPGA design of high-speed filter based on poly-phase filtering[J]. Journal of Telemetry,Tracking and Command, 2018,39(5):27-32.) doi:10.3969/j.issn.2095-1000.2018.05.006.
- [2] RAFAEL A,AYARDE M,BRIONES G C. Design and implementation in FPGA of a CIC interpolation filter for software defined

- radio[C]// 2017 XVII Workshop on Information Processing and Control(RPIC). Mar del Plata, Argentina:IEEE, 2017:1–5. doi:10.23919/RPIC.2017.8214372.
- [3] 楼才义,徐建良,杨小牛. 软件无线电原理与应用[M]. 2版. 北京:电子工业出版社, 2014. (LOU Caiyi,XU Jianliang,YANG Xiaoniu. Software-defined radio:principles and practice[M]. 2nd ed. Beijing:Publishing House of Electronics Industry, 2014.)
- [4] THOMAS S A,ANUSUDHA K. Comparative analysis for various parametric attributes for an optimized DUC/DDC[C]// 2017 International Conference on Inventive Computing and Informatics(ICICI). Coimbatore,India:IEEE, 2017:206–209. doi:10.1109/ICICI.2017.8365339.
- [5] 梁尧,徐迪宇,胥小武. 一种基于FPGA的直接数字射频上变频方案[J]. 太赫兹科学与电子信息学报, 2014,12(5):692–696. (LIANG Yao,XU Diyu,XU Xiaowu. A method for digital direct RF up-converter with FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2014,12(5):692–696.) doi:10.11805/TKYDA201405.0692.
- [6] JYOTHI N,JAYAPRAKASH S,GOWDA S K. Design and VLSI implementation of high performance DUC and DDC for software defined radio applications[C]// 2013 International Conference on Emerging Trends in Communication,Control,Signal Processing and Computing Applications(C2SPCA). Bangalore,India:IEEE, 2013:1–3. doi:10.1109/C2SPCA.2013.6749375.
- [7] 李备. 一种改进型整数倍多相滤波器在FPGA中的应用[J]. 电脑与信息技术, 2012,20(1):9–12. (LI Bei. An improved integral polyphase filter application in FPGA[J]. Computer and Information Technology, 2012,20(1):9–12.) doi:10.3969/j.issn.1005–1228.2012.01.003.
- [8] 吕影影,徐强,崔志超. 一种基于多相滤波的高速信号处理算法[J]. 雷达科学与技术, 2014,12(2):161–165. (LYU Yingying,XU Qiang,CUI Zhichao. Algorithms of high-speed signal processing based on poly-phase filter[J]. Radar Science and Technology, 2014,12(2):161–165.) doi:10.3969/j.issn.1672–2337.2014.02.009.
- [9] THIEL B T,ÖZMERTA,GUAN Junqing,et al. Lowpass delta-sigma modulator with digital upconversion for switching-mode power amplifiers[C]// 2011 IEEE MTT-S International Microwave Symposium. Baltimore, MD, USA: IEEE, 2011:1–4. doi:10.1109/MWSYM.2011.5972816.
- [10] SILVA N V,OLIVEIRA A S R,CARVALHO N B. Design and optimization of flexible and coding efficient all-digital RF transmitters[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(1): 625–632. doi:10.1109/TMTT.2012.2228669.
- [11] 铁奎,张慷,凌云志. 通信系统中数字上变频技术的研究与设计[J]. 电子设计工程, 2012,20(15):190–192. (TIE Kui,ZHANG Kang,LING Yunzhi. Design and research of digital up conversion in communication system[J]. Electronic Design Engineering, 2012,20(15):190–192.) doi:10.3969/j.issn.1674–6236.2012.15.068.
- [12] DE-FIGUEIREDO F A P,FILHO J A B,LENZI K G. FPGA design and implementation of digital up-converter using quadrature oscillator[C]// 2013 IEEE Jordan Conference on Applied Electrical Engineering and Computing Technologies(AEECT). Amman, Jordan:IEEE, 2013:1–7. doi:10.1109/AEECT.2013.6716423.

作者简介:

周新星(1984–), 男, 博士, 高级工程师, 主要研究方向为通信对抗, email:297389565@qq.com.

台 啸(1987–), 男, 硕士, 工程师, 主要研究方向为通信干扰.

李 奇(1988–), 女, 硕士, 工程师, 主要研究方向为高速数字信号处理.