

文章编号: 2095-4980(2024)07-0758-06

X 波段三维异构片式收发 SiP 模块设计

李晓林, 刘 星, 高艳红, 赵 宇, 许春良

(中国电子科技集团公司 第十三研究所, 河北 石家庄 050051)

摘 要: 采用硅基三维异构集成技术, 在极小的体积内, 将多个微波单片集成电路(MMIC)和无源功分网络一体化集成, 实现了一种 X 波段 4 通道片式收发系统级封装(SiP)。该 SiP 由 2 个体硅堆叠封装(PoP)而成, 不同封装通过球栅阵列(BGA)方式互连, 单层封装的内部腔体上下面均贴装芯片, 封装内部采用硅通孔技术(TSV)实现垂直互连, SiP 尺寸为 14 mm × 14 mm × 3.2 mm。测试结果表明, 在 8~12 GHz 内, SiP 4 个通道的发射饱和输出功率 ≥ 30.5 dBm, 接收增益 ≥ 24.5 dB, 噪声系数 ≤ 3 dB, 接收输入 $P_{-1} \geq -26$ dBm, 同时具备 6 位数控移相和 6 位数控衰减功能, 重量约 1 g, 可广泛用于微波收发系统。

关键词: 三维异构集成; 堆叠封装; 高集成; 片式; 系统级封装

中图分类号: TN838; TN851

文献标志码: A

doi: 10.11805/TKYDA2023396

Design of 3D heterogeneous film-based transceiver SiP module in X-band

LI Xiaolin, LIU Xing, GAO Yanhong, ZHAO Yu, XU Chunliang

(The 13th Research Institute, China Electronics Technology Group Corporation, Shijiazhuang Hebei 050051, China)

Abstract: A four-channel X-band chip transceiver System in a Package(SiP) module was realized by integrating multiple Monolithic Microwave Integrated Circuits(MMICs) and passive power division network into a very compact volume using silicon-based 3D heterogeneous integration technology. The module is Package on Package(PoP) stacked by two silicon-based packages, and the different packages are interconnected through the Ball Grid Array(BGA) mode. Chips are installed on the upper and lower surfaces of the inner cavity of a single package. The internal package is vertically interconnected using Through Silicon Via(TSV) and the module dimensions are 14 mm × 14 mm × 3.2 mm. The test results show that within 8~12 GHz, the transmission saturation output power of the module is ≥ 30.5 dBm, the receiving gain is ≥ 24.5 dB, the noise figure is ≤ 3 dB, the receiving input P_{-1} is ≥ -26 dBm, and it also features 6-bit digital phase shifting and 6-bit digital attenuation capabilities, weighs approximately 1 g. It can be widely used in microwave transceiver system.

Keywords: three-dimensional heterogeneous integration; Package on Package stack; high integration; film type; System in Package

相控阵已广泛用于通信、雷达和电子对抗等领域, 随着电子信息设备性能不断提升, 对相控阵的体积、重量和外形等提出了严格要求, 需要在保证系统性能不变或有所提升的基础上, 同时兼顾系统小型化和共形需求^[1-2]。系统级封装(SiP)利用已有的成熟微组装机工艺, 集成多种有源结构和无源结构, 大幅提升产品集成密度, 降低产品重量和尺寸, 同时降低系统开发难度。

硅基三维异构集成技术因其自身的高精确度、高集成、低成本等诸多优势, 在高性能封装领域受到了国内外学者越来越多的关注^[3-10]。本文采用三维异构集成技术, 研制了一款高集成、小型化的 X 波段 4 通道片式收发 SiP 模块。为获得更优的射频性能和更高的集成度, 针对影响射频性能的垂直互联(TSV)结构和微电子机械系统(Micro-Electromechanical Systems, MEMS)功分结构进行了着重优化和仿真, 并在腔体的底面和顶面同时安装芯片, 在 14 mm × 14 mm × 3.2 mm 的体积内共集成了 80 颗芯片, 分别为 24 颗射频芯片、10 颗电源调制芯片和 46 颗阻容芯片, 产品不仅实现了射频收发、数控移相、数控衰减、电源调制、负控正及串入串出等功能, 同时具备了

收稿日期: 2023-11-27; 修回日期: 2023-12-28

超高密度集成的优势。与传统封装模块相比,其尺寸和重量都大幅降低^[5-6]。

1 电路与结构

1.1 方案介绍

本文采用的片式收发SiP电路原理框图如图1所示,主要由MEMS功分结构、层间互连射频TSV结构、单通道幅相多功能芯片、功放芯片(Power Amplifier, PA)、限幅低噪放(Low Noise Amplifier, LNA)芯片以及开关芯片构成。发射链路:射频信号由BGA形式的COM端口进入MEMS功分结构后平分为4路射频信号,功分后的射频信号依次经过幅相控制多功能芯片(Multi-Functional Chip, MFC)内部的6位数控移相单元、6位数控衰减单元和单刀双掷开关(Single-Pole Double Throw, SPDT)单元后,通过层间互连射频TSV结构向下一级功率放大器芯片输出,经过放大处理后的射频信号经开关后对外输出,输出形式采用BGA接口。接收链路:射频信号通过BGA接口先进入开关芯片,后进入限幅低噪放芯片,经放大处理后的信号进入4通道幅相控制多功能芯片,经过芯片内部的单刀双掷开关单元、6位数控衰减单元和6位数控移相单元后进入MEMS功分结构合成1路射频信号,经BGA形式的COM端口对外输出^[6-7]。

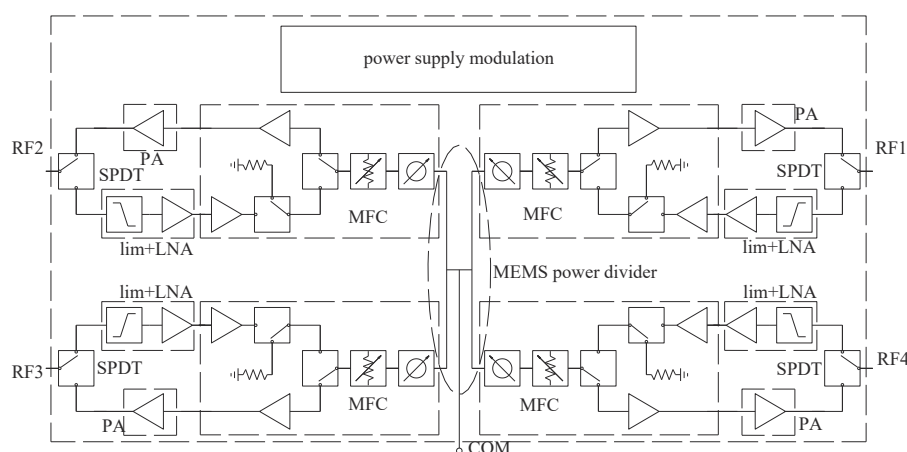


Fig.1 Schematic diagram of the film-based transceiver SiP circuit

图1 片式收发SiP电路原理框图

片式收发SiP共集成了4种不同材质不同厚度的芯片:幅相控制多功能芯片、低噪声放大器芯片和限幅器芯片采用GaAs工艺制备,芯片厚度0.07 mm;功率放大器芯片采用GaN工艺制备,厚度0.1 mm;电源调制芯片采用Si基互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺制备,厚度0.3 mm;内部集成的100 pF电容芯片、1 000 pF电容芯片和0.1 μ F电容芯片采用多层陶瓷工艺制备,厚度0.35 mm,实现了三维异构高集成目的,极大降低了产品尺寸^[8]。

1.2 集成架构

片式收发SiP由2层体硅封装堆叠而成,第1层为放大层,第2层为幅相层。第1层和第2层结构均由4层250 μ m厚的硅片和1层400 μ m厚的硅片构成,每层硅片上下表面均有5 μ m厚的镀金层,硅片间采用晶圆级金金热压键合工艺结合。底部2层硅片作为二次布线层以及芯片载托层,同时也可以在这2层硅片之间集成无源器件(Integrated Passive Device, IPD),如带状线滤波器、威尔金森功分器、耦合器、电阻、电容等。中间2层硅片作为二次布线层和芯片腔体支撑层,顶层400 μ m厚硅片挖槽后可同时作为芯片安装层和盖板层。第1层和第2层体硅封装结构之间采用直径400 μ m的铅锡焊球连接。片式收发SiP的结构示意图如图2所示。

片式收发SiP共集成了3层芯片:第1层集成了单刀双掷开关芯片、限幅低噪放芯片、功率放大器芯片、

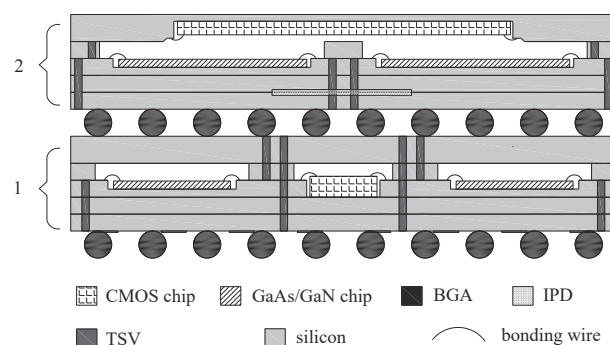


Fig.2 Structure diagram of the transceiver SiP

图2 片式收发SiP结构示意图

具备负控正功能的负稳压芯片以及电容芯片；第2层集成了幅相控制多功能芯片、串入串出波控芯片、电源调制芯片、开关驱动芯片和电容芯片，第3层Si基波控芯片贴装在芯片腔体上方的盖板槽底，与贴装在腔体底部的幅相控制多功能芯片相对。

芯片腔体采用密布金属化TSV做屏蔽处理，可防止相邻芯片腔体间电磁干扰，该项措施可将相邻芯片腔体的间距降低至最小265 μm ，既提高了SiP的电磁兼容特性，又提高了产品集成度，减小了产品的平面尺寸。同层体硅封装内部的芯片通过键合线、低损耗平面传输线实现射频互连，不同层体硅封装之间采用垂直互连TSV和焊球类同轴结构实现信号的垂直互连。

1.3 链路仿真

片式收发SiP两层封装间需要通过射频垂直互连结构实现信号传递，可供选择的无源垂直互连方式有多种^[9-11]，本文采用与体硅三维异构集成工艺最兼容的TSV和焊球类同轴结构作为主要的垂直互连方式，射频对外接口采用BGA形式。

为快速得出最优的类同轴结构参数，采用同轴结构的特性阻抗(Z_0)公式^[11]确定仿真初始参数：

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{D_o}{D_i} \quad (1)$$

式中： ϵ_r 为介质相对介电常数； D_o 为同轴结构外导体直径； D_i 为同轴结构内导体直径。由于体硅三维异构集成工艺的硅通孔直径已被固化为100 μm ，因此同轴结构内导体直径已经确定。考虑生产可操作性，体硅封装之间采用较大直径(400 μm)焊球互连，因此体硅封装之间的同轴结构内导体直径也已经确定。将已经确定的工艺参数代入式(1)，得到硅基内部同轴外导体直径为1770 μm ，体硅封装之间的同轴外导体直径为920 μm 。

片式收发SiP具有2种类同轴垂直互连结构：第1种互连结构为SiP第1层外部BGA至放大层内芯片的类同轴垂直传输结构；第2种互连结构为上下2层芯片之间的类同轴垂直传输结构。将得到的初始参数代入互连结构进行仿真优化，仿真过程中主要对匹配传输线的宽度和硅通孔焊盘大小进行优化。

第1种互连结构如图3所示，该结构实现了外部馈入信号到射频芯片的传输功能。仿真结果和测试结果如图4所示，在X波段内回波损耗优于-15 dB，带内插入损耗最大约0.45 dB，整体性能优异。

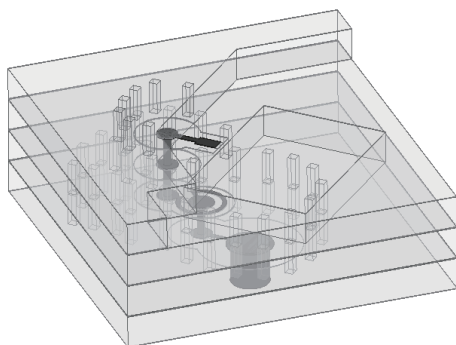


Fig.3 Simulation results of the TSV structure
图3 TSV 仿真结构

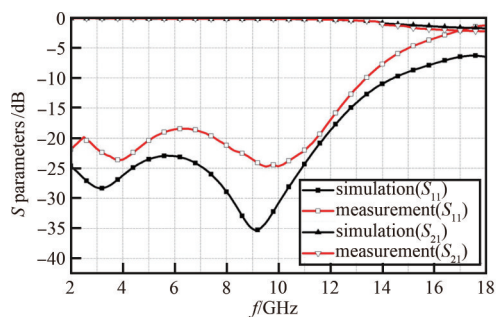


Fig.4 Simulation results and measurement results of the TSV structure
图4 TSV 结构仿真结果和测试结果

第2种互连结构如图5所示，该结构实现了上下2层芯片之间的垂直互连传输功能。仿真结果和测试结果如图6所示，在X波段内回波损耗优于-15 dB，带内插入损耗最大约0.4 dB，整体性能优异。

对片式收发SiP中的MEMS功分器进行仿真优化。同样在软件中建模MEMS功分器，并进行优化仿真，结构如图7所示，由于探针测试台的射频探针尺寸较大，无法在狭小的空间内同时使用4个射频探针完成实物测试，故只提供了仿真结果，带内回波损耗 ≤ -11.7 dB，带内插入损耗 ≤ 0.96 dB，如图8所示。

综合分析上述3种仿真结构、仿真结果和测试结果，可以得出片式收发SiP所使用的互连传输结构可以满足应用需求。

为得到完整的链路射频性能，将所有的无源结构仿真结果与芯片的实测结果代入仿真软件中进行全链路仿真，发射仿真链路如图9所示，接收仿真链路如图10所示。将仿真结果与实测结果在章节2中进行详细对比。

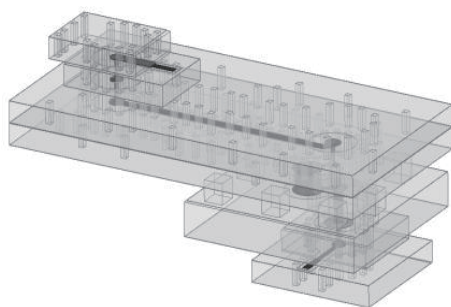


Fig.5 Simulation model of the internal interconnection transmission structure

图5 内部互连传输仿真结构

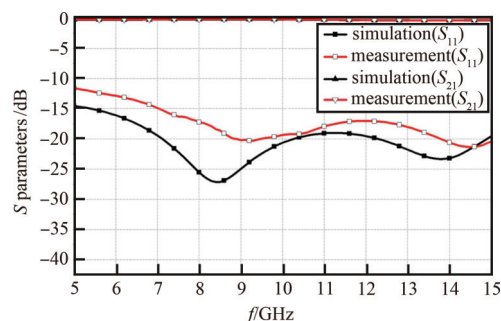


Fig.6 Simulation and measurement results of the internal interconnection transmission structure

图6 内部互连传输结构仿真结果和测试结果

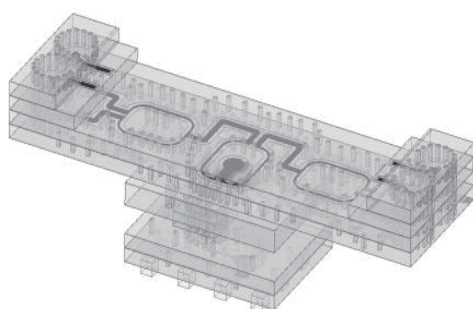


Fig.7 Simulation model of the power divider

图7 功分器仿真结构

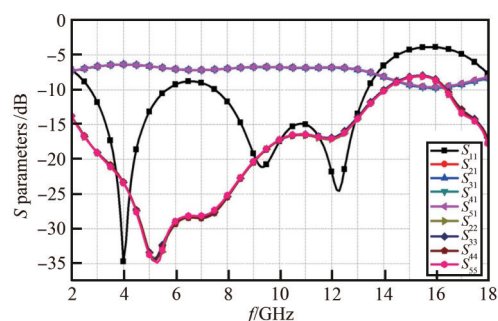


Fig.8 Simulation results of the power divider

图8 功分器仿真结果

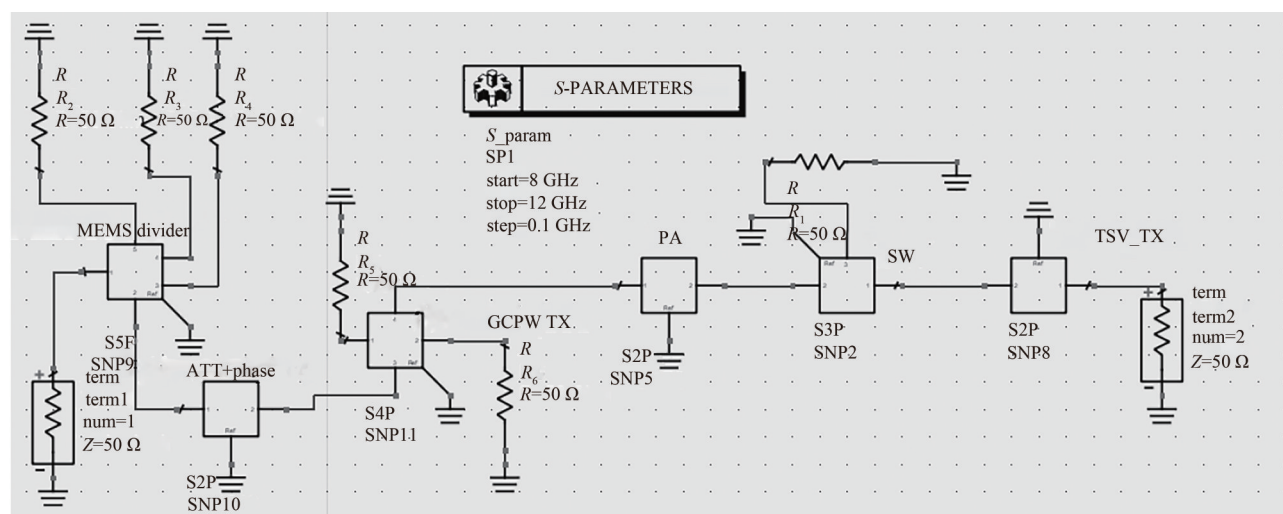


Fig.9 Simulation of transmitting link

图9 发射链路仿真

2 测试结果与分析

装配完成后的片式收发 SiP 如图 11 所示, 尺寸仅为 $14\text{ mm} \times 14\text{ mm} \times 3.2\text{ mm}$ 。采用专用测试夹具对片式收发 SiP 进行全面的性能测试, 测试结果如表 1 所示。发射通道饱和输出功率仿真和测试结果如图 12 所示, 接收增益仿真和测试结果如图 13 所示, 噪声系数仿真和测试结果如图 14 所示, 接收输入输出回波损耗仿真和测试结果如图 15 所示, 发射输入回波损耗仿真和测试结果如图 16 所示。

对比三维异构集成片式收发 SiP 的仿真结果与测试结果可以得出: 发射通道饱和输出功率大于 30.5 dBm , 接收通道小信号增益大于 24.5 dB , 噪声系数小于 3 dB , 同时具有 6 位移相和 6 位衰减功能, 且测试结果与仿真结果吻合度较好。

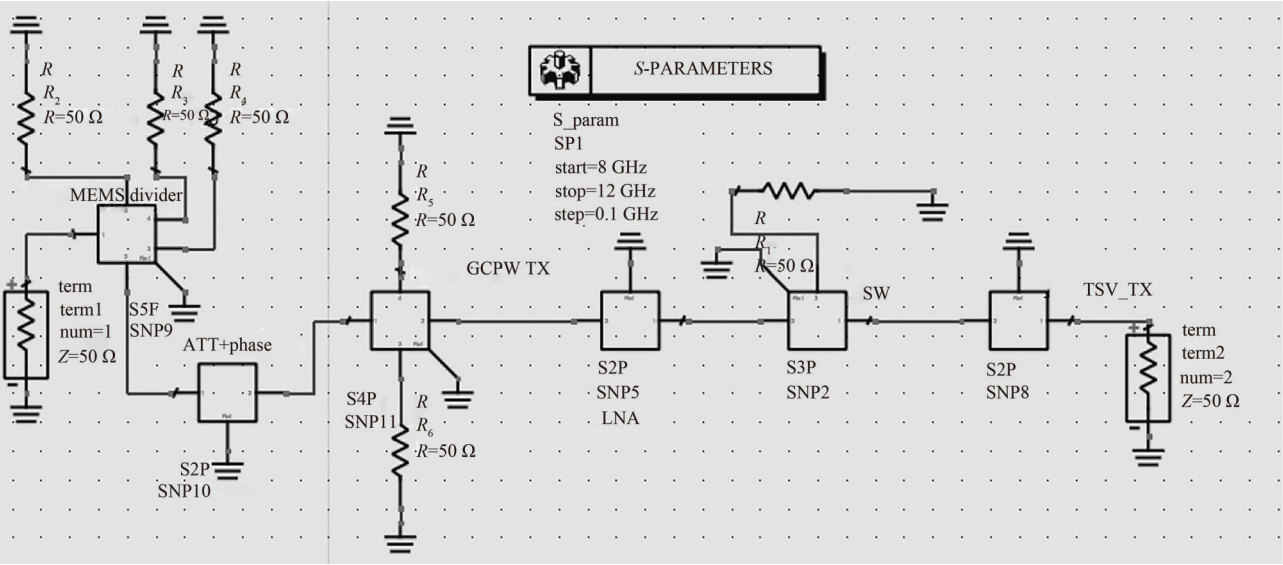


Fig.10 Simulation of receive link

图 10 接收链路仿真

表 1 片式收发 SiP 测试结果

Table1 Test results of the T/R module

parameter	value	parameter	value
frequency/GHz	8~12	phase shift amplitude fluctuation/dB	± 0.5
saturation output power/dBm	>30.5	attenuation accuracy RMS/dB	1
receive channel gain/dB	>24.5	attenuation additional phase shift/($^{\circ}$)	± 8
noise figure/dB	<3.0	voltage standing wave ratio	<2
phase shift accuracy RMS/($^{\circ}$)	4.5		

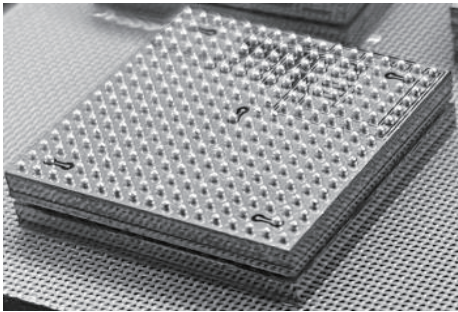


Fig.11 Photograph of the T/R module

图 11 片式收发 SiP 实物图

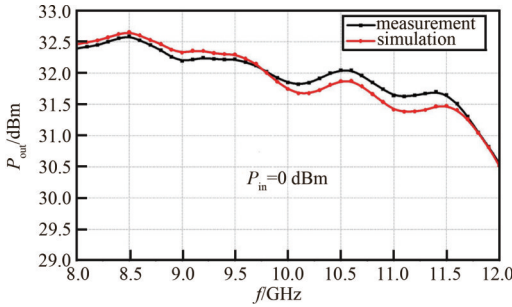


Fig.12 Simulation and measurement results of the saturated transmitting power

图 12 发射通道饱和输出功率仿真结果和测试结果

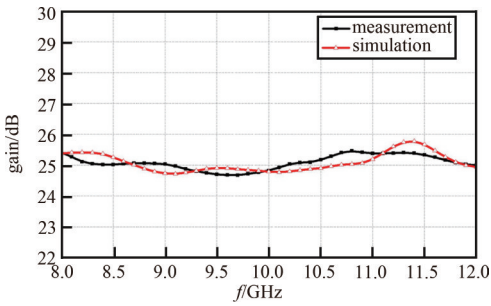


Fig.13 Simulation and measurement results of the receiving gain

图 13 接收通道增益仿真结果和测试结果

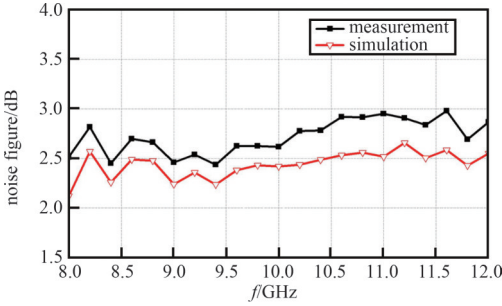


Fig.14 Simulation and measurement results of the noise figure

图 14 噪声系数仿真结果和测试结果

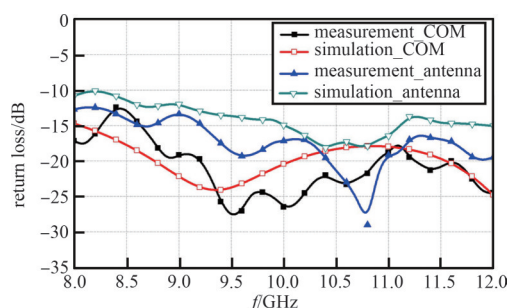


Fig.15 Simulation and measurement results of the receiving return loss

图 15 接收回波损耗仿真结果和测试结果

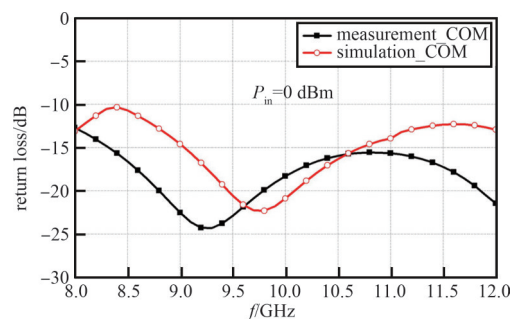


Fig.16 Simulation and measurement results of the transmitting return loss

图 16 发射回波损耗仿真结果和测试结果

3 结论

基于体硅三维异构集成工艺，将多达 80 颗不同材质、不同厚度的芯片集成在 $14\text{ mm} \times 14\text{ mm} \times 3.2\text{ mm}$ 的 SiP 内部。采用密布金属化 TSV 将芯片腔体围起来的手段，实现了相同层不同芯片腔体间极好的电磁屏蔽效果；通过垂直互连结构实现了不同层芯片间的低损耗、高性能互连。最终测试结果与仿真设计结果较一致，符合设计预期。片式收发 SiP 封装材料可以采用晶圆级半导体工艺批量加工，一致性好，芯片装配及测试过程均在晶圆上采用自动化设备进行，极大提高了生产效率，降低了生产成本。体硅三维异构集成 SiP 设计方案新颖^[12-14]，提高了芯片的集成密度，具有高性能、低成本、轻量化、小型化和易生产的优点和非常高的工程应用价值。

参考文献：

- [1] 田德文,孙昱祖,宋青林. 系统级封装的应用、关键技术与产业发展趋势研究[J]. 中国集成电路, 2021,30(4):20-35. (TIAN Dewen,SUN Yuzu,SONG Qinglin. Research on SiP applications,key technologies and industry development trend[J]. China Integrated Circuit, 2021,30(4):20-35.)
- [2] 秦颖,张亚兵. 射频 SiP 在收发组件中的应用研究[J]. 现代雷达, 2023,45(6):109-113. (QIN Ying,ZHANG Yabing. Application research of RF SiP in T/R system[J]. Modern Radar, 2023,45(6):109-113.) doi:10.16592/j.cnki.1004-7859.2023.06.017.
- [3] 夏静,陈云飞. 半导体封装技术研究[J]. 电子技术与软件工程, 2021(13):76-77. (XIA Jing,CHEN Yunfei. Research on semiconductor packaging technology[J]. Electronic Technology & Software Engineering, 2021(13):76-77.)
- [4] 杨志,董春晖,柏航,等. 多层圆片级堆叠 THz 硅微波导结构的制作[J]. 微纳电子技术, 2020,57(4):328-332. (YANG Zhi,DONG Chunhui,BAI Hang,et al. Fabrication of a THz silicon micro-waveguide structure with multilayer wafer-level stack[J]. Micronanoelectronic Technology, 2020,57(4):328-332.) doi:10.13250/j.cnki.wndz.2020.04.012.
- [5] 周明,张君直,王继财,等. 硅基晶圆级封装的三维集成 X 波段 8 通道变频模块[J]. 固体电子学与进展, 2018,38(2):157. (ZHOU Ming,ZHANG Junzhi,WANG Jicai,et al. 3D integration of X band 8 channel down conversion module with silicon wafer level package[J]. Research & Progress of Solid State Electronics, 2018,38(2):157.) doi:10.19623/j.cnki.rpsse.2018.02.009.
- [6] 揭海,王安劳,卢子焱,等. X 波段微型片式 T/R 组件的设计方法[J]. 电子工艺技术, 2021,42(3):131-133,186. (JIE Hai,WANG Anlao,LU Ziyang,et al. Design method of X-band micro-tiled T/R module[J]. Electronics Process Technology, 2021,42(3):131-133,186.) doi:10.14176/j.issn.1001-3474.2021.03.003.
- [7] LIU Enda, WU Hongjiang, ZHAO Yongzhi. Design of phased array T/R component microsystem based on heterogeneous integration technology[J]. Journal of Physics:Conference Series, 2019(1325):012010. doi:10.1088/1742-6596/1325/1/012010.
- [8] 王清源,吴洪江,赵宇,等. 一种基于 MEMS 体硅工艺的三维集成 T/R 模块[J]. 半导体技术, 2021,46(4):300-304,336. (WANG Qingyuan,WU Hongjiang,ZHAO Yu,et al. A 3D integrated T/R module with bulk silicon MEMS technology[J]. Semiconductor Technology, 2021,46(4):300-304,336.) doi:10.13290/j.cnki.bdtjs.2021.04.008.
- [9] 石海然,张涛,薛欣,等. Ka 频段八波束接收组件的设计与实现[J]. 太赫兹科学与电子信息学报, 2019,17(2):252-257. (SHI Hairan,ZHANG Tao,XUE Xin,et al. Design of a Ka band 8 beams receiver module[J]. Journal of Terahertz Science and Electronic Information Technology, 2019,17(2):252-257.) doi:10.11805/TKYDA201902.0252.

(下转第 767 页)