

文章编号: 2095-4980(2025)01-0029-06

Ka 波段捷变频频率合成方法

孙科, 伊雅新, 杨睿天, 杨秀强, 辜霄, 杨先国, 吴昊, 张冰

(中国电子科技集团公司第二十九研究所 成都西科微波通讯有限公司, 四川 成都 610091)

摘要: 提出一种新型的 Ka 波段实现快速跳频的频率合成方法, 该方法通过多级混频的方式实现低频信号的频谱搬移; 并提出一种可小型化、低功耗、简易的频率实现方法, 该方法在原设计方法基础上加入了环内混频, 可实现快速跳频, 极大程度地降低锁相环的 N 分频比, 并提升输出信号的相位噪声。改进的频率合成方法弥补了原频率合成方法的缺点, 并可进行拓展用于多类通信及雷达系统中。经工程验证, 该新型 Ka 波段捷变频频率合成技术实现效果显著, 可解决困扰直接合成频率技术工程应用的实际问题, 是一种可进行推广应用的新型 Ka 波段捷变频频率合成技术。

关键词: 频率合成; 环内混频; 多级混频; 快速跳频

中图分类号: TN74

文献标志码: A

doi: 10.11805/TKYDA2024537

Ka-band agile frequency synthesis

SUN Ke, YI Yaxin, YANG Ruitian, YANG Xiuqiang, GU Xiao, YANG Xianguo, WU Hao, ZHANG Bing
(Chengdu Seekon Microwave Communication Co., Ltd., The 29th Research Institute of CETC, Chengdu Sichuan 610091, China)

Abstract: A novel frequency synthesis method for fast frequency hopping in the Ka band is proposed, which achieves frequency spectrum shifting of low-frequency signals through multi-level mixing. A miniaturized, low-power, and simple frequency implementation method is also proposed. This method can achieve fast frequency hopping and incorporates an implementation method of in-loop mixing on the basis of the original design method, which can greatly reduce the N -division ratio of the Phase-Locked Loop(PLL) and improve the phase noise of the output signal. The improved frequency synthesis method compensates for the shortcomings of the original frequency synthesis method and can be extended and applied to multiple types of communication and radar systems. After engineering verification, the new Ka band agile frequency synthesis technology has achieved significant results and can solve practical problems that hinder the engineering application of direct frequency synthesis technology. It is a new Ka band agile frequency synthesis technology that can be promoted and applied.

Keywords: frequency synthesis; in-loop mixing; multi-level mixing; fast frequency hopping

捷变频频率源是电子战接收机、雷达系统、通信系统的重要组成部分, 频率源的性能好坏决定了系统所能达到的最优性能。在频率合成技术领域, 有 3 种核心的频率合成方式, 分别为锁相频率(PLL)^[1-2]合成方式、直接数字频率合成(Direct Digital Synthesis, DDS)方式^[3-6]、直接频率合成方式。

DDS 技术优点是跳频速度快, 通常为 ns 级; 频率步进小, 可实现 Hz 级的频率步进; 也可根据系统要求实现调频连续波信号的产生及幅度相位调制的功能。缺点是工作频率低, 宽带杂散差。为弥补 DDS 方式的缺点, 并满足整机系统的使用需求, 国内外各个厂家均开展了相应的技术研究, 文献[7]采用“DDS+倍频+混频滤波”的方式, 由恒温晶振提供 100 MHz 的参考信号, 10 倍频产生 1 GHz 的信号。该方案可利用多级混频实现 DDS 信号频率和带宽的扩展, 并实现小于 1 μ s 的跳频时间, 但该方案较“DDS+PLL”方案, 复杂程度成倍增加, 系统内频率点较多; 再经过混频变换后, 交调和本振的泄露问题较为严重。文献[8-11]采用 DDS 直接激励 PLL, 即用 DDS 的输出作为 PLL 的参考输入, 解决频率分辨率和相位噪声的矛盾。该方式可弥补 DDS 和 PLL 在频率合成方式中的缺点, 但难以满足整机系统对于发射信号复杂调制样式的要求。

收稿日期: 2024-09-20; 修回日期: 2024-10-10

在综合分析各方案优缺点的基础上,本文提出一种基于“DDS+混频+倍频滤波”的Ka波段捷变频频率合成技术。考虑到DDS受限于器件自身特性无法实现高频输出,且在良好杂散情况下的输出带宽较窄,因此,设计的重点在于如何利用低DDS输出频率,通过精心规划频率关系,实现低杂散指标要求,同时满足相位噪声的需求。

1 技术难点

Ka波段捷变频频率合成器的工作原理为:将外部输入的DDS信号经过多次变频,产生需要的Ka波段快速跳频低相位噪声发射信号。该技术的难点为相位噪声要求高。

DDS本身产生的信号相位噪声比较良好,要变到一个比较高的频率,对相位噪声影响最小的方法是与一个相位噪声良好的本振(Local Oscillator, LO)混频。如果用参考信号直接倍频产生本振频率,在需要的频带内产生最高的频率为Ku波段,相噪恶化约为40 dB。混频一次,理论上相位噪声只恶化3 dB,经过3次混频,相位噪声将会恶化9 dB(理想情况)。同时,为保证DDS输出的杂散小于70 dBc,需通过多级频谱扩展,降低滤波器设计难度,对带外的杂散信号采用高抑制的滤波器滤除。DDS用来产生具有一定带宽的低频信号,通过微波混频器与本振信号混频,实现频谱搬移,提高输出频率。频谱搬移框图如图1所示,其中第一级低频段小步进频综仅产生窄带频段的细步进频率信号。该信号与L波段频综实现频谱搬移和频率扩展,混频后的滤波器可提升该信号的频谱纯度;与Ku波段本振信号进行第2次频谱搬移及频率扩展后,可形成宽带、细步进的Ka波段频率信号。

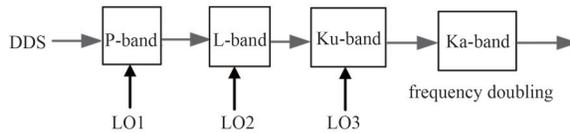


Fig.1 Block diagram of frequency shift
图1 频率搬移框图

Ka波段捷变频频率合成技术实现频谱搬移需要三级本振信号,分别为低频段细步进频综、L波段扩频频综和Ku波段大步进频综。三级本振信号均采用全国产化高性能锁相环实现,其主要的设计难点是频率步进和相位噪声性能的兼顾。在频率源设计中将低频段的频率源设置为小步进,可在不牺牲相位噪声指标的前提下最大程度降低步进。在实现频谱搬移的同时,考虑到各级滤波器的设计难度,采用逐级滤波、多级扩频的方式实现输出信号的超低杂散指标,多级滤波框图如图2所示。频率合成部分最大的设计难点在于Ku波段频综的设计实现,设计中为降低实现难点,第三级本振采用大步进的方式实现,同时采用环内混频的方式提升第三级本振的相位噪声性能。

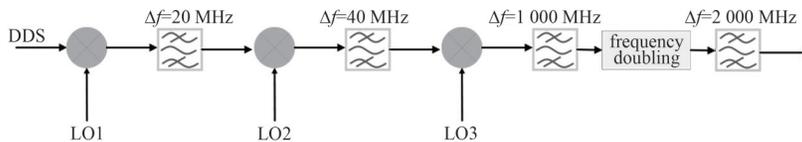


Fig.2 Block diagram of multi-level filtering
图2 多级滤波框图

Ka波段低相噪频综的本振主要由PLL、环路滤波、压控振荡器(Voltage-Controlled Oscillator, VCO)、功分器、放大器等组成。锁相环路为负反馈电路,VCO产生的射频信号经功分器功分后,1路作为反馈信号,该信号经过二分频后送至集成锁相环,在锁相环内进行分频后与外部高稳定参考信号进行鉴相,产生与相差成比例的直流电压信号,送至控制VCO的压控调谐端。一旦锁相环环路进入稳定状态,VCO就会输出与参考信号相关的稳定频率信号。

根据锁相环电路原理,环路锁定时,鉴相器(Phase Detector, PD)的2路输入信号频率相等:

$$\frac{f_{\text{out}}}{4N} = \frac{f_{\text{ref}}}{R} \quad (1)$$

根据式(1)可得出Ka波段低相噪频综的输出频率:

$$f_{\text{out}} = 4N \times \frac{f_{\text{ref}}}{R} \quad (2)$$

式中： f_{ref} 为外部参考信号频率； R 为锁相环内部前置分频比； N 为锁相环环内分频比。

因此，根据外部控制信号单片机输出相应频率码设置锁相环 R 、 N 的值，即可实现输出信号在 VCO 工作频率范围内的变化。

频率合成器中共有 3 种不同频段的锁相环，由于输出频率不同，采用的 VCO 不同。为简化设计，其中 2 款低频段的基带锁相环采用了相同的电路形式实现。在设计相位噪声指标时，为使工作在 Ku 波段的本振信号的相位噪声为 $-102 \text{ dBc/Hz}@5 \text{ kHz}$ 、 $-104 \text{ dBc/Hz}@ (10\sim 750 \text{ kHz})$ ，则工作在 Ka 波段的发射激励信号的相位噪声要求为 $-95 \text{ dBc/Hz}@5 \text{ kHz}$ ， $-97 \text{ dBc/Hz}@ (10\sim 750 \text{ kHz})$ 。采用锁相环方式实现的 Ku 波段频率输出，对单环锁相的相位噪声指标采用式(3)进行推导和仿真分析，如图 3 所示。

$$PN = PN_{\text{floor, PLL}} + 10 \log(f_{\text{PD}}) + 20 \log(f_{\text{out}}/f_{\text{PD}}) \quad (3)$$

式中： $PN_{\text{floor, PLL}}$ 为锁相环的噪声基底； f_{PD} 为鉴相频率； f_{out} 为输出频率。

根据理论仿真，在要求的频率步进下，鉴相频率取 40 MHz、18 GHz 的相位噪声为 $-95 \text{ dBc/Hz}@5 \text{ kHz}$ 、 $-100 \text{ dBc/Hz}@ (10\sim 750 \text{ kHz})$ ，再加上多级混频引入的相位噪声恶化，输出信号已很难满足相位噪声的要求。

经指标分析，并结合工程实际经验，本方案采用锁相环内部环内混频的方式实现，其原理框图如图 4 所示。该方式的工作原理为：在锁相环内部内嵌另一个超低相位噪声锁相环，该锁相环可实现低相位噪声；同时，可利用该锁相环实现频谱搬移，即：

$$f_2 = f_{\text{out}} - f_{\text{LO}} \quad (4)$$

通过环内混频方式的实现，可极大程度地降低锁相环的 N 分频比，并提升输出信号的相位噪声。

通过理论分析并结合大量的工程应用经验，该方式可有效提升锁相环输出信号的相位噪声，能够满足系统超低相位噪声的指标要求。本文与其他论文工作对比如表 1 所示。

表 1 本文与其他文献对比

Table1 Comparison with other literatures

Ref.	synthesis mode	phase noise
[7]	DDS+frequency doubling+mixing and filtering	-100 dBc/Hz@1 kHz
[8]	DDS directly exciting PLL	-95 dBc/Hz@10 kHz
this article	DDS+mixing+frequency doubling and filtering	-129 dBc/Hz@1 kHz

2 性能分析

Ka 波段捷变频率合成技术经过合理的频点选择，可使捷变频率合成方法满足系统对小型化及功耗的要求。

2.1 仿真分析

2.1.1 相位噪声

相位噪声是短期稳定度的频域表示，由于各种随机噪声对输出频率的调频调相作用，输出谱不再是单一谱线，而是在中心谱线两侧有一个噪声谱的边带。噪声边带能量越大，则短期稳定度越低。

根据相位噪声仿真及计算结果(图 5~7 所示)，DDS 时钟输出信号的相位噪声仿真值为： $-129 \text{ dBc/Hz}@1 \text{ kHz}$ 、 $-136 \text{ dBc/Hz}@10 \text{ kHz}$ ；低频段小步进信号的相位噪声仿真值为： $-131 \text{ dBc/Hz}@1 \text{ kHz}$ ；L 波段点频信号的相位噪声仿真值为： $-115 \text{ dBc/Hz}@1 \text{ kHz}$ 。

2.1.2 杂散

一般地，在要求频带内，载频(f)以外不含谐波信号(nf)，分谐波信号(mf/n)的所有信号统称为杂散信号。各杂

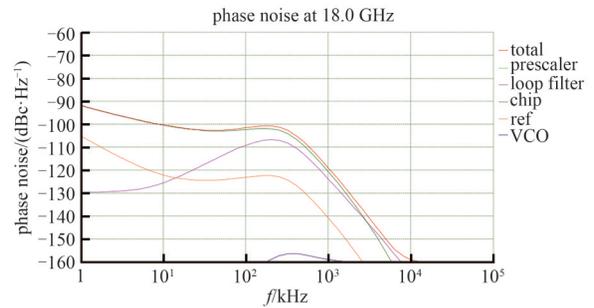


Fig.3 Simulation curves of phase noise in a single phase-locked loop
图 3 单锁相环相位噪声仿真曲线

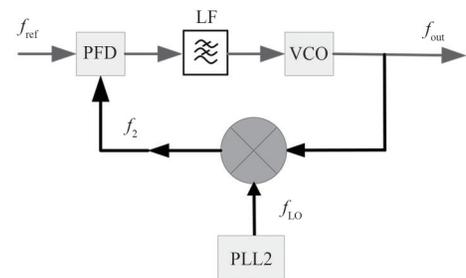


Fig.4 Block diagram of the principle of in-ring mixing
图 4 环内混频原理框图

散信号功率相对载频信号功率所差的分贝数定义为杂散抑制，单位为 dBc。

Ka 波段信号通过整数鉴相，无近端杂散，仿真如图 8 所示。其后接低通滤波器，能够保证杂散电平 ≤ -65 dBc，满足设计要求。

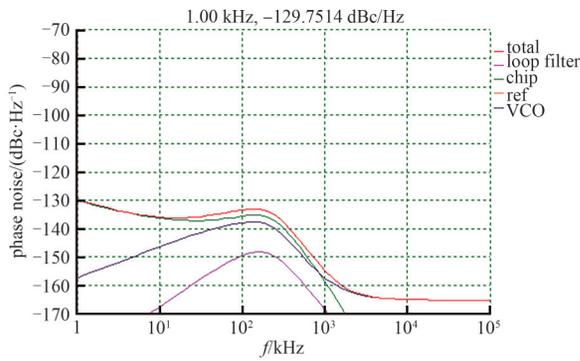


Fig.5 Simulation curves of DDS clock output phase noise
图 5 DDS 时钟输出相位噪声仿真曲线

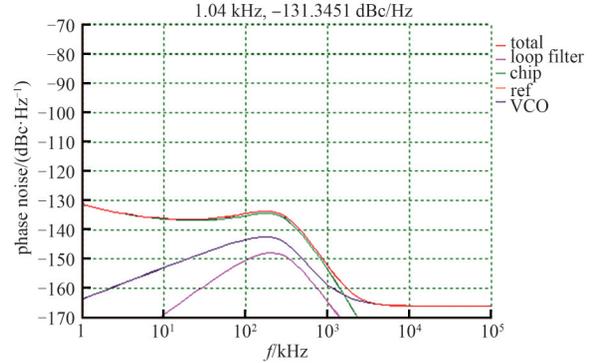


Fig.6 Simulation curves of phase noise of low-band small-step signals
图 6 低频段小步进信号相位噪声仿真曲线

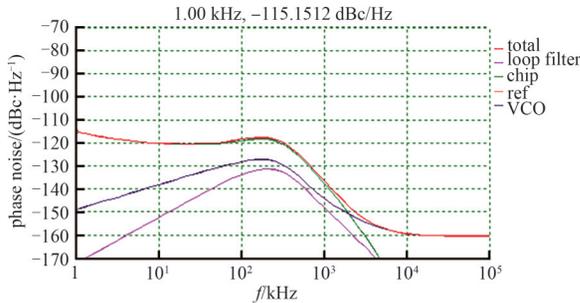


Fig.7 Simulation curves of phase noise of L-band point-frequency signal
图 7 L 波段点频信号相位噪声仿真曲线

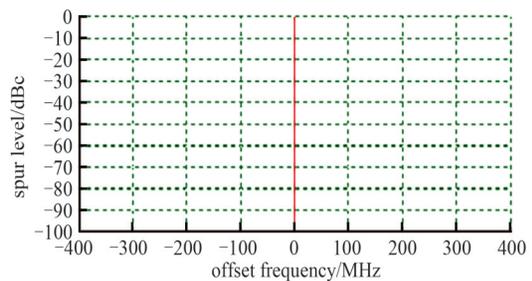


Fig.8 Simulation curves of near-end spurious signals in Ka-band
图 8 Ka 波段信号近端杂散仿真曲线

2.1.3 热仿真

Ka 波段捷变频频率合成技术在进行优化设计后，可突破传统直接数字频率合成方式在功耗方面的缺陷，在有效降低功耗时可用于小型化产品的设计。利用仿真软件对该技术的小型化应用进行热仿真，如图 9 所示。设置所用热耗器件按照排版采用高温胶粘接在 0.5 mm 铜板上，再将 0.5 mm 铜板固定在 4 mm 厚铝隔板上，设置环境温度为 +75 °C，进行稳态仿真结果如图 9 所示，产品最高温度为 +109 °C，可满足在小型化要求下的功耗需求。

2.2 测试验证

Ka 波段捷变频频率合成技术突破的技术难点为：低杂散、兼顾细步进与带宽、超低相位噪声的要求，在合理进行技术方案选取的同时结合大量的实际工程应用进行技术突破。

在细步进低杂散频率合成方法中，为解决噪声、步进的问题，多次采用了混频处理，并将 DDS 信号作为基带信号，但同时产生了多个交调信号及数字杂散信号，杂散抑制直接关系到接收系统的动态范围、灵敏度等关键指标。因此采用多种方法进行优化：首先合理选择混频的射频端信号的频率范围；其次将 DDS 输出的低频信号直接与 3.2 GHz 信号进行混频，直接将 DDS 信号搬移到高频段，避免采用倍频引入杂散恶化。

在细步进方面，为实现小的频率分辨率，目前主流均采用 DDS 方式。由于 DDS 方式的固有合成原理，其核心需解决的问题点为：DDS 输出信号存在截断误差引入的近端杂散信号，DDS 输出端存在时钟信号与输出信号的多个交调信号，DDS 信号一旦经倍频等处理，其杂散抑制、相位噪声均按照 $20\log N$ 比例恶化，同时分辨率等比增加。在考察 DDS 的特性后，经过实际测试与仿真，采取了以下措施保证 DDS 的低杂散：合理选择时钟信号及输出信号的频率、带宽，方案中通过调整两种信号的间距，使落入输出信号带内的交调分量极小。

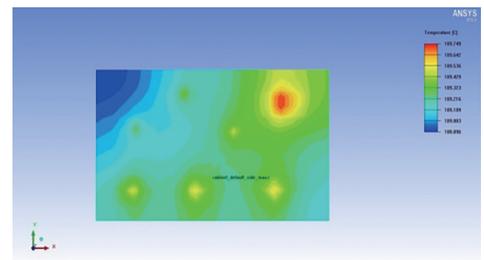


Fig.9 Thermal simulation of Ka-band agile frequency synthesis products
图 9 Ka 波段捷变频频率合成产品热仿真

在低相噪方面,为实现高频合成信号,一般采用的锁相电路内频比往往较大,特别在实现小步进时,由于鉴相频率更小,使分频比增长更为剧烈,按照理论 $20\log N$ 的噪声恶化量,仅 $N=100$ 时,输出信号的相位噪声相对参考信号已经恶化 40 dB,造成恶化量明显增加。因此,本产品为了解决宽带与细步进在相位噪声方面相互制约的问题,采用环内混频的方式实现低相噪的合成信号。

在跳频时间方面,限制整个模块跳频时间的主要因素为锁相环的跳频时间,在锁相设计中,通过合理调整每一级混频本振的跳频带宽和点数,使单个锁相环的频率带宽尽量窄,即从原理上降低压控电压的变化范围并进行助锁调整,最终的跳频时间可满足技术指标要求。

如图 10 所示,采用该新型 Ka 波段捷变频频率合成技术后,在工作频段内的频率跳变时间可实现小于 $40\ \mu\text{s}$ 的要求。

新型毫米波超宽带频率合成技术在应用于工程时,调试过程中主要问题是毫米波频段信号的互相串扰,由于在小型化集成时,毫米波信号的空间串扰是处理难点,通过对滤波器的性能进行提升以及加入有效的隔离措施,可使杂散性能有效提升。图 11 为杂散指标的测试曲线,在工作频段内,可满足 60 dBc 以下的杂散指标。



Fig.10 Curves of frequency hopping time test
图 10 频率跳变时间测试曲线

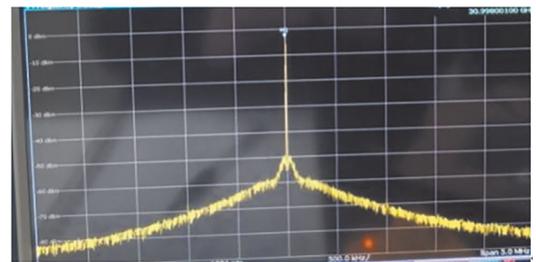


Fig.11 Spurious test curves
图 11 杂散测试曲线

3 结论

本文给出了一种 Ka 波段捷变频频率合成技术的实现方法,采用多个独立频标、在原有合成基础上引入多次混频、多级滤波、环内混频等设计方法,使输出频段覆盖至 Ka 频段内。这种捷变频频率合成方式可有效提升相位噪声,显著降低带内杂散,是一种可进行通用的毫米波频率合成技术。

该新型 Ka 波段捷变频频率实现方法已有效用于多种通信及雷达系统中,系统性能得到有效提升,该方法亦可拓展至多种整机系统中。

参考文献:

- [1] 郑澍鹏. 宽频段低功耗快速频率合成器的设计[J]. 电子世界, 2019(20):122-124. (ZHENG Shupeng. Design of wideband, low-power and fast frequency synthesizer[J]. Electronics World, 2019(20):122-124.)
- [2] 叶莉娜,杨涛,陈宏素. 基于锁相环技术的 X 波段频率源的研制[J]. 微波学报, 2010(S1):311-313. (YE Lina, YANG Tao, CHEN Hongsu. Design of X-band frequency synthesizer based on PLL[J]. Journal of Microwaves, 2010(S1):311-313.)
- [3] 黄涛,欧阳宏俊,邵振海,等. Ka 波段应用的捷变频高频率分辨率频率合成器[J]. 微波学报, 2018,34(4):65-70. (HUANG Tao, OUYANG Hongjun, SHAO Zhenhai, et al. A frequency-agile and high-frequency-resolution frequency synthesizer for Ka-band applications[J]. Journal of Microwaves, 2018,34(4):65-70.) doi:10.14183/j.cnki.1005-6122.201804012.
- [4] 赵宏飞. 4~8 GHz 宽带 DDS 锁相扫频源的研制[D]. 成都:电子科技大学, 2002. (ZHAO Hongfei. Development of 4~8 GHz wideband DDS phase-locked swept frequency source[D]. Chengdu, China: University of Electronic Science and Technology of China, 2002.)
- [5] 管宏. DDS 技术及其在通信干扰系统中的应用[J]. 电脑与信息技术, 2001,9(6):25-26. (GUAN Hong. DDS technology and its application in communication jamming system[J]. Computer and Information Technology, 2001,9(6):25-26.)
- [6] 谭姝静,费元春. 一种改善 DDS 性能的倍频方法[J]. 电子技术应用, 2001,27(6):44-46. (TAN Shujing, FEI Yuanchun. A frequency multiplication method for improving DDS performance[J]. Application of Electronic Technique, 2001,27(6):44-46.) doi:10.3969/j.issn.0258-7998.2001.06.016.
- [7] 韦伟,尹红波. 细步进快速频率合成器[C]// 2013 年全国微波毫米波会议. 重庆:中国电子学会, 2013:673-676. (WEI Wei, YIN Hongbo. Fine step agile frequency synthesizer[C]// 2013 National Microwave and Millimeter Wave Conference. Chongqing, China: The Chinese Institute of Electronics, 2013:673-676.)
- [8] 刘琬琇,薄淑华,任程. 10~15 GHz 宽带捷变源设计[J]. 无线电工程, 2019,49(3):261-264. (LIU Yuxian, BO Shuhua, REN

- Cheng. Design of 10~15 GHz broadband agile source[J]. Radio Engineering, 2019,49(3):261-264.)
- [9] 刘志强,沈亚飞,王文博,等. 基于 DDS 与 PLL 的 C 波段宽带线性扫频源[J]. 微波学报, 2018,34(4):71-76. (LIU Zhiqiang, SHEN Yafei, WANG Wenbo, et al. C band wideband linear frequency-swept source based on DDS and PLL[J]. Journal of Microwaves, 2018,34(4):71-76.) doi:10.14183/j.cnki.1005-6122.201804013.
- [10] 何彩分. 宽带捷变频频率合成器的研究与设计[D]. 成都:电子科技大学, 2006. (HE Caifen. Research and design of wideband agile frequency synthesizer[D]. Chengdu, China: University of Electronic Science and Technology of China, 2006.) doi:10.7666/d.Y839746.
- [11] 葛军. 频率捷变时间测量技术的研究[J]. 宇航计测技术, 2000,20(3):21-25,64. (GE Jun. Study on measurement technology of the frequency switching time[J]. Journal of Astronautic Metrology and Measurement, 2000,20(3):21-25,64.) doi:10.3969/j.issn.1000-7202.2000.03.003.

作者简介:

孙科(1987-), 男, 硕士, 高级工程师, 主要研究方向为射频电路、频率源技术. email:sunk@seekonrf.com.

伊雅新(1996-), 女, 硕士, 助理工程师, 主要研究方向为射频电路、频率源技术.

杨睿天(1997-), 女, 硕士, 助理工程师, 主要研究方向为射频电路、频率源技术.

杨秀强(1979-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

辜霄(1982-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

杨先国(1978-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

吴昊(1987-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

张冰(1987-), 女, 硕士, 高级工程师, 主要研究方向为数字电路.