

文章编号: 2095-4980(2025)03-0231-09

一种基于链式 FIFO 的雷达目标检测 FPGA 实现方法

杭心齐, 郭大路, 乔灵博, 宫辉*

(清华大学 工程物理系, 北京 100084)

摘要: 现有毫米波雷达目标检测主要基于串行处理平台实现, 对大尺寸雷达图像处理的速率存在一定瓶颈。本文基于现场可编程门阵列(FPGA)提出一种以链式先进先出(FIFO)缓冲器为核心, 融合图像提取思路的毫米波雷达目标快速检测结构。通过链式 FIFO 实现多帧数据对齐与并行输出, 得到窗口边缘数据; 根据自定义窗参数, 将边缘数据分区求和并延时缓存, 可实现对窗移动前后计算结果的复用, 配合流水线式处理结构提高运算效率; 对相邻子图像重叠区域合理划分, 从大尺寸图像中提取出多个小尺寸子图像单独处理, 大幅提升雷达目标检测算法的实现速度, 并显著节省片上逻辑资源。基于 92~94 GHz 的调频连续波(FMCW)毫米波雷达对本文目标检测 FPGA 实现方法进行验证, 对于 1 000 × 2 000 的大尺寸雷达图像可实现 120 ms 的快速处理, 且 FPGA 部署算法仅消耗 32 个 18K BRAM 和 6 461 个 LUT。

关键词: 目标检测; 图像提取; 链式 FIFO; 流水线

中图分类号: TN975.5

文献标志码: A

doi: 10.11805/TKYDA2023418

A FPGA target detection of millimeter wave radar based on improved chain FIFO structure

HANG Xinqi, GUO Dalu, QIAO Linbo, GONG Hui*

(Department of Engineering Physics, Tsinghua University, Beijing 100084, China)

Abstract: Existing millimeter-wave radar target detection is mainly implemented based on serial processing platforms, which have certain limitations in processing speed for large-sized radar images. This paper proposes a fast millimeter-wave radar target detection structure based on a Field-Programmable Gate Array(FPGA), with a chain-type First-In-First-Out(FIFO) buffer at its core and incorporating an image extraction approach. The chain-type FIFO enables multi-frame data alignment and parallel output to obtain window edge data. Based on custom window parameters, the edge data are partitioned and summed, and then delayed and cached. This allows for the reuse of computational results before and after window movement, and in combination with a pipelined processing structure, it improves computational efficiency. By reasonably partitioning the overlapping regions of adjacent sub-images and extracting multiple small-sized sub-images from large-sized images for separate processing, the implementation speed of the radar target detection algorithm is significantly increased, and on-chip logic resources are substantially conserved. The proposed FPGA-based target detection method is validated using a Frequency-Modulated Continuous Wave(FMCW) millimeter-wave radar operating in the 92~94 GHz band. For a large-sized radar image of 1,000 × 2,000 pixels, a rapid processing time of 120 ms is achieved. The deployed FPGA algorithm consumes only thirty-two 18K BRAMs and 6 461 LUTs.

Keywords: object detection; image extraction; chained FIFO; assembly line

毫米波雷达产生和发射 30~300 GHz 的电磁波, 发射的电磁波信号被探测路径上的物体阻挡形成反射, 雷达天线接收到反射信号后进行一系列解算可获取物体的距离、速度和角度信息。毫米波雷达受光照和大气状况的影响小, 可全天候工作; 此外毫米波有一定穿透能力, 受到阻挡的目标也能被探测到。基于上述优势, 毫米波

收稿日期: 2023-12-19; 修回日期: 2024-02-01

*通信作者: 宫辉 email:gonghui@mail.tsinghua.edu.cn

雷达广泛用于汽车^[1]、医疗^[2]、安检^[3]等领域。文献[4]中介绍了一种用于人体安检的毫米波快速成像方法,该方法增加了安检成像的通过速度,降低了系统复杂度。文献[5]提出一种车载毫米波防撞检测系统,可有效分辨列车轨道内外的目标,为列车行驶安全提供保障。

检出目标是毫米波雷达的首要任务,判断雷达回波信号包含目标信息还是仅有噪声,是雷达系统目标识别的关键。恒虚警检测(Constant False Alarm Rate, CFAR)就是在保证虚警概率恒定的情况下用自适应门限代替固定门限,使检测概率达到最大^[6]。自适应门限会根据被检测信号的背景杂波、噪声大小自适应调整。相邻单元的杂波平均功率近似相等,可用邻近距离单元回波功率估计待检测距离单元杂波平均功率^[7]。

一维 CFAR 算法可部署到中央处理器(Central Processing Unit, CPU)、数字信号处理器(Digital Signal Processor, DSP)和现场可编程门阵列(Field Programmable Gate Array, FPGA)平台^[8],也有团队在图形处理器(Graphics Processing Unit, GPU)平台实现^[9-10]。二维 CFAR 算法的实现主要是在 DSP 和 CPU 等串行平台^[10],在 FPGA 上部署 CFAR 可发挥出 FPGA 的并行处理优势,雷达数据处理的实时性好。文献[10]基于 GPU 和 CPU 架构提出了分块存储和块间并行归约求和的方法,并结合统一计算设备架构技术(Compute Unified Device Architecture, CUDA)部署了二维 CFAR 检测算法。该文章最后展示的几组不同尺寸图像处理时间均不足 1 ms,可见 CPU 和 GPU 结合的处理速度之快,不过该方案的实现成本居高。文献[11]基于 DSP 提出一种有效地把传统二维 CFAR 检测的逐点实现方法改进为数据块矩阵操作的处理方法,在 500 MHz 工作频率下对 32×512 大小的图像处理耗时需 7.213 ms,平均每点处理时长约 200 个时钟周期,相对于 FPGA 实时性较差。文献[12]和文献[13]均提出改进型二维 CFAR 参考窗结构,该结构只考虑与被检测单元处于同一距离单元和处于同一方位单元的数据作为参考单元,即参考窗为十字形结构。类似地,文献[14]提出了“米字形”检出结构。这类设计思路的优点是减小了二维 CFAR 计算时的数据吞吐量,但缺点也很明显,参考单元数量太少,相对于传统的二维矩形窗,对杂波功率估计的可靠性较低。文献[15]提出了一种“网格状”的二维 CFAR 结构,该结构相对“十字形”和“米字形”窗的检出性能有一定的优势,但由文献[15]提供的仿真对比结果可知,矩形窗对背景噪声功率水平估计的准确性和有效性要强于“十字形窗”、“米字形窗”和“网格状窗”。

本文介绍一种基于 FPGA 平台的二维 CFAR 实现结构,该结构以链式 FIFO 为核心将串行数据转换为并行输出,数据前后复用并配合流水线式处理结构,提高了窗内数据的计算效率;从原始图像中提取多个子图像逐个检测,最终将结果整合,节省了逻辑资源。文献提出的“十字形”、“米字形”以及“网格形”的检测结构,实质是基于矩形窗舍弃部分数据点以减少计算量,从而换取实时性。其代价是不能准确估计背景噪声功率水平,故对低信噪比目标的检出能力较弱。本文基于 FPGA 实现的思路采用完整矩形检测窗方式,可准确估计背景噪声功率水平,具备低信噪比目标的检测能力,且在处理大尺寸图像时,具有实时性优势。

1 目标检测算法结构

二维 CFAR 由一维算法拓展得到,计算方法与一维 CFAR 类似,并且临近单元干扰对目标检测干扰更小^[16]。以雷达图像中某个被检测数据点为中心框选出一定的矩形范围作为 CFAR 计算区域,其中临近被检测单元的外围为保护单元,保护单元不参与杂波功率的计算,是为了防止被检测单元的信息泄漏到参考单元中影响检测的可靠性。保护单元外围为参考单元,即需要参与运算的数据点,参考单元的处理结果将作为被检测点附近背景噪声的参考^[8]。

如图 1 所示,将单个矩形窗一分为二,分别计算左窗参考单元的均值 X ,右窗参考单元均值 Y ,可同时实现 Cell Averaging-CFAR(CA-CFAR), Smallest Of-CFAR(SO-CFAR), Greatest Of-CFAR(GO-CFAR) 3 种均值算法。对应的杂波平均功率值 Z 为:

$$\begin{cases} Z_{CA} = (X+Y)/2 \\ Z_{SO} = \min(X, Y) \\ Z_{GO} = \max(X, Y) \end{cases} \quad (1)$$

将杂波平均功率估计值 Z 与门限因子 T 的积作为检测阈值 S ,其中门限因子 T 的取值取决于检测器类型和虚警概率,将检测阈值 S 与被检测单元 D 比较,如 $D>S$,则认为此处有实际目标。

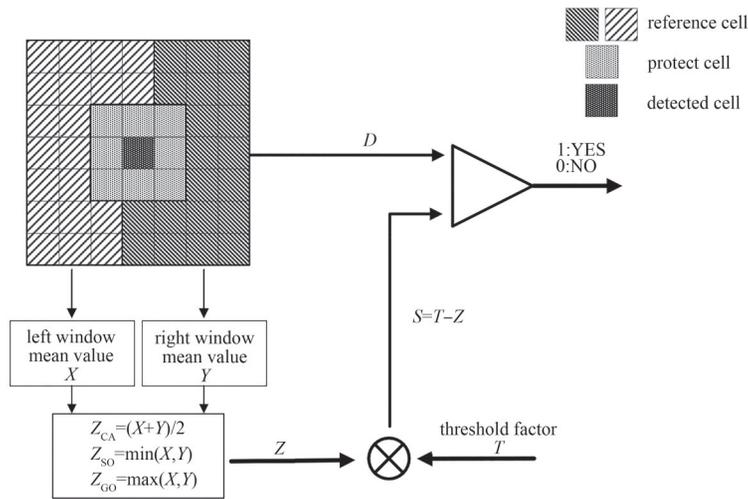


Fig.1 Structure of two-dimensional CFAR
图1 二维CFAR结构示意图

2 目标检测的FPGA逻辑结构设计

2.1 整体工作流程

恒虚警算法常部署于串行处理平台，以一维CFAR实现为主，且多用于处理小尺寸图像。FPGA具有逻辑设计灵活和并行处理的特点，在处理大角度扫描图像时具有明显优势，可用于地形测绘、工程勘测、三维建模等领域，本文基于FPGA平台提出新的设计结构。将中频信号FFT模值构成的二维雷达图进行扩展，使图像边缘的点周围有足够的参考单元，以实现边缘点的检测。根据自定义窗参数(参考单元、保护单元)从扩展图中提取出多个子图像。由CFAR核心模块对子图像处理得到检测结果，将各子图像的检测结果按规律存储，最终得到原始图像对应的检测结果。整体流程如图2所示。

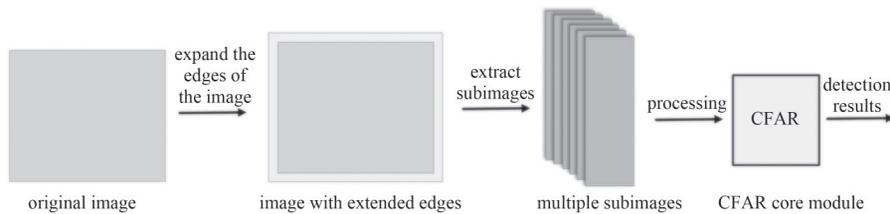


Fig.2 Schematic diagram of the overall process
图2 整体流程示意图

2.2 子图像提取

为节约FPGA内块随机存取存储器(Block Random Access Memory, BRAM)等逻辑资源，从大尺寸原始图像中提取多个子图像分别进行二维CFAR处理，最后将各子图像的检测结果进行拼接即可得到原始大尺寸图像的检测结果。

如图3所示，将原始图像沿水平方向上分割成多块独立的子图像，并在横向区分为宽度A类型与宽度B类型。前 $K-1$ 个子图像的长宽尺寸一致为 L_A ，最后的第 K 个图像宽度小于前面各分块的宽度，为 L_B 。

假设经过边缘扩展后的图像横向宽度为 L ，且视为 K 个子图像拼接而成，CFAR核心模块内配置FIFO的深度为 M ，参考单元的宽度为 N ，则应满足以下条件：

$$\begin{cases} L = (K-1)L_A + L_B + N - 1 \\ L_A + N - 1 \leq M, L_B < L_A \end{cases} \quad (2)$$

由于二维CFAR运算要求被检测点周围有足够数量的参考单元，为处理各子图像内所有数据点，实际参与CFAR运算的是子图像经过扩展后的图像，如图4所示，虚线框内为实际需要参与运算的区域。

对子图像part1进行处理时，实际参与CFAR处理的区域为：原始扩展图的左边缘、子图像part2内的左边缘、子图像part1，如此对子图像part1内的所有点完成检测。同理，子图像part4的检测需要借助part3的右边缘和

part5 的左边缘数据。

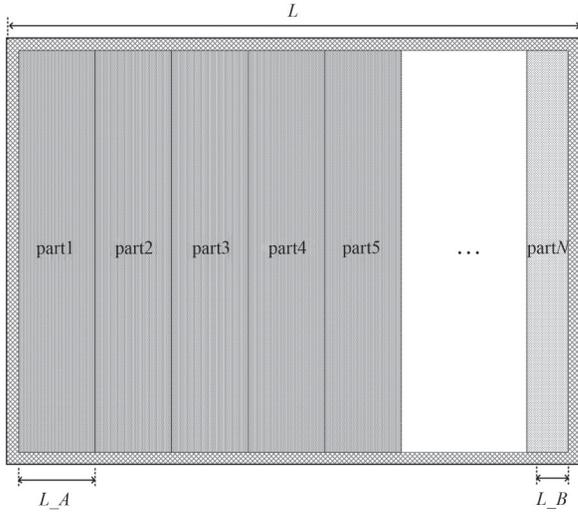


Fig.3 Schematic diagram of image segmentation
图3 图像分割示意图

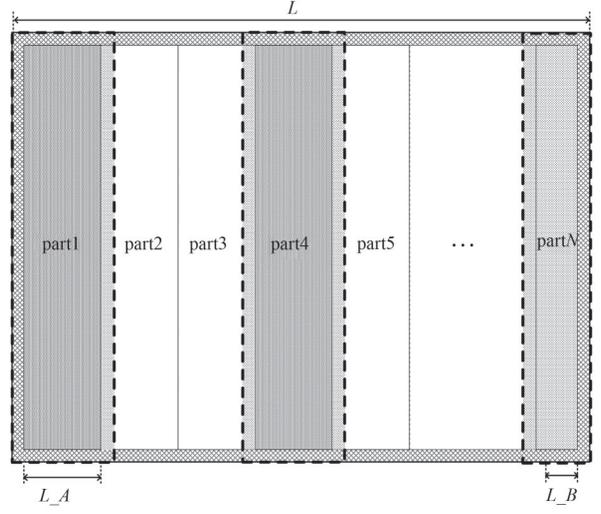


Fig.4 Schematic diagram of the sub-image
图4 子图像参与运算的原理

2.3 核心处理模块

核心处理模块是实现二维 CFAR 的关键，主要由 FIFO 队列、窗边缘数据分区求和模块、可配置延时模块、左右窗和值计算模块、比较与坐标输出模块 5 个部分构成，流水线式处理结构解决了多周期下串行数据计算效率低的问题，提高了数据吞吐量和处理速度。如图 5 所示。

链式 FIFO 负责将串行数据转换为并行的窗口数据，窗边缘数据分区求和模块将 FIFO 队列输出的并行数据分区求和，之后由可配置延时模块按照自定义窗参数将分区和值延时，利用窗移动前后计算结果可复用的特点，解出每个被检测点的左右窗内数据点的和值。在比较与坐标输出模块中任选 CA-CFAR、SO-CFAR、GO-CFAR 其中之一，输出检测结果和坐标。

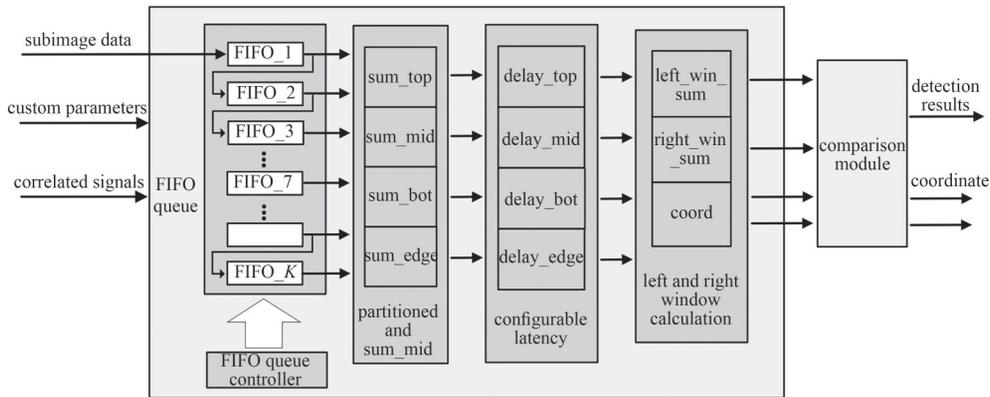


Fig.5 FPGA logic structure of two-dimensional CFAR algorithm
图5 二维 CFAR 算法的 FPGA 流水线结构

2.4 链式 FIFO 与数据复用

图像数据以串行方式输入到检测系统，一维 CFAR 算法只考虑同一数据帧内的数据点，每个周期更新 1 个数据点。二维算法需同时获取多个数据帧的信息，要求对多帧数据缓存、对齐和并行输出，每个周期更新 1 列数据（由对齐的不同帧内的多个数据构成）。

链式 FIFO 即多个 FIFO 首尾相连，可实现对多帧数据的缓存、图像行列对齐和并行输出，如图 6 所示。

链式 FIFO 可实现数据帧对齐以及并行输出窗口边缘列数据。在窗边缘数据分区求和模块中，根据相对被检测点位置不同以及设置的窗口参数，将窗边缘列数据进行分类求和，得到保护单元上方的和值 top_sum、处在保护单元范围内的和值 mid_sum、处在保护单元下方的和值 bot_sum、完整列的和值 col_sum。如图 7 所示。

在可配置延时模块中根据保护单元和参考单元的设置，对分类求和数据做相应的延时缓存，实现窗口移动前后各区域求和数据的复用。

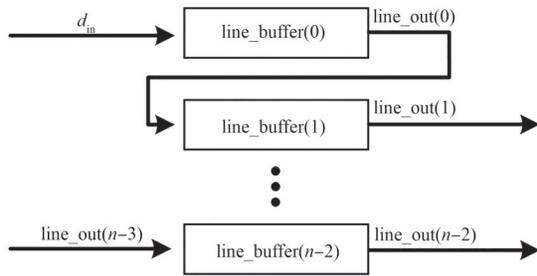


Fig.6 Structure of chained FIFO
图 6 链式 FIFO 结构

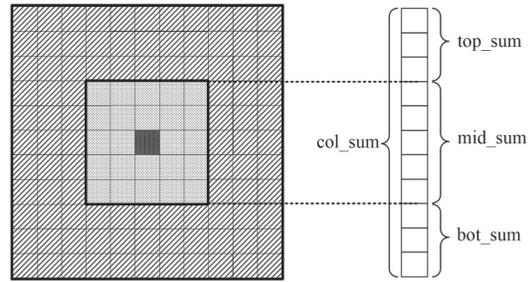


Fig.7 Sum by region
图 7 分区域求和

如图 8 所示，为得到下一个被检测点对应的左窗内数据点的和值，左侧窗在移动时窗口内的数据和值应减去最左边缘列的数据(被“-”标记的点)，再加上当前左窗右侧临近的数据(被“+”标记的点)，即可得出下一个检测点左窗的数据和。注意，图 8 中被黑色粗实线框选的是下一个被检测点的左窗。和左窗移动的原理类似，为得出下一个检测点的右窗数据和值，需减去当前窗最左侧边缘的数据(被“-”标记的点)，再加上当前窗右侧临近的数据(被“+”标记的点)。注意，图 9 中被黑色粗实线框选的是下一个被检测点的右窗。

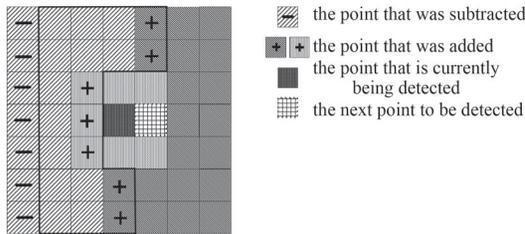


Fig.8 Data changes before and after the left window is moved
图 8 左侧窗移动前后的数据变化

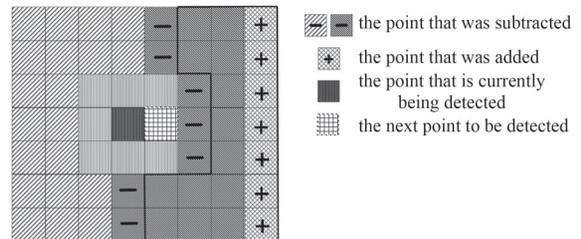


Fig.9 Data changes before and after the right window is moved
图 9 右侧窗移动前后的数据变化

为在当前时刻得到过去某时刻的数据，需对并行输出的列数据做相应的延时保存。由于窗口的保护单元和参考单元的大小可自由配置，因此数据的延时大小与保护单元、参考单元的尺寸存在以下联系：当参考单元边长为 N ，保护单元边长为 M 时，对应的延时量为：左右窗 top_sum 块延时 $(N-1)/2$ 个单位，左窗 mid_sum 块延时 $(N+M)/2$ 个单位，右窗 mid_sum 块延时 $(N-M)/2$ 个单位，左右窗 bot_sum 块延时 $(N+1)/2$ 个单位，左窗 col_sum 块延时 N 个单位，右窗 col_sum 块不延时。

2.5 子图像检测结果整合

每个子图像的检测结果都由多个数据段组成，其列数为设置的 L_A 或 L_B ，行数等于原始完整图像的行数，如图 10 所示。

为得到原始完整图像的二维 CFAR 检测结果，需对各子图像检测结果中的每个数据段按照一定的地址规律进行保存。

假设原始图像的尺寸为 $H \times V$ ，则子图像结果的纵向长度为 V ，结果存储区起始地址号为 result_addr，则编号为 part_num 的分块图像中 seg_k 数据段的保存地址为：

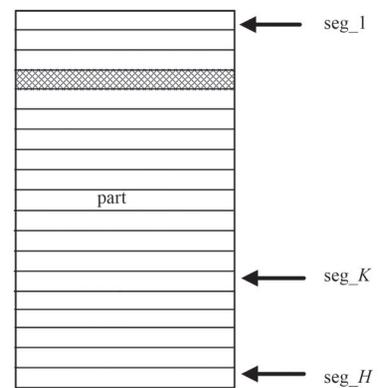


Fig.10 Segments within a subimage
图 10 子图像检测结果的分段示意图

$$\begin{cases} result_addr + part_num \times L_A + seg_k \times H, part_num < K \\ result_addr + part_num \times L_B + seg_k \times H, part_num = K \end{cases} \quad (3)$$

按照上述地址规律对各子图像的结果进行存储，各子图像均检测完成后再按照原始帧的长度逐帧读出即可得到原始图像的检测结果。

3 实验分析

3.1 仿真实验验证

根据雷达工作原理,由 Matlab 生成一个帧数为 256,单帧点数为 1 024 的中频回波信号,该信号中包含 3 个目标点。对信号进行加窗和快速傅里叶变换(Fast Fourier Transform, FFT)运算,得到的幅值结果如图 11 所示。Matlab 二维 CA-CFAR 处理(保留检出点的 FFT 模值,非目标点为 0)结果如图 12 所示。经过 Matlab 处理后检出 3 个目标点,这将与 FPGA 的处理结果做对比。

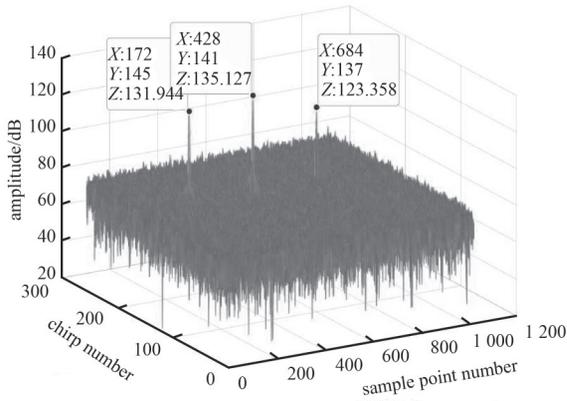


Fig.11 Matlab results for FFT on IF data
图 11 Matlab 对中频数据 FFT 的结果

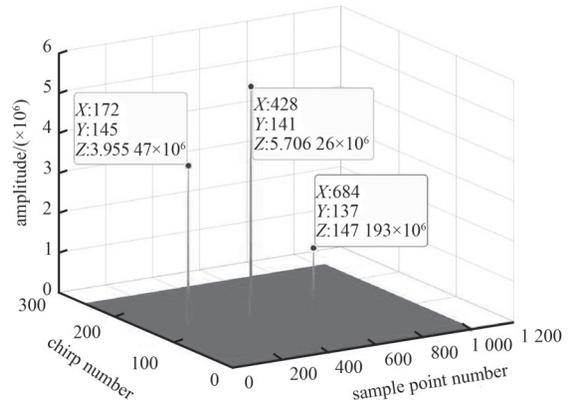


Fig.12 Matlab results for CFAR processing
图 12 Matlab 对数据进行 CFAR 处理的结果

将中频信号 FFT 的结果导入 FPGA 仿真平台,由 Modelsim 实现对模拟雷达中频信号 FFT 模值的二维 CFAR 检测仿真,Modelsim 仿真结果如图 13 所示。

仿真结果表明, FPGA 成功检测出模拟数据中存在的 3 个目标点,且 FPGA 仿真导出的数据和 Matlab 处理的结果一致,说明基于 FPGA 设计的二维 CFAR 算法核心处理模块功能正常。

3.2 毫米波雷达实验验证

基于实验室开发的 92~94 GHz 的调频连续波(FMCW)毫米波雷达系统对上述方法进行验证。该系统主要由频率综合电路、倍频放大电路、耦合器、低噪声放大器、混频器、收发天线和 FPGA 数采控制电路等组成。雷达产生和发射调频连续波信号,同时接收目标的回波反射信号,放大后与发射信号混频,获取二者之间的频率差从而计算出目标的距离信息。雷达在电机驱动天线旋转时进行波束扫描,可获得目标对应的角度信息。利用距离和角度信息,进而可得到目标的详细位置坐标。

该系统搭载了以 FPGA 为核心的数据采集板,型号为 XC6SLX45-3FGG484。板上集成 2G bit DDR3 内存和以太网 PHY。板载 ADC 以 40 MHz 采样率采集雷达中频信号并转换为 12 bit 的数字信号送入 FPGA 内,随后进行一系列数字信号处理^[17]流程(降采样、平滑、FFT、图像分割、二维 CFAR 等),最后将目标检测结果打包通过以太网发送至上位机解包与成像。具体自定义参数的支持范围如表 1 所示。

实验设计最大支持参考单元宽度为 25,由 25 个 FIFO 首尾相连构成队列;每个 FIFO 的深度为 512,位宽为 32 bit,消耗一个 18 K BRAM;CFAR 处理入口输入数据为 32 位无符号定点数。整个结构最大程度地节约了 Slice 逻辑资源和 BRAM 资源。表 2 为 FPGA 的资源使用

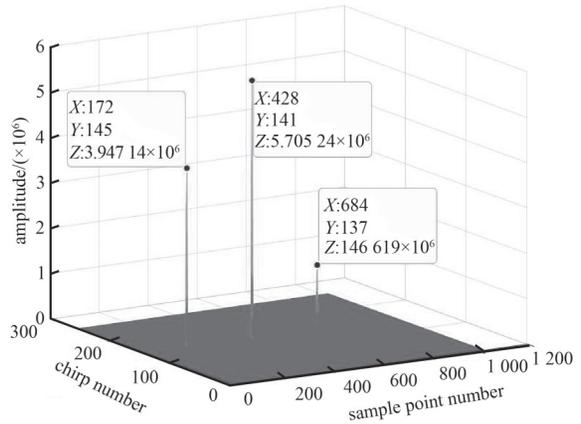


Fig.13 FPGA testbench performing CFAR processing on the data
图 13 FPGA 仿真对数据进行 CFAR 处理的结果

表 1 可配置参数

Table 1 Configurable parameters

parameter	configurable ranges
detector type	CA-CFAR SO-CFAR GO-CFAR
reference cell width	5~25, odd
protection cell width	3~23, odd
threshold factor	8 bit fixed point number

情况。

表2 算法资源利用率

Table2 Algorithm resource utilization

resource type	used resources	available resources	usage
Slice Registers	6 961	54 576	12.8%
Slice LUTs	6 461	27 288	23.7%
block RAM/FIFO	32	232	13.8%
DSP48A1	9	58	15.5%

FMCW 毫米波雷达检测系统放置在清华大学主楼前的空地，进行 180° 旋转扫描实验，得到两组实验结果。实验一中仅输出中频信号 FFT 模值，距离维数据量为 1 000，方位维数据量为 2 000。将得到的二维数据矩阵进行双线性插值坐标系转换得到扇形扫描图，如图 14 所示。

在图 14 中进行框选和编号，与实际场景中的物体进行对应：A-主楼侧面的弧形坡道；B-16 个雪糕筒；C-13 个国旗杆；D-乔木、灌木丛和草坪；E-主楼前的阶梯；F 区域-电动车停放区，如图 15 所示。

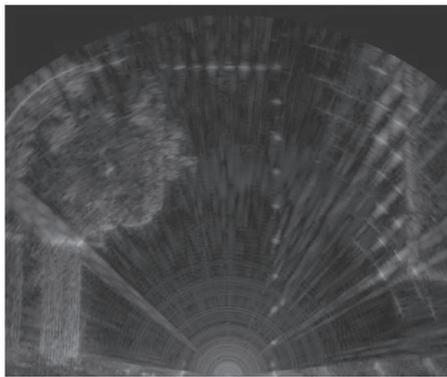


Fig.14 The distance-azimuth spectrum obtained experimentally
图 14 实验得到的距离-方位谱

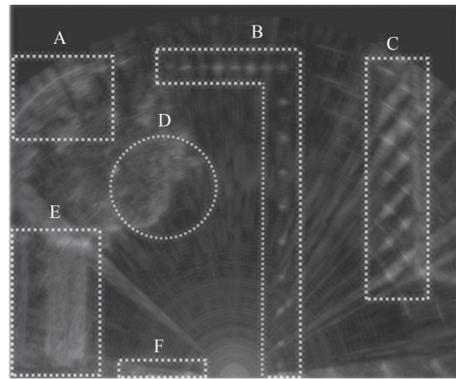


Fig.15 Labeled fan image
图 15 被标记的图像

实验二保持距离维数据量为 1 000，方位维数据量为 2 000。由 FPGA 执行本文所述结构的二维 CFAR 运算。设置二维 CFAR 窗的参考单元宽度为 21，保护单元宽度为 9，门限因子为 15；图像分块个数 Part_num=3，L_A=491，L_B=18。得到检测结果如图 16 所示。从图 16 可知，现场横纵排列的雪糕筒全部被检出，主楼侧面的弧形斜坡以及国旗杆区域也被成功检出，说明本文提出的设计结构已成功用于实际工程。

根据同一场景下对照实验结果可知，FPGA 内二维 CFAR 算法将现场关键目标物全部检出，具有良好的目标检出性能。不过在图像中也出现一些孤立点，这是受实际检测环境的影响，尤其是两排金属的国旗杆对电磁波的反射使成像受到一定的干扰^[18]。其次，为节省逻辑资源，在 FPGA 内采用定点整数计算的方式，有数据截位的情况，也会对运算带来一定程度的误差。

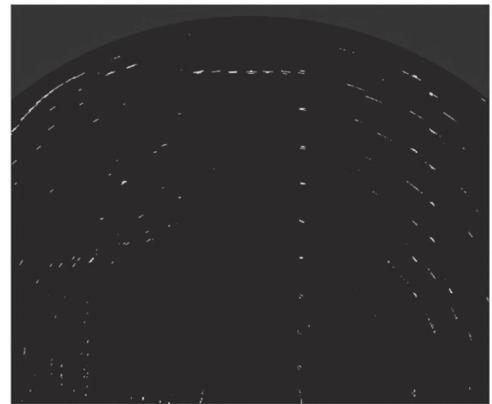


Fig.16 The CFAR result calculated by the FPGA
图 16 由 FPGA 计算得到的 CFAR 检测结果

表3 类似文献设计对比

Tab 3 Comparison of similar literature designs

object	FPGA model	Slice registers	Slice LUTs	BRAM	average single-point processing cycle
this article	XC6SLX45	6 961	6 461	32	2.1
reference [17]	XCVU440	227 000	342 000	19	2.7
reference [18]	XC7K325T	12 000	38 000	20	/

表 3 为本文设计与另外两篇同类文章的对比。在逻辑资源消耗方面，本文寄存器资源和查找表资源均远小于文献[19]和文献[20]，得益于链式 FIFO 并行输出、计算结果复用和流水线结构，且链式 FIFO 并行输出窗数据的过程可在每行终点处自动换行至下一行的起始数据点，降低因换行检测带来的复杂度，大幅节省了逻辑资源。由文献[19]可知，欲实现参考单元宽度为 21 的工程，其均值计算部分至少需 400 个 32 位加法器资源，而本文结

构实现同尺寸检测需约 23 个 32 位加法器, 资源优化明显。本文结构的缺点是对 BRAM 资源占用较大, 对于配置不同的参考单元宽度和保护单元宽度, FPGA 内固化的逻辑资源量不变, 但固化的 BRAM 资源个数将决定参考单元的最大尺寸。

在运算速度方面, 本文设计在 40 MHz 时钟频率下, 以参考单元宽度 21 和保护单元宽度 9 处理 $1\ 000 \times 2\ 000$ 尺寸的图像耗时约 120 ms。文献[18]中以参考单元尺寸 21, 保护单元尺寸 5, 门限因子 14, 120 MHz 频率处理 256×512 点数据所需时长为 2.98 ms, 平均单点用时 2.7 个时钟周期(约 2.27×10^{-8} s)。按照本文设计配置同样检测参数, 以同样频率工作, 平均单点用时 2.1 个时钟周期(约 1.78×10^{-8} s), 计算时间缩短约 20%。该结构的处理速度受图像尺寸、参考单元数量的影响, 得益于并行处理方式和流水线的设计结构可达到较快的处理速度。

4 结论

本文基于 FPGA 平台实现的以链式 FIFO 为核心, 结合子图像提取思路的二维 CFAR 目标检测算法兼顾检测效率和资源节约。针对同一个雷达中频模拟数据, FPGA 仿真检出结果与 Matlab 一致。在实际场景的实验中, 基于 FPGA 设计的二维 CFAR 算法成功检出多个目标物体。仿真模拟和室外实验的结果表明本文提出的基于 FPGA 的二维 CFAR 实现方法具备实际目标检出能力, 对大尺寸图像的检出速度有一定优势, 具有实际应用价值。

参考文献:

- [1] ZHANG Cheng, CAO Mengde, GONG Yuqin, et al. Calibration of motional frequency spread for wide-band FMCW automotive millimeter-wave radar[J]. IEEE Access, 2020(8):14355-14366. doi:10.1109/ACCESS.2020.2966222.
- [2] 方震, 简璞, 张浩, 等. 基于 FMCW 雷达的非接触式医疗健康监测技术综述[J]. 雷达学报, 2022, 11(3):499-516. (FANG Zhen, JIAN Pu, ZHANG Hao, et al. Review of noncontact medical and health monitoring technologies based on FMCW radar[J]. Journal of Radars, 2022, 11(3):499-516.) doi:10.12000/JR22019.
- [3] 陈曦, 马健博, 李鹏哲, 等. 基于 IAA 的毫米波人体三维高分辨成像算法[J]. 太赫兹科学与电子信息学报, 2023, 21(11):1364-1369. (CHEN Xi, MA Jianbo, LI Pengzhe, et al. Millimeter wave human body three-dimensional high-resolution imaging algorithm based on IAA[J]. Journal of Terahertz Science and Electronic Information Technology, 2023, 21(11):1364-1369.) doi:10.11805/TKYDA2022114.
- [4] 田鹤, 李道京, 祁春超. 频域稀疏毫米波人体安检成像处理和快速成像稀疏阵列设计[J]. 雷达学报, 2018, 7(3):376-386. (TIAN He, LI Daojing, QI Chunchao. Millimeter-wave human security imaging based on frequency-domain sparsity and rapid imaging sparse array architecture[J]. Journal of Radars, 2018, 7(3):376-386.) doi:10.12000/JR17082.
- [5] 刘海波, 盛蒙蒙, 杨晓倩. 一种车载毫米波列车防撞雷达系统研究[J]. 雷达学报, 2013(2):234-238. (LIU Haibo, SHENG Mengmeng, YANG Xiaoqian. A study of MMW collision avoidance radar system for trains[J]. Journal of Radars, 2013(2):234-238.) doi:10.3724/SP.J.1300.2013.20091.
- [6] 何友. 雷达自动检测与恒虚警处理[M]. 北京:清华大学出版社, 1999. (HE You. Radar automatic detection and constant false alarm processing[M]. Beijing:Tsinghua University Press, 1999.)
- [7] 何友, 关键, 孟祥伟, 等. 雷达自动检测和 CFAR 处理方法综述[J]. 系统工程与电子技术, 2001, 23(1):9-14, 85. (HE You, GUAN Jian, MENG Xiangwei, et al. Survey of automatic radar detection and CFAR processing[J]. Systems Engineering and Electronics, 2001, 23(1):9-14, 85.) doi:10.3321/j.issn:1001-506X.2001.01.003.
- [8] 秦阳, 张智军. 基于 FPGA 的雷达恒虚警模块的设计[J]. 电子技术应用, 2011, 37(7):68-70, 74. (QIN Yang, ZHANG Zhijun. Design of a radar CFAR module based on FPGA[J]. Application of Electronic Technique, 2011, 37(7):68-70, 74.) doi:10.3969/j.issn.0258-7998.2011.07.027.
- [9] 贾可, 李世丹, 郭燕, 等. 基于 GPU 的软件化雷达恒虚警概率算法实现[J]. 太赫兹科学与电子信息学报, 2012, 10(5):525-527. (JIA Ke, LI Shidan, GUO Yan, et al. Implementation of constant false alarm probability algorithm for software-based radar based on GPU[J]. Journal of Terahertz Science and Electronic Information Technology, 2012, 10(5):525-527.)
- [10] 罗扬静, 夏添, 丁勇, 等. 基于 GPU 并行分块的二维恒虚警检测算法的实现方法[J]. 国外电子测量技术, 2023, 42(10):12-18. (LUO Yangjing, XIA Tian, DING Yong, et al. Implementation method of two-dimensional constant false alarm rate detection algorithm based on GPU parallel block[J]. Foreign Electronic Measurement Technology, 2023, 42(10):12-18.) doi:10.19652/j.cnki.femt.2305132.
- [11] 任磊, 陈辉, 陈建文, 等. 基于 DSP 的二维 CFAR 检测快速实现[J]. 系统工程与电子技术, 2009, 31(7):1627-1631. (REN Lei, CHEN Hui, CHEN Jianwen, et al. Implementation of two-dimensional CFAR detection based on DSP[J]. Systems Engineering and Electronics, 2009, 31(7):1627-1631.) doi:10.3321/j.issn:1001-506X.2009.07.023.

- [12] 刘中祥,宋志勇,付强. 基于FPGA的二维OS-CFAR设计与实现[J]. 全球定位系统, 2015,40(5):76-80. (LIU Zhongxiang, SONG Zhiyong,FU Qiang. Design and implementation of two-dimensional OS-CFAR based on FPGA[J]. GNSS World of China, 2015,40(5):76-80.) doi:10.13442/j.gnss.1008-9268.2015.05.014.
- [13] 黄红平,张晓玲. 一种改进型二维恒虚警参考窗[J]. 航空兵器, 2011(1):34-37. (HUANG Hongping,ZHANG Xiaoling. A modified 2D-CFAR reference window[J]. Aero Weaponry, 2011(1):34-37.) doi:10.3969/j.issn.1673-5048.2011.01.007.
- [14] 周忠锦. 二维恒虚警算法研究及实现[D]. 西安:西安电子科技大学, 2017. (ZHOU Zhongjin. Research and implementation of two-dimensional constant false alarm algorithm[D]. Xi'an,China:Xidian University, 2017.) doi:10.7666/d.D01386014.
- [15] 谢春思,刘志赢,吴帅,等. 基于改进二维CFAR参考滑窗技术的目标检测研究[J]. 弹箭与制导学报, 2021,41(3):48-52. (XIE Chunsì,LIU Zhiying,WU Shuai,et al. Research on target detection based on improved 2D CFAR reference sliding window[J]. Journal of Projectiles,Rockets, Missiles and Guidance, 2021,41(3):48-52.) doi:10.15892/j.cnki.djzdx.2021.03.011.
- [16] 左林虎,王谦,刘国浩. 2D-CFAR检测的性能分析与实现[J]. 火控雷达技术, 2022,51(2):63-69. (ZUO Linhu,WANG Qian, LIU Guohao. Performance analysis and implementation of two-dimensional CFAR detection[J]. Fire Control Radar Technology, 2022,51(2):63-69.) doi:10.19472/j.cnki.1008-8652.2022.02.012.
- [17] 杜勇. Xilinx FPGA数字信号处理设计[M]. 北京:电子工业出版社, 2021. (DU Yong. Xilinx FPGA digital signal processing design[M]. Beijing:Publishing House of Electronics Industry, 2021.)
- [18] 刘静. 金属目标的毫米波辐射特性与成像特征分析[D]. 南京:南京理工大学,2016. (LIU Jing. Millimeter wave radiation characteristics and imaging characteristics analysis of metal targets[D]. Nanjing, China: Nanjing University of Science and Technology, 2016.) doi:10.7666/d.Y3198452.
- [19] 高巍,杨昊,蒋荣堃,等. 一种动态可配置二维CFAR处理器的设计与实现[J]. 北京理工大学学报, 2020,40(7):797-802. (GAO Wei,YANG Hao,JIANG Rongkun,et al. Design and implementation of a runtime-configurable two-dimensional CFAR processor[J]. Transactions of Beijing Institute of Technology, 2020,40(7):797-802.) doi:10.15918/j.tbti1001-0645.2018.517.
- [20] 高巍,谢芳,蒋荣堃,等. 基于FPGA的二维双向CFAR处理器的设计与实现[J]. 北京理工大学学报, 2021,41(5):536-541. (GAO Wei,XIE Fang,JIANG Rongkun,et al. Design and implementation of two-dimensional bidirectional CFAR processor based on FPGA[J]. Transactions of Beijing Institute of Technology, 2021,41(5):536-541.) doi:10.15918/j.tbti1001-0645.2020.002.

作者简介:

杭心齐(1998-),男,在读硕士研究生,主要研究方向为信号采集、FPGA数字信号处理. email:hxq21@mails.tsinghua.edu.cn.

郭大路(1988-),男,博士,工程师,主要研究方向为毫米波与太赫兹器件、电路和探测系统.

乔灵博(1990-),男,博士,高级工程师,主要研究方向为毫米波与太赫兹成像、太赫兹光谱分析、雷达探测.

宫辉(1979-),男,博士,研究员,主要研究方向为信号采集、数字信号实时处理方法.