

文章编号: 2095-4980(2025)04-0309-08

集成低势垒二极管的 1.2 kV SiC MOSFET 器件功耗

孙佳萌^{a,b}, 付浩^{a,b}, 魏家行^{a,b}, 刘斯扬^{*a,b}, 孙伟锋^{a,b}

(东南大学 a. 集成电路学院; b. 国家 ASIC 工程中心, 江苏 南京 210096)

摘要: 针对 SiC 金属-氧化物半导体场效应晶体管(MOSFET)在功率模块续流过程中引起的高续流损耗问题, 提出集成低势垒二极管的 SiC MOSFET(LBD-MOS)结构。对 LBD-MOS 和传统的 SiC MOSFET(CON-MOS)在相同面积下的总功耗进行研究, 仿真结果表明, LBD-MOS 的续流压降 U_F 为 1.6 V, 比 CON-MOS 降低了 50%; LBD-MOS 的开关损耗 E_{switch} 为 187.3 μJ , 比 CON-MOS 降低了 6%; 在工作频率为 10 kHz, 占空比为 50% 的工作条件下, LBD-MOS 的总功耗比 CON-MOS 降低了 22.6%。LBD-MOS 适用于续流占比高于 50%、开关频率不高于 1 MHz 的工作条件。

关键词: SiC 金属-氧化物半导体场效应晶体管(MOSFET); 集成低势垒二极管; 导通功耗; 续流功耗; 开关功耗; 反向恢复功耗

中图分类号: TN432

文献标志码: A

DOI: 10.11805/TKYDA2024224

Power consumption of 1.2 kV SiC MOSFET with integrated Low-Barrier Diode

SUN Jiameng^{a,b}, FU Hao^{a,b}, WEI Jiaxing^{a,b}, LIU Siyang^{*a,b}, SUN Weifeng^{a,b}

(a.School of Integrated Circuit; b.National ASIC System Engineering Research Center, Southeast University, Nanjing Jiangsu 210096, China)

Abstract: To address the issue of high freewheeling losses caused by SiC Metal-Oxide-Semiconductor Field-Effect Transistors(MOSFETs) during the freewheeling process in power modules, an integrated Low-Barrier Diode SiC MOSFET(LBD-MOS) structure is proposed. The total power consumption of LBD-MOS and the conventional SiC MOSFET(CON-MOS) under the same area is investigated. Simulation results show that the freewheeling voltage drop(U_F) of LBD-MOS is 1.6 V, which is 50% lower than that of CON-MOS; the switching loss (E_{switch}) of LBD-MOS is 187.3 μJ , which is 6% lower than that of CON-MOS. Under operating conditions with a frequency of 10 kHz and a duty cycle of 50%, the total power consumption of LBD-MOS is reduced by 22.6% compared to that of CON-MOS. LBD-MOS is suitable for applications where the freewheeling ratio is higher than 50% and the switching frequency does not exceed 1 MHz.

Keywords: SiC Metal-Oxide-Semiconductor Field-Effect Transistor(MOSFET); integrated Low Barrier Diode; conduction power; freewheeling power; switching power; reverse recovery power

SiC MOSFET 具有击穿电压高、电流密度大、开关速度快、高温稳定性好等优点, 相比 Si 基功率器件, 可大幅简化功率电子系统的拓扑结构, 减小系统体积, 是中高压应用领域最具潜力的功率器件之一。在功率逆变器和转换器系统中, 为降低续流损耗, 提出反并联肖特基二极管(Schottky Barrier Diode, SBD)方案, 但 SBD 的芯片尺寸随 MOSFET 击穿电压的增加而增大, 会产生不同大小的模块与利用率, 增加了模块成本; 且外部 SBD 引入的寄生电容及杂散电感会导致器件的开关特性变差。因此, 当前业界的主流方案是采用 SiC MOSFET 的体二极管进行续流, 但 SiC MOSFET 的 PN 结体二极管的续流压降为 SiC SBD 的 2 倍, 增加了系统的续流损耗; 且体二极管在双极载流子续流过程中, 存在反向恢复电流尖峰, 导致开关振荡严重, 进一步增加了器件的反向恢复损耗及开关损耗。在可靠性层面, 由于 SiC MOSFET 外延层中存在基平面位错(Basal Plane Dislocation, BPD), 在双极载流子导电时会引起堆垛失效, 使器件导通电阻退化。为解决上述问题, 科研人员提出元胞内集成低势垒二

收稿日期: 2024-05-24; 修回日期: 2024-06-24

基金项目: 国家自然科学基金资助项目(62004037)

*通信作者: 刘斯扬 email:liusy2855@163.com

极管的方案, 包括集成SBD的SiC MOSFET^[1-5]和集成异质结二极管的SiC MOSFET^[6-7]。

综合国内外的研究现状, 集成低势垒二极管的SiC MOSFET(LBD-MOS)器件致力于降低器件的续流压降, 缺少对器件总功耗的理论分析; 且LBD-MOS器件还未在实际应用中得到验证, 缺少指导实际应用的选型标准。本文对比分析了1.2 kV的LBD-MOS与传统SiC MOSFET(CON-MOS)的总功耗, 获得具有最低功耗的功率器件, 并能指导实际应用。

1 器件结构设计

通过将CON-MOS元胞P阱表面的P+欧姆接触区裂开, 在N型漂移区表面形成肖特基接触, 器件的其他部分不变, 便得到了LBD-MOS。LBD-MOS和CON-MOS器件的横截面如图1所示, 2个P⁺欧姆接触区之间的肖特基宽度记为 W_{SBD} 。与CON-MOS相比, LBD-MOS通过金属与外延层直接接触形成低势垒的肖特基接触, 除此之外, LBD-MOS和CON-MOS具有完全相同的结构。对集成SBD结构进行设计时, 除了增加的SBD部分, 控制器件其他部分的结构参数相同; 在进行功耗比较时, 控制芯片面积相同, 保持为4 mm²。

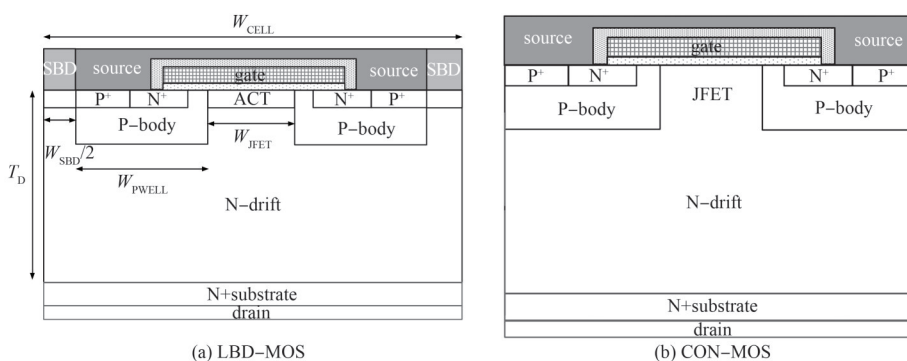


Fig.1 Cross-section diagrams of LBD-MOS and CON-MOS
图1 LBD-MOS与CON-MOS横截面示意图

表1为LBD-MOS和CON-MOS器件的主要参数。以CON-MOS器件作为对比器件, 基于SILVACO ATLAS数值模拟工具对所设计的LBD-MOS器件进行仿真。本文采用的仿真实物模型主要有FERMI、BGN、CVT、INCOMPLETE、OPTR、SRH、AUGER和UST。

2 器件电学特性分析

2.1 导通特性

对LBD-MOS与CON-MOS器件的导通特性进行分析。SiC MOSFET器件的比导通电阻($R_{\text{on,sp}}$)是衡量器件产生静态功耗的一个重要指标。由于栅氧化层与SiC材料界面处的界面态密度较大, SiC MOSFET的反型层内部由于半导体与氧化层界面附近的表面散射较高, 导致载流子迁移率下降。为获取准确的仿真结果, 采用载流子迁移率方法得到沟道载流子迁移率数值为15 cm²/(V·s), 然后通过仿真软件中的CVT模型将沟道载流子迁移率修正至15 cm²/(V·s)。

图2为不同 W_{SBD} 的LBD-MOS与CON-MOS的正向输出特性曲线, 仿真设计的 W_{SBD} 范围为0.25~1 μm, 调整步长为0.25 μm。可以看出, 随着 W_{SBD} 的增加, 器件的电流呈线性降低趋势, 主要原因在于LBD-MOS引入二极管区, 导致元胞尺寸 W_{CELL} 增大, 从而使器件的 $R_{\text{on,sp}}$ 增加。当 $U_{\text{GS}}=15$ V, $I_{\text{DS}}=20$ A时, CON-MOS的 $R_{\text{on,sp}}$ 为3 (mΩ·cm²), LBD-MOS

表1 LBD-MOS和CON-MOS的器件主要参数

Table1 Main metrics of LBD-MOS and CON-MOS

parameter	LBD-MOS	CON-MOS
width of cell(W_{CELL})/μm	6.5;7.0;7.5;8.0	6
thickness of gate oxide(T_{OX})/μm	0.035	0.035
width of channel(W_{CHANNEL})/μm	0.5	0.5
width of P_{WELL} (W_{PWELL})/μm	2.4	2.4
width of JFET(W_{JFET})/μm	1.2	1.2
thickness of drift(T_{D})/μm	10	10
concentration of drift(N_{D})/cm ⁻³	1.1×10^{16}	1.1×10^{16}
width of ohmic contact(W_{OHM})/μm	1.3	1.3
width of Schottky contact(W_{S})/μm	0.25; 0.50; 0.75; 1.00	—

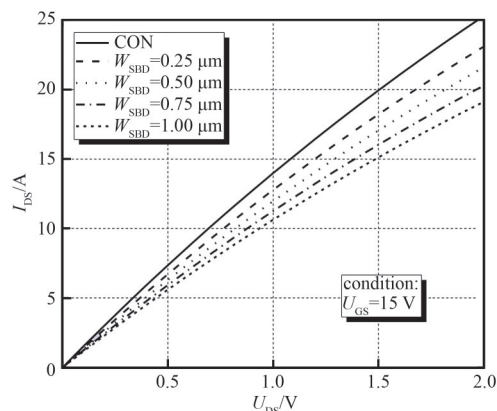


Fig.2 I - U characteristic curves of CON-MOS and LBD-MOS
图2 CON-MOS与LBD-MOS器件 I - U 特性曲线

($W_{\text{SBD}}=0.75 \mu\text{m}$)的 $R_{\text{on,sp}}$ 为 $3.94 (\text{m}\Omega \cdot \text{cm}^2)$, LBD-MOS的 $R_{\text{on,sp}}$ 增加了31%。

2.2 阻断特性

反向阻断特性曲线展示了MOSFET在关断状态下漏极电流 I_{DS} 随漏极电压 U_{DS} 的变化关系,通过反向阻断特性曲线可提取出器件的反向漏电 I_{DSS} 和击穿电压 U_{B} 。仿真过程中,CON-MOS采用碰撞电离模型,LBD-MOS采用隧穿模型,图3为不同 W_{SBD} 的LBD-MOS与CON-MOS的反向阻断特性曲线。可以看出,器件的反向漏电 I_{DSS} 随 W_{SBD} 的增加而增加,这是因为P阱和N型漂移区的掺杂浓度决定了耗尽层宽度,随着 W_{SBD} 的增加,固定的耗尽层宽度保护二极管区域的能力变差,反映为器件反向漏电 I_{DSS} 的增加。提取漏极电压为1 200 V时对应的漏电数据,得到 $W_{\text{SBD}}=0.75 \mu\text{m}$ 时的LBD-MOS的反向漏电 I_{DSS} 为 $6.5 \times 10^{-10} \text{ A}$,低于 $1 \mu\text{A}$ 。

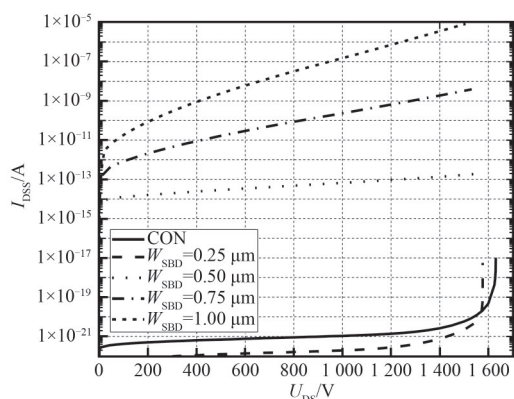


Fig.3 Blocking characteristic curves of CON-MOS and LBD-MOS
图3 CON-MOS与LBD-MOS器件阻断特性曲线

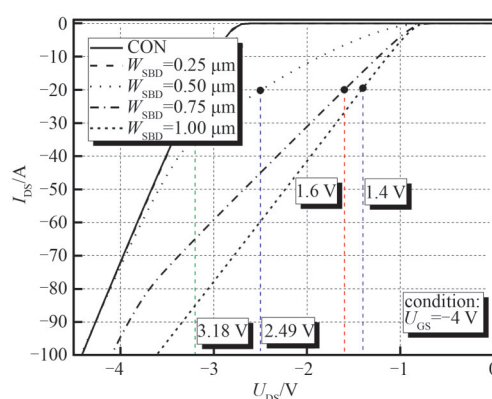


Fig.4 The third quadrant characteristic curves of CON-MOS and LBD-MOS
图4 CON-MOS与LBD-MOS器件第三象限特性曲线

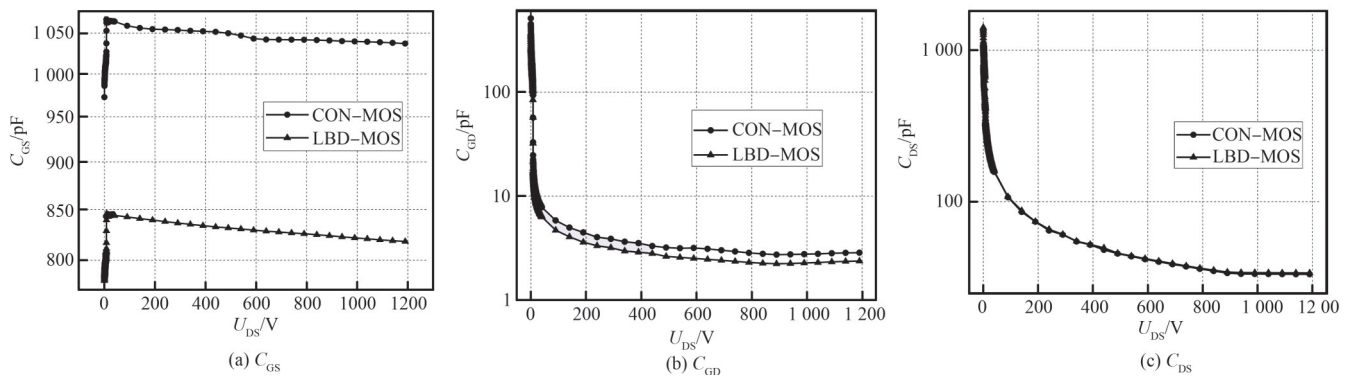
2.3 续流特性

在逆变器等功率系统中,SiC MOSFET通过反向导通实现电路续流。SiC MOSFET的反向导通,即在源极加正压使电流从源极流向漏极,这往往发生在半桥电路上下管都关断时的“死区时间”内。传统的SiC MOSFET器件反向导通路径通常有2条:a) MOSFET沟道电流;b)体内寄生的PiN二极管导通^[8]。

为抑制SiC MOSFET体二极管导通,本文在传统器件的元胞内集成低势垒二极管,但器件元胞内集成的低势垒二极管的肖特基金属会同时影响器件的续流特性和反向阻断特性。肖特基势垒高度越低,续流压降越低,续流损耗降低,但同时反向漏电增加。综合考虑二者的影响,仿真的金属功函数设置为4.28 eV,约为传统TiAl金属的功函数。图4为不同 W_{SBD} 的LBD-MOS和CON-MOS的第三象限特性曲线。当 W_{SBD} 增加至 $0.25 \mu\text{m}$ 时,电流膝点电压超过1 V,器件对体二极管的抑制不完全;随着 W_{SBD} 的增加,二极管串联电阻逐渐降低,使器件的体二极管导通压降(U_{F})降低。当 $U_{\text{GS}}=-4 \text{ V}$, $I_{\text{DS}}=20 \text{ A}$ 时,CON-MOS与 $W_{\text{SBD}}=0.75 \mu\text{m}$ 时的LBD-MOS的 U_{F} 分别为3.18 V和1.6 V, U_{F} 降低了50%。这是因为LBD-MOS元胞内部集成的二极管的势垒高度低,基于 $I-U$ 法提取计算得到其数值为1.18 eV,远低于SiC PN结势垒。

2.4 电容特性

对器件的电容特性进行分析,仿真设置栅极电压 $U_{\text{GS}}=0 \text{ V}$,提取漏极电压 $U_{\text{DS}}=0 \text{ V}$ 和 $U_{\text{DS}}=1\,000 \text{ V}$ 时的电容值。栅源电容 C_{GS} 主要由栅极与N+源区和P型基区的重叠部分组成,由于N+源区和P型基区的掺杂浓度较高,可近似为氧化层电容;栅漏电容 C_{GD} 为基本的MOS电容,主要由栅极多晶硅与器件底部漏极的交叠部分组成,电容大小由两电极之间的交叠面积决定,当在漏极施加正电压时, C_{GD} 可看成氧化层电容 C_{OX} 和耗尽层电容 $C_{\text{S,M}}$ 的串联;漏源电容 C_{DS} 近似为P型基区和N型漂移区之间的PN结电容^[9]。图5为CON-MOS和 $W_{\text{SBD}}=0.75 \mu\text{m}$ 的LBD-MOS的电容特性曲线,表2为两种器件在 $U_{\text{DS}}=0 \text{ V}$ 和 $U_{\text{DS}}=1\,000 \text{ V}$ 时的电容值。当 $U_{\text{DS}}=0 \text{ V}$ 时,LBD-MOS的 C_{GS} 比CON-MOS低20%, C_{GD} 比CON-MOS低28%, C_{DS} 比CON-MOS高80%;当 $U_{\text{DS}}=1\,000 \text{ V}$ 时,LBD-MOS的 C_{GS} 比CON-MOS低21%, C_{GD} 比CON-MOS低18%, C_{DS} 比CON-MOS高3%。这是因为在元胞内部集成了二极管区,在芯片面积相同的情况下,增加了漏极与源极有效正对面积,减小了栅极与源极、栅极与漏极的交叠面积。

Fig.5 CON-MOS and LBD-MOS ($W_{\text{SBD}}=0.75 \mu\text{m}$) capacitance curves图5 CON-MOS与LBD-MOS($W_{\text{SBD}}=0.75 \mu\text{m}$)器件电容曲线表2 CON-MOS与LBD-MOS($W_{\text{SBD}}=0.75 \mu\text{m}$)器件电容值Table2 CON-MOS and LBD-MOS($W_{\text{SBD}}=0.75 \mu\text{m}$) capacitance values

device	C_{GS}/pF		C_{GD}/pF		C_{DS}/pF	
	0 V	1 000 V	0 V	1 000 V	0 V	1 000 V
CON-MOS	972	1 039	514	2.78	785	33
LBD-MOS	781	821	370	2.29	1411	34

3 器件双脉冲工作状态分析

3.1 混合电路仿真平台

基于 SILVACO ATLAS 数值模拟工具搭建混合电路仿真平台, 对器件的开关特性进行仿真。双脉冲电路结构如图6所示, 电路中分上臂 MOS 管和下臂 MOS 管。其中, 下管为开关管, 主要调节电路的工作状态, 栅极电压 U_{GS} 为双脉冲信号; 下管为续流管, 处于常关状态, 栅极电压 U_{GS} 始终保持为 -4 V , 以保证续流管处于关断状态。设置电源电压 U_{DD} 为 800 V , 负载电感为 $150 \mu\text{H}$, 栅电阻为 5Ω 。上下管采用相同设计结构的 MOSFET, 在“死区时间”内, LBD-MOS 元胞内部集成的低势垒二极管进行续流, CON-MOS 则通过体二极管续流。仿真波形如图7所示, 共包含开关管导通阶段、开关管开通过程、开关管关断过程、续流管反向恢复过程、续流管续流阶段 5 个过程。

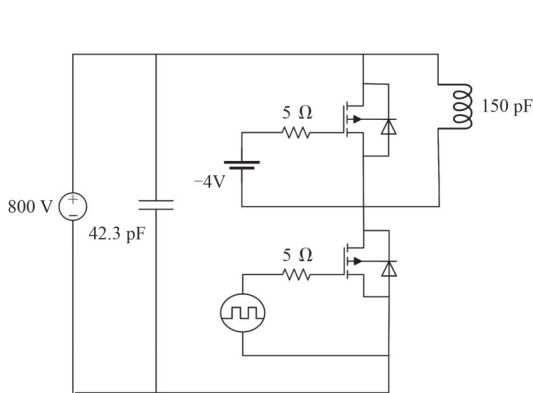


Fig.6 Double-pulse test simulation circuit for switching characteristics of CON-MOS and LBD-MOS

图6 CON-MOS与LBD-MOS的开关特性双脉冲仿真电路

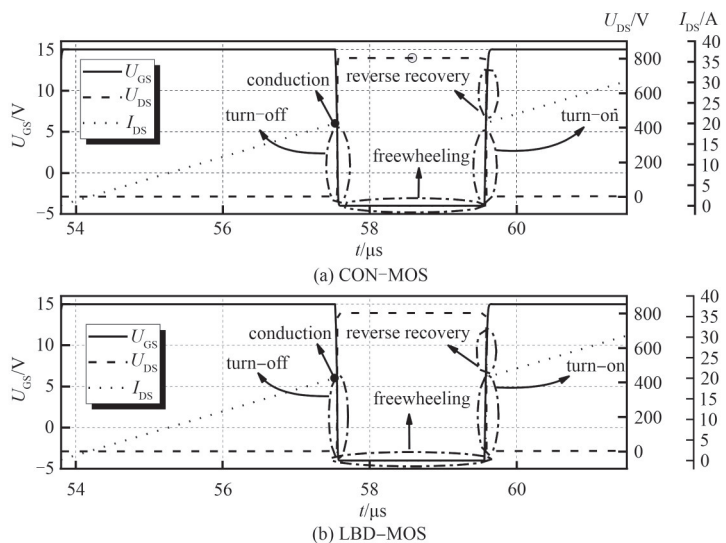


Fig.7 Double-pulse test simulation waveforms of CON-MOS and LBD-MOS

图7 CON-MOS与LBD-MOS 双脉冲仿真波形

3.2 开关管导通阶段

当 $U_{\text{GS}}=15 \text{ V}$, $I_{\text{DS}}=20 \text{ A}$ 时, CON-MOS 的 $U_{\text{DS}}=1.5 \text{ V}$, LBD-MOS 的 $U_{\text{DS}}=1.98 \text{ V}$ 。计算得到 CON-MOS 的导通电阻 R_{on} 为 $75 \text{ m}\Omega$, LBD-MOS 的导通电阻 R_{on} 为 $99 \text{ m}\Omega$; CON-MOS 与 LBD-MOS 的 $R_{\text{on,SP}}$ 分别为 $3 (\text{m}\Omega \cdot \text{cm}^2)$ 和 $3.96 (\text{m}\Omega \cdot \text{cm}^2)$, 与 2.1 节的输出特性仿真结果几乎相同。

3.3 开关管开通过程

当开关管的栅极电压 U_{GS} 为 -4 V 时, 器件处于关断状态。对栅极施加正向电压后, 驱动电路给 MOSFET 的栅源电容 C_{GS} 充电, 器件的栅极电压 U_{GS} 增大, 过渡到开通状态, 其开通过程波形如图 8 所示。整个开通过程共分为 4 个阶段, 第 1 阶段: 器件处于关断状态, 漏极电压 U_{DS} 保持为电源电压 U_{DD} 不变, 栅电流 I_G 给 C_{GS} 充电, 使栅极电压 U_{GS} 达到 MOSFET 的阈值电压 U_{TH} ; 此时开通过程进入第 2 阶段: 即器件漏极电压 U_{DS} 仍保持不变, U_{GS} 继续增大, MOSFET 开始导通直至达到饱和, 漏极电流 I_{DS} 随着 U_{GS} 的增大而增大, 待续流二极管内的电流全部换流至 MOSFET 时, 漏极电流 I_{DS} 达到负载电流 I_L ; 随后进入第 3 阶段: 即米勒平台阶段, U_{GS} 保持在米勒平台电压 U_{GP} 不变, 栅电流 I_G 主要给 C_{GD} 充电, 此时的漏极电压 U_{DS} 开始下降, 最终降至导通压降 U_{ON} ; 随后进入第 4 阶段, 栅电流 I_G 向器件的 C_{GS} 和 C_{GD} 充电, 此时, C_{GD} 近似于氧化层电容 C_{OX} , 直至 MOSFET 的栅极电压 U_{GS} 达到 15 V, 器件开通过程完成^[10]。

如图 8 所示, CON-MOS 的 $t_{d(on)}=13$ ns, $t_r=5$ ns; LBD-MOS 的 $t_{d(on)}=12$ ns, $t_r=4$ ns。经计算, CON-MOS 的开通损耗 $E_{ON}=178.6$ μ J; LBD-MOS 的开通损耗 $E_{ON}=165.6$ μ J, 比 CON-MOS 低 7.3%。如表 2 所示, 当 U_{DS} 为 $1\ 000$ V 时, LBD-MOS 的 C_{GD} 比 CON-MOS 低 18%, 漏极电压的下降速率 dU_{DS}/dt 较快, 使器件的开通延迟时间变短, 开通损耗降低。

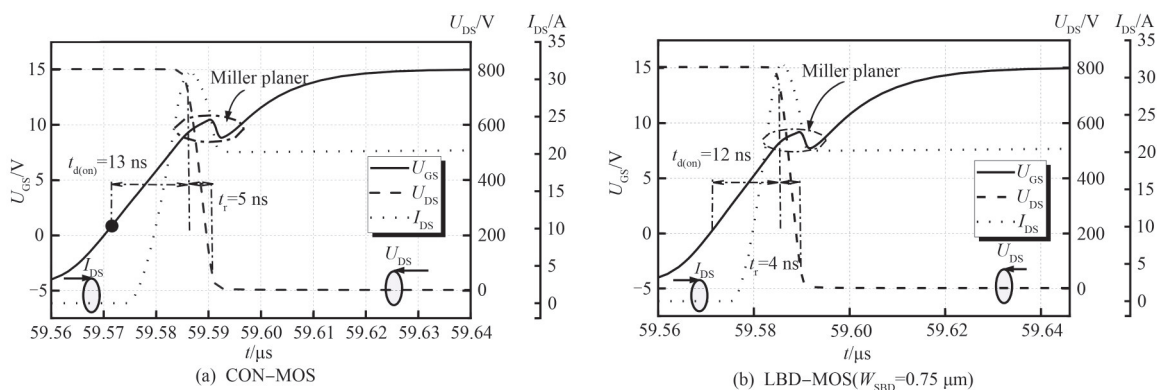


Fig.8 Turn-on process waveforms of CON-MOS and LBD-MOS

图8 CON-MOS与LBD-MOS开通过程波形

3.4 开关管关断过程

SiC MOSFET 的关断过程为开启过程的逆过程。图 9 为 CON-MOS 和 LBD-MOS 的关断过程波形。如图所示, CON-MOS 的 $t_{d(off)}=18$ ns, $t_f=5$ ns; LBD-MOS 的 $t_{d(off)}=15$ ns, $t_f=5$ ns。经计算, CON-MOS 的关断能量 $E_{OFF}=20.7$ μ J; LBD-MOS 的关断能量 $E_{OFF}=21.7$ μ J。如表 2 所示, 在低漏压阶段, LBD-MOS 的 C_{GD} 电容比 CON-MOS 低 28%, 因此 LBD-MOS 的关断速度快, 关断延迟时间 $t_{d(off)}$ 短, 由于此阶段的漏极电压 U_{DS} 很低, 几乎不产生关断损耗。但 LBD-MOS 的 C_{DS} 电容恒高于 CON-MOS, C_{DS} 电容存储的能量高, 导致了关断损耗的增加。

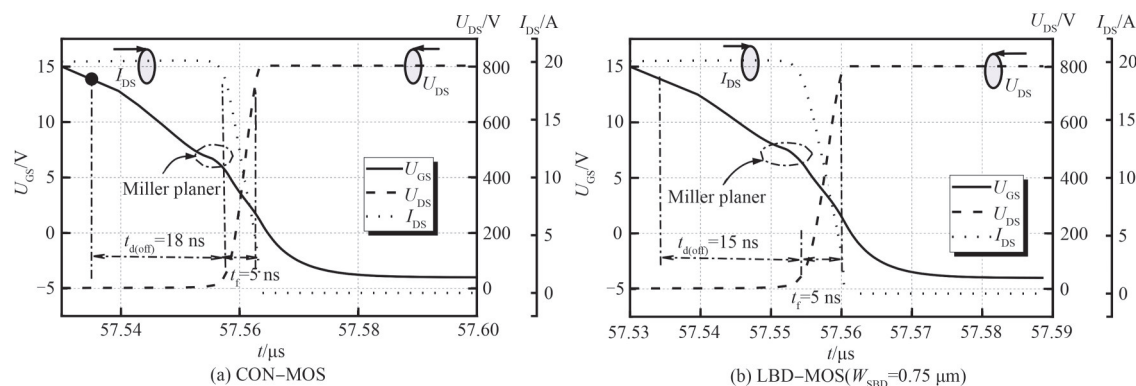


Fig.9 Turn off process waveforms of CON-MOS and LBD-MOS

图9 CON-MOS与LBD-MOS关断过程波形

3.5 续流管反向恢复过程

图 10 为 CON-MOS 和 LBD-MOS 的反向恢复过程波形。如图所示, CON-MOS 的 $I_{RR}=11.7\text{ A}$, LBD-MOS 的 $I_{RR}=10.7\text{ A}$, 二者相差不大, 这是因为 SiC 漂移区中的少子在室温下的载流子寿命较短, 几乎没有少子抽取过程。经计算, CON-MOS 的反向恢复损耗 $E_{rec}=35.4\text{ }\mu\text{J}$; LBD-MOS 的反向恢复损耗 $E_{rec}=34.8\text{ }\mu\text{J}$, 反向恢复损耗相差不大。

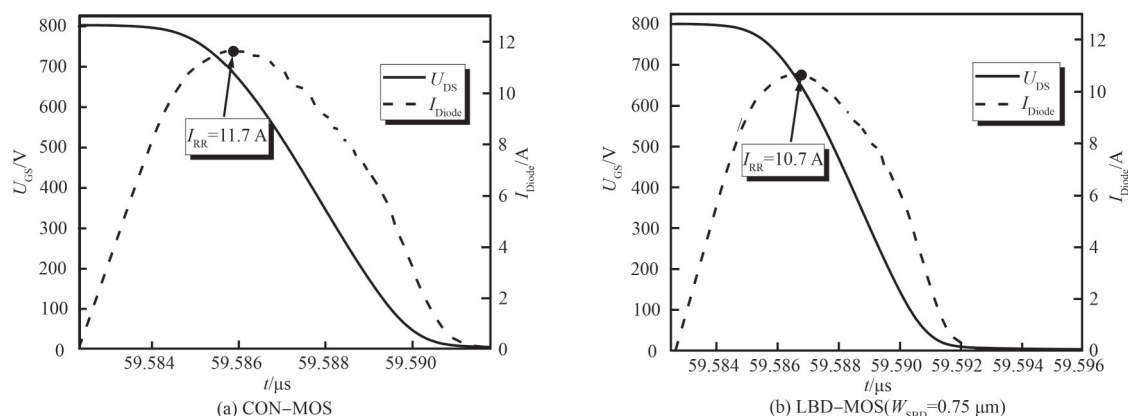


Fig.10 Reverse recovery process waveforms of CON-MOS and LBD-MOS

图 10 CON-MOS 和 LBD-MOS 反向恢复过程波形

3.6 续流管续流阶段

图 11 为 CON-MOS 和 LBD-MOS 的续流阶段示意图, 提取 $U_{GS}=-4\text{ V}$ 、 $I_{DS}=20\text{ A}$ 时的续流压降, 得到 CON-MOS 的 $U_F=3.18\text{ V}$, LBD-MOS 的 $U_F=1.7\text{ V}$, 与 2.3 节第三象限特性曲线提取的数值几乎相同。

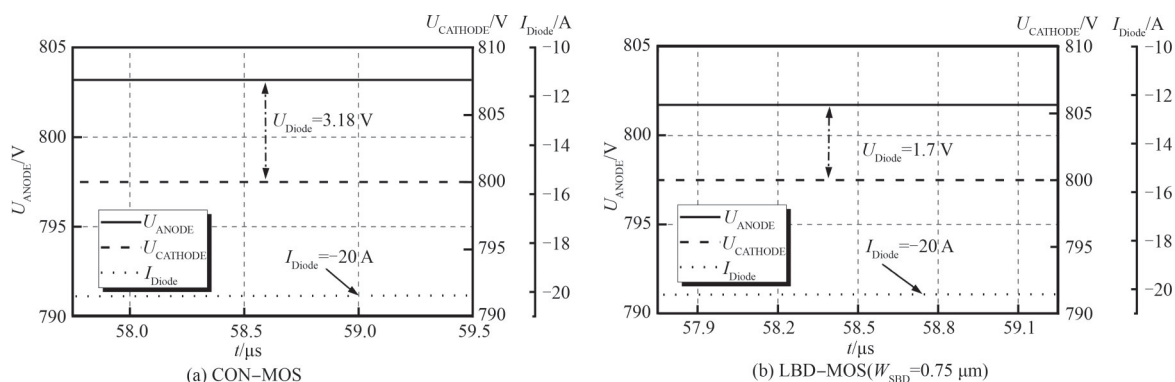


Fig.11 Freewheeling waveforms of CON-MOS and LBD-MOS

图 11 CON-MOS 与 LBD-MOS 续流波形

4 功耗研究

4.1 总功耗研究

SiC MOSFET 在半桥电路中产生功耗, 影响电路系统的工作效率。因此 SiC MOSFET 的总功耗经常被作为评估器件性能的一个重要指标。功率器件的功耗主要分为静态功耗和开关功耗, 静态功耗又分为导通功耗和阻态功耗。因为器件处于阻断状态时, 反向漏电流很小, 因此阻态功耗可忽略不计; 导通功耗为 MOSFET 在正向导通时产生的功耗 P_{ON} 。开关功耗包括开通过程产生的功耗 $P_{MOS,turn-on}$ 和关断过程产生的功耗 $P_{MOS,turn-off}$:

$$P_{ON} = I_{ON} \times U_{ON} \quad (1)$$

$$P_{MOS,turn-on} = \int_{turn-on} i_{MOS} v_{MOS} dt \times f \quad (2)$$

$$P_{MOS,turn-off} = \int_{turn-off} i_{MOS} v_{MOS} dt \times f \quad (3)$$

式中: I_{ON} 为正向导通电流; U_{ON} 为正向导通压降; i_{MOS} 和 v_{MOS} 分别为开启和关断过程中的漏极瞬态电流和瞬态电

压； f 为工作频率。

续流管在“死区时间”存在续流功耗 P_{dead} ，续流截止，续流管的反向恢复电流将会对开关管造成一个大的漏电流，进而导致额外的反向恢复功耗 P_{RR} 。续流功耗 P_{dead} 和反向恢复功耗 P_{RR} 的表达式为：

$$P_{\text{dead}} = I_{\text{Diode}} \times U_{\text{Diode}} \quad (4)$$

$$P_{\text{RR}} = \int_{\text{reverse}} I_{\text{R}} U_{\text{R}} dt \times f \quad (5)$$

式中： I_{Diode} 和 U_{Diode} 分别为续流管的导通电流和导通压降； I_{R} 和 U_{R} 分别为反向恢复电流和压降。

器件的总功耗表达式为：

$$P_{\text{total}} = \delta P_{\text{ON}} + P_{\text{RR}} + (1 - \delta) P_{\text{dead}} + f E_{\text{switch}} \quad (6)$$

式中： δ 为占空比； E_{switch} 为总开关损耗，其表达式为：

$$E_{\text{switch}} = E_{\text{MOS, turn-on}} + E_{\text{MOS, turn-off}} \quad (7)$$

4.2 LBD-MOS 应用场景研究

假设占空比为 50%，利用式(6)可计算不同工作频率下的 LBD-MOS 和 CON-MOS 的功耗组分。其中，10 kHz 工作频率下的功耗数值如表 3 所示。

表 3 LBD-MOS 和 CON-MOS 室温下各部分功耗分布

Table3 Power consumption distribution of LBD-MOS and CON-MOS at room temperature

device	P_{ON}/W	P_{dead}/W	$P_{\text{MOS, turn-on}}/\text{W}$	$P_{\text{MOS, turn-off}}/\text{W}$	P_{RR}/W	$P_{\text{total}}/\text{W}$
CON-MOS	30.0	63.6	1.786	0.207	0.354	49.15
LBD-MOS	39.6	32.0	1.656	0.217	0.348	38.02

当占空比为 50%，工作频率为 10 kHz 时，LBD-MOS 的总功耗比 CON-MOS 低 22.6%。导通功耗和续流功耗与开关管导通及关断的时间有关，取决于占空比。占空比越低，器件的续流损耗占比越高，LBD-MOS 器件的优势更加显著；开关功耗与电路的工作频率 f 有关，工作频率 f 越高，开关功耗的占比越高。图 12 为 CON-MOS 与 LBD-MOS 分别在 10 kHz、100 kHz、1 MHz 工作频率下的功耗组分情况。从图 12 可以看出，LBD-MOS 器件适用于占空比低于 50 %、开关频率不高于 1 MHz 的工作条件。

5 结论

本文基于 SILVACO ATLAS 数值模拟工具探究了 LBD-MOS 与 CON-MOS 的总功耗。仿真结果表明，LBD-MOS 的续流压降 U_{F} 为 1.6 V，比 CON-MOS 降低了 50%。基于静态特性仿真结果，本文选用 $W_{\text{SBD}}=0.75 \mu\text{m}$ 的 LBD-MOS 器件作为中心器件，研究 LBD-MOS 和 CON-MOS 的开关特性机理及功耗组分。计算得出，在工作频率为 10 kHz，占空比为 50 % 的工作条件下，LBD-MOS 的总功耗比 CON-MOS 低 22.6%。经对比分析，LBD-MOS 器件适用于占空比低于 50 %、开关频率不高于 1 MHz 的工作条件。

参考文献：

- [1] KONO H, ASABA S, OHASHI T, et al. 2 kV-class SBD-embedded SiC MOSFETs through cell pitch reduction and internal resistance optimization[C]// 2021 the 33rd International Symposium on Power Semiconductor Devices and ICs. Nagoya, Japan: IEEE, 2021:227–230. DOI:10.23919/ISPSD50666.2021.9452314.
- [2] KIM D, JANG S Y, DEBOER S, et al. An optimal design for 1.2 kV 4H-SiC JBSFET (junction barrier Schottky diode integrated MOSFET) with deep P-well[J]. IEEE Electron Device Letters, 2022, 43(5):785–788. DOI:10.1109/LED.2022.3162156.
- [3] KOBAYASHI Y, OHSE N, MORIMOTO T, et al. Body PiN diode inactivation with low on-resistance achieved by a 1.2 kV-class 4H-SiC SWITCH-MOS[C]// 2017 IEEE International Electron Devices Meeting (IEDM). San Francisco, CA, USA: IEEE, 2017:1–4.

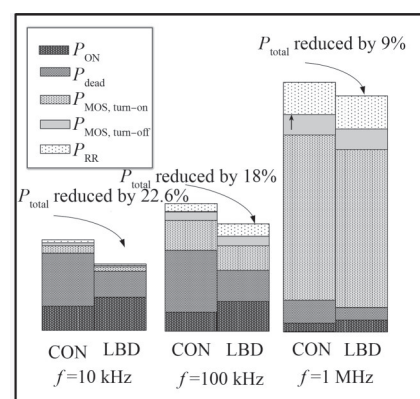


Fig.12 Comparison of power consumption between CON-MOS and LBD-MOS at different frequencies

图 12 不同频率下 CON-MOS 与 LBD-MOS 的功耗比较

DOI:10.1109/IEDM.2017.8268356.

- [4] KONO H,IGUCHI T,HIRAKAWA T,et al. 3.3 kV all SiC MOSFET module with Schottky barrier diode embedded SiC MOSFET [C]// International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Online:IEEE, 2021:1–6.
- [5] ASABA S,FURUKAWA M,KUSUMOTO Y,et al. Design guidelines for SBD integration into SiC–MOSFET breaking RonA–diode conduction capability trade–off[C]// 2022 International Electron Devices Meeting(IEDM). San Francisco,CA,USA:IEEE, 2022: 1–4. DOI:10.1109/IEDM45625.2022.10019413.
- [6] AN Junjie, HU Shengdong. Heterojunction diode shielded SiC split–gate trench MOSFET with optimized reverse recovery characteristic and low switching loss[J]. IEEE Access, 2019(7):28592–28596. DOI:10.1109/ACCESS.2019.2902246.
- [7] ZHOU Chunying, REN Min, LI Xi, et al. 4H–SiC trench MOSFET with integrated heterojunction diode for optimizing switching performance[C]// 2022 IEEE the 16th International Conference on Solid–State & Integrated Circuit Technology(ICSICT). Nanjing,China:IEEE, 2022:1–3. DOI:10.1109/ICSICT55466.2022.9963188.
- [8] SONG Guan,WANG Yafei,CHEN Ximing,et al. Investigation on electrical characteristic of 3.3 kV SiC MOSFET with integrated SBD[C]// International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Shenzhen,China:IEEE, 2021:1–4.
- [9] MURAKAMI T,SADAMATSU K,IMAIZUMI M,et al. 3 kV comparative study of electrical characteristics between conventional and SBD–embedded MOSFETs for next generation 3.3 kV SiC modules[C]// PCIM Europe digital days 2020, International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Germany: IEEE, 2020:1–5.
- [10] TOMINAGA T,HINO S,MITSUI Y,et al. Superior switching characteristics of SiC–MOSFET embedding SBD[C]// 2019 the 31st International Symposium on Power Semiconductor Devices and ICs(ISPSD). Shanghai,China:IEEE, 2019:27–30. DOI:10.1109/ISPSD.2019.8757664.

作者简介:

孙佳萌(2000–), 女, 在读硕士研究生, 主要研究方向为 SiC 功率器件设计 .email:jiameng_2017@163.com.

付 浩(1996–), 男, 在读博士研究生, 主要研究方向为 SiC 功率半导体器件设计及可靠性研究.

刘斯扬(1987–), 男, 博士, 教授, 博士生导师, 主要研究方向为功率半导体器件设计及可靠性研究.

魏家行(1989–), 男, 博士, 副研究员, 博士生导师, 主要研究方向为宽禁带功率半导体器件及集成技术.

孙伟锋(1977–), 男, 博士, 教授, 博士生导师, 主要研究方向为智能功率器件及可靠性、智能功率集成电路与系统、高性能数模混合集成电路设计.