

文章编号: 2095-4980(2025)04-0317-05

GaN HEMT 器件动态导通电阻的测试电路

刘梦丽, 李 胜, 马岩锋, 刘斯扬*, 孙伟锋

(东南大学 国家专用集成电路系统工程技术研究中心, 江苏 南京 210096)

摘 要: 氮化镓高电子迁移率晶体管(GaN HEMTs)的异质外延工艺导致 GaN HEMT 器件存在陷阱效应, 造成器件在连续瞬态工作条件下的导通电阻产生动态变化(简称动态导通电阻), 并高于静态条件下的理论值, 对功率系统稳定性造成危害, 因此需对 GaN HEMT 器件动态导通电阻高效、精确的测试方法进行研究。本文介绍了 GaN HEMT 器件动态导通电阻的产生机理, 结合实际测试需求, 设计了一种基于超高速电压反馈型运算放大器的新型钳位电路。采用 Pspice 仿真工具对该新型钳位电路进行仿真, 并与其他现有常用钳位电路进行对比。结果表明该电路可以更快速准确地读取器件由关态转为开态后的漏压值, 实现对不同偏置电压和频率下器件导通电阻的表征。

关键词: 氮化镓高电子迁移率晶体管(GaN HEMTs); 陷阱效应; 动态导通电阻; 钳位电路

中图分类号: TN432

文献标志码: A

DOI: 10.11805/TKYDA2024223

Investigation on the test circuit of the dynamic on-state resistance of GaN HEMTs

LIU Mengli, LI Sheng, MA Yanfeng, LIU Siyang*, SUN Weifeng

(National ASIC System Engineering Research Center, Southeast University, Nanjing Jiangsu 210096, China)

Abstract: The heteroepitaxial process of Gallium Nitride High Electron Mobility Transistors (GaN HEMTs) leads to the presence of a trapping effect in GaN HEMT devices. This effect causes dynamic changes in the on-resistance of the devices under continuous transient operating conditions, known as dynamic on-resistance, which is higher than the theoretical value under static conditions. This dynamic on-resistance can pose a threat to the stability of power systems. Therefore, it is necessary to investigate efficient and accurate testing methods for the dynamic on-resistance of GaN HEMT devices. The mechanism of dynamic on-resistance generation in GaN HEMT devices is introduced in this paper. In combination with practical testing requirements, a novel clamping circuit based on an ultra-high-speed voltage feedback operational amplifier is designed. The Pspice simulation tool is employed to simulate this new clamping circuit and compare it with other commonly used existing clamping circuits. The results show that this circuit can more rapidly and accurately read the drain voltage of the device after it transitions from the off-state to the on-state. It also enables the characterization of the device's on-resistance under different bias voltages and frequencies.

Keywords: Gallium Nitride High Electron Mobility Transistors(GaN HEMTs); trapping effect; dynamic R_{on} ; clamping circuit

氮化镓高电子迁移率晶体管(GaN HEMTs)作为宽禁带半导体器件的代表性器件, 具有较高的临界击穿电场、较高的电子迁移率和饱和速度、良好的热导率、较低的导通开关损耗等优势, 在功率半导体器件中得到广泛的关注和研究, 并逐渐在电力电子系统中实现商用^[1]。与 Si 基功率器件相比, GaN HEMT 器件可在更高的开关速度下运行, 但受异质外延工艺的影响, GaN HEMT 器件内部存在大量缺陷(陷阱), 使 GaN HEMT 器件在开关切换的过程中产生不可忽视的电荷捕获现象, 即陷阱效应, 进而导致 GaN HEMT 器件存在明显的导通电阻动态退化现象^[2-5]。在包括关态高压、温度等应力条件的影响下, 器件的动态导通电阻值与静态条件下的导通电阻值相比有较大差异, 甚至高于静态值的 2~3 倍, 造成器件不可预估的导通损耗和器件工作温度的上升, 甚至导致电力电子

收稿日期: 2024-05-08; 修回日期: 2024-08-29

基金项目: 国家自然科学基金资助项目(62204034); 中国博士后科学基金资助项目(2022TQ0061)

*通信作者: 刘斯扬 email:liusy2855@163.com

系统的故障。因此,需要有效的测试电路对不同工作条件下 GaN HEMT 器件的导通电阻进行测试和评估。由于 GaN HEMT 器件动态导通电阻的漏极电压测量既要满足耐高压(上百伏)的要求,又要能够准确测量出开态时漏极较小的开态电压(几伏),受限于示波器的分辨力,开态电压值无法通过示波器准确获取。同时,由于 GaN HEMT 器件快速的开关切换能力,从高压关态到低压开态的过渡周期通常在几十纳秒内,这就要求测试电路同时需要具备快速传感响应的能力。现常用的钳位电路一般基于齐纳二极管、MOSFET 晶体管、SiC 肖特基二极管等^[6-8],虽实现了电压钳位的功能,但存在时间延迟、振荡严重或无法直接获取器件开启时的漏极电压等缺点,增加了快速、精确获取动态导通电阻的难度。2018年,Guacci M 等^[9-10]提出了基于运算放大器的动态电阻钳位电路,该电路可直接读取器件由关态转为开态后的漏极电压值,对快速获取器件的动态导通电阻具有重要意义,但该电路在不同偏置条件下的实际应用效果没有被进一步研究与讨论。

本文首先对 GaN HEMT 器件动态电阻的产生机理进行分析,然后基于实际动态电阻的测试需求,设计了一种基于超高速电压反馈型运算放大器的动态电阻钳位电路。通过仿真分析了该电路在不同漏压和频率下的表现;此外,对比了该电路与其他常用钳位电路的优缺点。

1 动态导通电阻机理及测试电路设计

1.1 GaN HEMT 器件动态电阻的产生机理

受异质外延工艺的影响, GaN HEMT 器件结构中存在大量的缺陷,也称为陷阱,图1为 GaN HEMT 器件结构中的缺陷分布示意图。对于由陷阱效应引发的动态导通电阻现象,普遍认为主要与有源区表面态陷阱和缓冲层陷阱相关。由表面态陷阱引起的器件退化可理解为:当 GaN HEMT 器件处于高压关态时,器件漏极和栅极之间的强电场将导致电子被困于靠近栅极的表面或被激发成为高能热电子,继而被势垒层捕获,导致栅下部分二维电子气(Two-Dimensional Electronic Gas, 2DEG)被耗尽。当器件由高压关态转为开态的瞬间,被捕获的电子无法及时完全释放,导致沟道 2DEG 浓度无法及时恢复,器件导通过程受阻,在宏观上表现为导通电阻增加。高压关态下 GaN HEMT 器件在漏极和栅极之间产生强电场的同时,也在漏极下方产生较大的垂直电场,沟道中 2DEG 在栅、漏之间强电场的作用下被注入缓冲层并被缓冲层陷阱能级捕获。缓冲层陷阱能级捕获和释放电子的过程缓慢,导致缓冲层内部分电子被陷阱捕获并在器件转为开态时无法及时释放,沟道 2DEG 浓度下降,进而引发导通电阻增加。

采用表层钝化和引入场板的方式可缓解高压关态下表面态陷阱的捕获效应,但缓冲层的掺 C 补偿以及晶体缺陷所产生的缓冲层陷阱仍可与从硅衬底注入的电子相互作用^[11],并在高压关态下产生空间电荷,导致电流崩塌,产生动态电阻现象。

1.2 GaN HEMT 器件开、关态的电压电流测试需求

动态导通电阻的测试目标为器件从高压关态切换到开态后的导通电阻,因此需测量器件漏极、源极之间的导通电压和导通电流,再将二者相除得到导通电阻。实际测量中一般采用高精度数字示波器测量器件的导通电压,为能够同时测量器件的关态高压和开态低压,要求示波器的测量范围足够宽,以避免由于示波器内部放大器失真产生的过驱动现象而无法准确测量导通电压。如,8位示波器的模数转换器可提供 $2^8=256$ 个量化电平,若 GaN HEMT 器件关断时漏极承担 400 V 电压,其导通电压为 1 V,则示波器能分辨的最小电压为 $400/256=1.56$ V,这种情况下示波器的测量值并不能反映器件的真实导通电压。图2为器件在 $U_{\text{Bus}}=400$ V 条件下,器件开、关态切换的 U_{ds} 实测波形图,右侧蓝色曲线图为第2周期器件开启后的低压 U_{ds} 波形放大图。可以看到,低压 U_{ds} 波形振荡严重,电压值产生较大波动。因此,受示波器分辨力的影响,直接测量器件 U_{ds} 计算出的动态电阻是不可采用且无意义的。

为解决这一问题,提出了电压钳位电路:将器件关态时的电压钳位在更小的数值以此减小电压摆幅,提高示波器读值的精确度。而钳位电路设计的难点在于既要准确测出导通电压,又要在器件开通后尽快捕捉到导通电压变化,减小振荡和延时,特别是对于 GaN HEMT 高频器件,钳位电路的设计尤为重要。

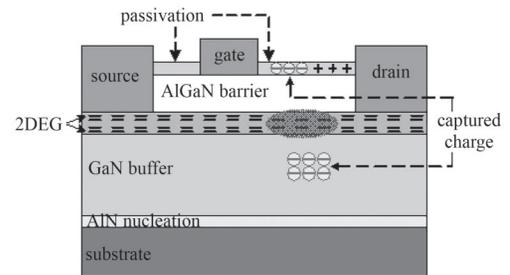


Fig.1 Schematic diagram of defect distribution of GaN HEMT
图1 GaN HEMT 器件中缺陷分布示意

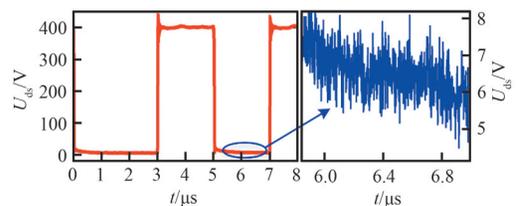


Fig.2 Waveform and enlarged waveform during on-state of U_{ds}
图2 U_{ds} 波形及其开态期间波形放大图

1.3 钳位测试电路原理

本文结合实际测试需求，设计了一种基于超高速电压反馈型运算放大器的动态导通电阻钳位电路。电路原理见图 3 中虚线框，其中 D_1 和 D_2 采用 650 V SiC 肖特基二极管 TRS10E65F，防止关态下待测器件(Device Under Test, DUT)较高的关态漏源电压 U_{ds} 击穿二极管； Z_1 采用 D1N4733 型号的齐纳二极管以稳定电压，防止电压振荡；电压源 $U_{CC}=4\text{ V}$ 以确保 D_1 和 D_2 正常导通；OP1 为超高速电压反馈型运算放大器 ADA4817， U_{-in} 和 U_{+in} 分别为其反向、正向输入端， R_1 和 R_f 分别为输入电阻和反馈电阻， $R_1=R_f=470\ \Omega$ 。需注意，运放器 ADA4817 在此电路中的输入电压为 U_2 ，而非反相输入端的电压 U_{-in} 。

对于 ADA4817，若正向输入端电压 U_{+in} 小于输入电压(相对值)，则运放器处于反向偏置的工作条件；反之，运放器处于正向偏置工作条件。对于图 3 的电路，运放器 ADA4817 的正向输入端电压 $U_{+in}=U_1 < U_2$ ，因此该电路中使用运算放大器 ADA4817 在反向偏置下的基本闭环频率响应，可实现极小误差范围内钳位电路的输出电压 U_m 与 DUT 从关态转为开态后的漏源电压 U_{ds} 实时相等的功能，即 $U_m=U_{ds}$ ，再通过监测到的漏源电流 i_{ds} ，即可求取器件的导通电阻。

将器件在开态下 D_1 、 D_2 两个二极管的导通压降记为 Δ ，则有：

$$U_1 = U_{ds} + \Delta \tag{1}$$

$$U_2 = U_1 + \Delta = U_{ds} + 2\Delta \tag{2}$$

根据运放器的“虚短”和“虚断”原理，可得：

$$U_{-in} = \frac{R_1}{R_1 + R_f} U_m + \frac{R_f}{R_1 + R_f} U_2 = U_{+in} \tag{3}$$

取 $R_1=R_f$ ，则有：

$$U_m = 2U_{+in} - U_2 = U_{+in} + (U_{+in} - U_2) = U_{+in} - \Delta \tag{4}$$

考虑到 $U_{+in}=U_1$ ，则式(4)最终可表示为：

$$U_m = U_1 - \Delta = U_{ds} \tag{5}$$

为更好地说明基于超高速电压反馈型运算放大器在测试精确度方面的优势，以图 4 的常规钳位电路为例进行对比说明。图 4 中漏源电压 U_{ds} 的求取见式(6)，需首先读取二极管 D_1 的导通压降 Δ_{D1} ，再用钳位输出电压 U_m 对其进行减法运算：

$$U_{ds} = U_m - \Delta_{D1} \tag{6}$$

本文所提的钳位电路通过超高速电压反馈型运算放大器工作原理补偿了二极管 D_1 的导通压降 Δ_{D1} ，避免了因读取 Δ_{D1} 带来的误差。因此使用该新型钳位电路，可快速、准确地读取 DUT 开启后的漏源电压。

2 仿真结果与讨论

为进一步验证所提新型钳位电路功能并对其开关延迟时间进行评估，采用 Pspice 仿真软件对该电路进行不同漏压和频率下的仿真，并对仿真结果进行分析讨论。

2.1 不同偏置电压下钳位电路仿真验证

图 5 为使用 Pspice 搭建的电路原理图，其中 DUT 器件为商用 650 V 增强型 GaN HEMT(GS66504B)的 Pspice 仿真模型，偏置电路选用 $100\ \Omega$ 阻性负载。另外，ADA4817 的 Pspice 仿真模型共有 7 个端口，具体连接方式及原理可参见其使用手册。以偏置电压 U_{Bus} 分别为 200 V、300 V、400 V 和 450 V 作为偏置漏压变量，DUT 的脉冲长

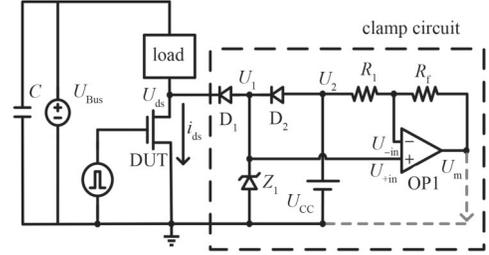


Fig.3 Schematic diagram of the new clamp circuit
图3 新型钳位电路原理图

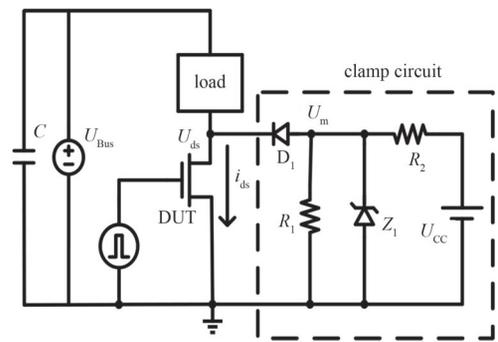


Fig.4 Schematic diagram of general clamp circuit
图4 常规钳位电路原理图

度设置为 4 μs ，占空比 50%，上升沿和下降沿延迟均设置为 100 ns，高电平设置为 5 V 以保证器件正常开启，进行 2 个脉冲周期的仿真。

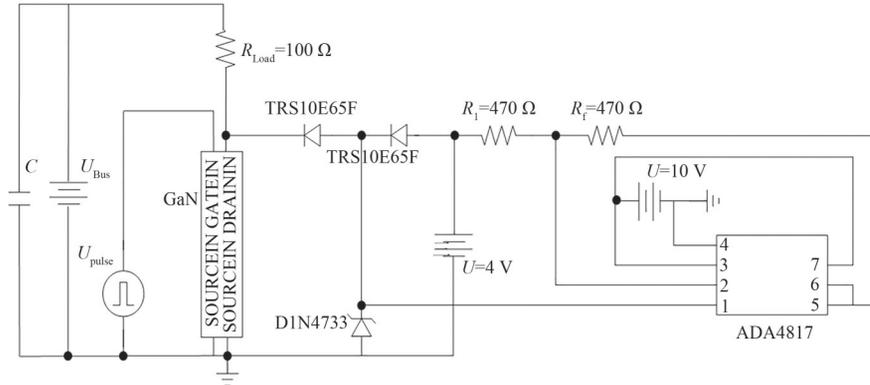


Fig.5 Simulation schematic in Pspice
图 5 Pspice 中仿真原理图

当 $U_{\text{Bus}}=200\text{ V}$ 时，器件的漏源电流 i_{ds} 、漏源电压 U_{ds} 、钳位输出电压 U_{m} 及漏源电压 U_{ds} 与钳位输出电压 U_{m} 的差值波形如图 6 所示。该条件下器件处于关断时，钳位电路将电压钳位在 5 V 左右。选取波形稳定的第 2 个周期，将器件开启期间的漏源电压 U_{ds} 和钳位输出电压 U_{m} 波形放大后进行对比，见图 7。可读出器件从关态转为开态瞬间钳位电路的输出电压 U_{m} 在 274.7 ns 后保持稳定。稳定后的钳位输出电压 U_{m} 与器件在开态下的漏源电压 U_{ds} 相差绝对值： $|U_{\text{ds}}-U_{\text{m}}|=3.151\ 9\ \text{mV}$ ，进而可求得导通电阻值差值为 $3.151\ 9\ \text{mV}/i_{\text{ds}}=0.26\ \text{m}\Omega$ ，误差较小。

在 $U_{\text{Bus}}=300\text{ V}$ 、 400 V 和 450 V 条件下的仿真分析方法相同，对第 2 周期器件开启阶段的分析数据见表 1，其中 ΔU 为器件开启后钳位输出电压 U_{m} 与 U_{ds} 相差绝对值， ΔR_{on} 为根据 U_{m} 和 U_{ds} 分别计算出的导通电阻差值， Δt 为延迟时间，即从关态转为开态后 U_{m} 达到稳定值所经过的时间。

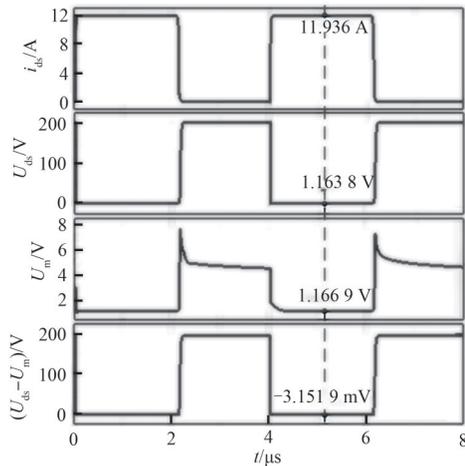


Fig.6 Simulation waveforms with $U_{\text{Bus}}=200\text{ V}$
图 6 $U_{\text{Bus}}=200\text{ V}$ 仿真波形

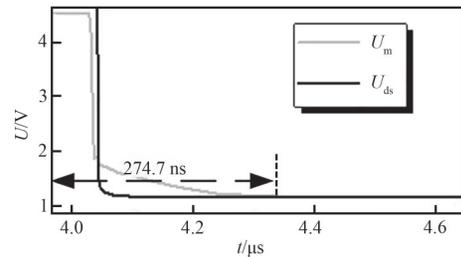


Fig.7 Voltage waveform in on-state
图 7 开态电压波形图

从表 1 可以看出，该钳位电路在不同偏置电压 U_{Bus} 下均可实现输出较为理想的钳位电压值，且随着 U_{Bus} 的增加，钳位电压值达到稳定状态的延迟时间呈减少的趋势。

表 1 不同 U_{Bus} 电压下波形数据分析

Table1 Data analysis table of waveforms at different U_{Bus} voltages

U_{Bus}/V	U_{ds}/V	U_{m}/V	$\Delta U/\text{mV}$	i_{ds}/A	$\Delta R_{\text{on}}/\text{m}\Omega$	$\Delta t/\text{ns}$
200	1.163 8	1.166 9	3.151 9	11.936	0.260 0	274.7
300	1.209 3	1.212 0	2.760 6	12.395	0.222 7	262.4
400	1.254 9	1.258 0	3.077 9	12.856	0.239 4	194.6
450	1.277 9	1.280 8	2.939 8	13.086	0.224 6	161.5

2.2 不同频率下钳位电路仿真验证

为进一步验证该电路在不同条件下的可行性，进行不同频率下的仿真验证，对器件在 $U_{\text{Bus}}=400\text{ V}$ 条件下，分别进行 5 kHz、10 kHz、100 kHz 频率下的仿真。器件在第 2 周期开启阶段的仿真数据分析见表 2。从表 2 可以看出，在误差范围内该电路在不同频率条件下均可实现稳定输出 $U_{\text{m}}=U_{\text{ds}}$ 的功能。

表2 不同频率下波形数据分析

Table2 Data analysis table of waveforms at different frequencies

f/kHz	U_{ds}/V	U_m/V	$\Delta U/\text{mV}$	i_{dk}/A	$\Delta R_{on}/\text{m}\Omega$	$\Delta t/\text{ns}$
5	1.254 9	1.258 9	3.976 9	12.85 6	0.309 3	12
10	1.254 9	1.258 9	3.987 9	12.85 6	0.310 2	20
100	1.254 9	1.258 5	3.525 3	12.85 6	0.274 2	9

2.3 不同钳位电路的分析对比

图 8 为目前文献报道的常用钳位电路类型^[6]，其各自的优缺点可参考 T/CASAS/TR 003-2022 《分立 GaN HEMT 功率器件动态电阻评估》技术报告。以图 8(a)、图 8(c)和图 8(d)为例，在 $U_{Bus}=300\text{ V}$ ，脉冲及负载条件相同的情况下，与本文所研究的钳位电路进行对比。在第 2 周期器件开启阶段的仿真结果对比见表 3，可以看出，虽然图 8(a)、图 8(c)电路可在器件开启时直接读取 U_{ds} ，但图 8(a)电路中电阻与其他寄生参数导致了非常大的 RC 延迟时间；而图 8(c)电路虽延迟时间较短，但引入 MOSFET 器件会导致电路产生振荡；图 8(d)电路虽延迟时间较短，但无法直接读取 U_{ds} 。因此综合电路实际功能性、操作简易度以及精确度要求，本文所设计的新型钳位电路具有更加明显的优势。

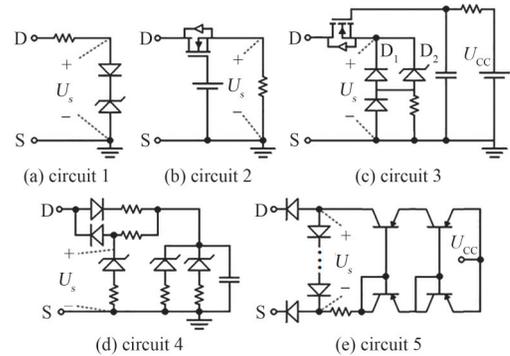


Fig.8 Diagram of existing clamping circuits
图8 现有钳位电路原理图

表3 $U_{Bus}=300\text{V}$ 条件下不同钳位电路仿真结果对比

Table3 Comparison of simulation results of different clamp circuits with $U_{Bus}=300\text{ V}$

	U_{ds}/V	U_m/V	i_{dk}/A	$\Delta t/\text{ns}$	oscillating	reading U_{ds} directly
Fig.3	1.209 3	1.212 0	12.395 0	262.4	×	√
Fig.8(a)	0.289 6	0.299 7	2.997 1	1 976.0	×	√
Fig.8(c)	0.295 3	0.296 6	2.980 5	124.9	√	√
Fig.8(d)	0.297 0	1.158 5	3.069 0	13.3	×	×

3 结论

由于 GaN HEMT 器件的动态导通电阻测试对示波器的精确度有极高的要求，但精确度较高的示波器价格昂贵，因而钳位电路应运而生。考虑到钳位电路应具有高耐压、低振荡、高时间精确度、高电压精确度等特性，本文提出一种基于超高速电压反馈型运算放大器的动态导通电阻钳位电路。该钳位电路基于超高速电压反馈型运算放大器 ADA4817、高耐压的 SiC 肖特基二极管、稳压管等关键元器件，可实现快速、准确地读取器件由关态转为开态后的低漏压值，解决了现有常用钳位电路需通过一定公式运算才可获取器件开态低漏压的问题。对该新型钳位电路进行不同电压偏置和不同频率条件下的仿真，结果表明：该新型钳位电路可实现对器件开态低漏压精确、快速地表征，有利于对 GaN HEMT 器件进行不同条件下导通电阻的测试和评估。

参考文献：

[1] CHEN K J,HÄBERLEN O,LIDOW A,et al. GaN-on-Si power technology:devices and applications[J]. IEEE Transactions on Electron Devices, 2017,64(3):779-795. doi:10.1109/TED.2017.2657579.

[2] LI K,EVANS P L,JOHNSON C M. Characterisation and modeling of gallium nitride power semiconductor devices dynamic on-state resistance[J]. IEEE Transactions on Power Electronics, 2017,33(6):5262-5273. doi:10.1109/TPEL.2017.2730260.

[3] GUPTA S D,JOSHI V,CHAUDHURI R R,et al. On the root cause of dynamic on resistance behavior in AlGaN/GaN HEMTs[C]// 2020 IEEE International Reliability Physics Symposium(IRPS). Dallas, TX, USA: IEEE, 2020: 1-4. doi: 10.1109/IRPS45951.2020.9128226.

[4] ROY C,PARKHIDEH B. Design consideration for characterization and study of dynamic on state resistance of GaN devices[C]// 2019 IEEE the 7th Workshop on Wide Bandgap Power Devices and Applications(WiPDA). Raleigh,NC,USA:IEEE, 2019:181-186. doi:10.1109/WiPDA46397.2019.8998909.

[5] 李瑞. 增强型 GaN 功率器件的动态电阻测试及分析[D]. 杭州:浙江大学, 2019. (LI Rui. Dynamic resistance test and analysis of e-mode GaN power devices[D]. Hangzhou,China:Zhejiang University, 2019.)