

文章编号: 2095-4980(2025)04-0331-09

基于 SiC DSRD 纳秒级高压脉冲产生电路关键参数研究

杨 早, 陈万军, 陈资文

(电子科技大学 集成电路科学与工程学院, 四川 成都 611731)

摘要: 介绍了一种基于漂移阶跃恢复二极管(DSRD)的纳秒级高压脉冲产生电路的工作原理, 对该电路进行建模, 并根据模型讨论了影响脉冲输出特性的关键电路参数。实验中采用本实验室研制的高压碳化硅(SiC) DSRD 器件在 50Ω 的标准负载上得到了峰值为 2.27 kV, 上升时间为 1.846 ns 的纳秒级脉冲电压, 并在此基础上改变电路中的关键参数进行测试, 得到的脉冲电压峰值变化趋势与从模型中分析的保持一致, 验证了模型的合理性。考虑到开关管在关断过程中的漏源极产生的电压过冲问题, 在开关管漏源极两端并联缓冲电容, 并通过实验调整其参数, 在不影响 DSRD 脉冲放电电压峰值的情况下, 降低开关管漏源极两端过冲电压。

关键词: 漂移阶跃恢复二极管; 电路参数; 脉冲电路; 纳秒级; 碳化硅

中图分类号: TN312

文献标志码: A

DOI: 10.11805/TKYDA2024517

Investigation on key parameters of nanosecond high voltage pulse circuit based on SiC DSRD

YANG Zao, CHEN Wanjun, CHEN Ziwen

(School of Integrated Circuit Science and Engineering, University of Electronic Science and Technology of China, Chengdu Sichuan 611731, China)

Abstract: The working principle of a nanosecond-level high-voltage pulse generation circuit based on a Drift Step Recovery Diode(DSRD) is introduced. The circuit is modeled, and the key circuit parameters that affect the pulse output characteristics are discussed based on the model. In the experiment, a high-voltage Silicon Carbide(SiC) DSRD device developed in the author's laboratory is employed to generate a nanosecond-level pulse voltage with a peak value of 2.27 kV and a rise time of 1.846 ns on a standard load of 50Ω . By changing the key parameters in the circuit, the variation trends of the pulse voltage peak obtained from the tests are consistent with the analysis from the model, which validates the rationality of the model. Considering the voltage overshoot issue at the drain-source terminals of the switch during the turn-off process, a buffer capacitor is connected in parallel across the drain-source terminals. The parameters of the buffer capacitor are adjusted experimentally to reduce the overshoot voltage at the drain-source terminals without affecting the peak voltage of the DSRD pulse discharge.

Keywords: Drift Step Recovery Diode(DSRD); circuit parameters; pulse circuit; nanosecond; silicon carbide

脉冲功率技术是将一个在电容或电感中储存较长时间的能量, 经过快速压缩、转换, 最后有效释放给负载的科学技术^[1]。脉冲功率技术的研究领域最初主要集中在电磁推动器、核爆模拟等国防军事领域, 随着技术的发展, 后来逐步拓展到材料研究、环境保护、生物医学等民用领域^[2-3]。在脉冲功率技术中, 脉冲功率开关对脉冲系统的整体性能指标(如脉冲输出峰值、脉冲上升时间、脉冲重复频率等)有极大影响, 因此脉冲功率开关是脉冲功率系统中重要的组成部分。

1985 年, 俄罗斯约飞实验室提出了一种基于可控等离子体层换流思想的半导体断路开关器件漂移阶跃恢复二极管(DSRD), 表现出超快恢复的特性, 能够产生纳秒级前沿的输出电压。因为其稳定性较高, 开关速度较快

以及制备工艺简单,因此 DSRD 器件作为脉冲功率开关备受瞩目^[4]。早期的 DSRD 器件为 P⁺N⁻N⁺三层结构,随着工艺水平的不断进步,DSRD 器件多采用 P⁺P⁻N⁻N⁺四层结构。DSRD 器件配合外部的触发电路,能够将储存在储能元件中的能量在极短时间内转移给负载,从而在负载上产生纳秒甚至是亚纳秒级的高压脉冲信号。目前,典型的硅基 DSRD 器件产生的脉冲电压峰值小于 2 kV,关断时间小于 2 ns,重复频率小于 300 kHz^[5]。随着脉冲应用所需电压等级水平和开关速度的不断提高,硅材料逐渐接近理论极限,迫切需要一种新型材料提高 DSRD 器件的性能。2002 年, I V Grekhov 等^[6]采用碳化硅材料制造出 DSRD 器件,测试结果表明,该器件具有超快关断 (<1 ns) 电流的能力。利用 4H-SiC 材料所具有的高临界击穿电场可制作更高击穿电压的单芯片 DSRD 器件,同时其更高的载流子饱和漂移速度使器件具有更高的关断速率,从而有利于在负载上获得性能参数更优的高压脉冲信号。

外部电路对 DSRD 器件的工作特性有很大的影响,对基于 DSRD 的脉冲产生电路的研究至关重要。采用单开关控制的脉冲产生电路因其电路结构简单、控制信号易于实现的特点备受研究者瞩目。2013 年, L M Merensky 等^[7]采用该电路结构,得到了峰值为 2.2 kV,上升时间为 1 ns 的输出脉冲电压,并对该电路的效率进行了研究。2018 年,王亚杰等^[8]对该电路进行仿真研究,针对输出电压为 2 kV 的脉冲源,给出了电路中的各元件参数选择。2021 年, FANG 等^[9]对该电路中参数与泵浦电流之间的关系进行分析,通过多路并联,研制了 5 MHz 高重频 DSRD 脉冲发生器,脉冲输出电压大约为 2 kV。目前研究人员对该 DSRD 脉冲产生电路的研究仍具有局限性,鲜少有研究系统地针对电路进行建模分析,并搭建测试平台进行实验分析验证。

因此,本文对该纳秒级高压脉冲产生电路进行建模,得到负载输出电压的表达式,并从中分析出电路中的关键参数对输出电压特性的影响,得到了关键电路参数的取值范围。实验中采用本实验室制作的一款 3.3 kV 的高压 SiC DSRD 器件,搭建纳秒级高压脉冲产生电路对 DSRD 器件进行测试。通过选择合适的电路参数,在负载上得到了高压脉冲信号,并在此基础上改变电路中的关键参数,观察负载上获得的脉冲电压的变化趋势,测试结果表明该模型能够解释负载上的脉冲电压峰值与电路中的关键参数的定性关系,同时能从定量角度较为精确地给出电路中的关键参数的取值。最后,通过在电路中开关管的漏源极两端并联缓冲电容提高该电路的可靠性。

1 基于 SiC DSRD 纳秒级高压脉冲产生电路关键参数研究

1.1 基于 SiC DSRD 纳秒级高压脉冲产生电路的工作原理

图 1 为本文采用的纳秒级高压脉冲产生电路拓扑结构,其特点在于使用一个开关就能同时控制 DSRD 器件工作时的双向泵浦电流^[10]。

根据 DSRD 工作原理,电路分为 3 个阶段: a) 静态阶段; b) 正向泵浦阶段; c) 反向泵浦阶段。在静态阶段中,偏置电压 U_{DD} 和 U_{BIAS} 向电容 C_2 进行充电 ($U_{DD} > U_{BIAS}$); 在正向泵浦阶段,开关管 S_1 开启, U_{DD} 给电感 L_1 充电,同时电容 C_2 经过 L_1 与开关管 S_1 、电感 L_2 、DSRD 器件形成的回路放电, DSRD 器件流过正向泵浦电流,器件漂移区存储等离子体。经过 ΔT 后关断 S_1 , DSRD 器件进入反向泵浦工作阶段,开关 S_1 迅速变为高阻抗,此时 DSRD 器件漂移区中还存储着上一阶段注入的等离子体,器件仍保持低阻抗,于是流经 L_1 的电流被切换路径,流过 L_1 与 L_2 、 C_2 、DSRD 器件形成的回路,对 L_2 充电的同时使 DSRD 器件流过反向泵浦电流,抽取前一阶段器件存储的等离子体。当前一阶段器件积累的等离子体被抽取完后,器件阻抗迅速上升,电感 L_2 上的电流被切换至负载 R_L 上,于是在 R_L 上形成高压脉冲信号。

1.2 基于 SiC DSRD 纳秒级高压脉冲产生电路的理论建模

为深入研究基于 SiC DSRD 纳秒级高压脉冲产生电路的脉冲放电过程,对该电路各工作阶段进行理论分析,剖析输出特性与电路参数之间的关系。由于电路中各参数主要通过影响正向泵浦阶段以及反向泵浦阶段流过 DSRD 器件的电流来影响输出电压,因此主要对 DSRD 器件工作的正向泵浦阶段以及反向泵浦阶段进行建模。

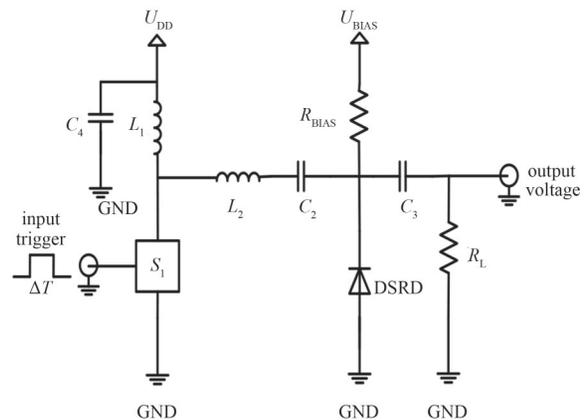


Fig.1 Circuit structure for nanosecond high voltage pulse generation
图 1 纳秒级高压脉冲产生电路结构

1.2.1 正向泵浦阶段建模

DSRD 器件正向泵浦阶段等效电路图如图 2 所示。在初始阶段开关 S_1 导通，与电感 L_1 以及电阻 R_d (包括开关 S_1 导通电阻 R_s 以及回路的寄生电阻) 组成一阶电路，如图 2 通路一所示。同时电容 C_2 、电感 L_2 、开关管 S_1 、DSRD 组成二阶振荡电路，如图 2 通路二所示。

由于稳压电容 C_4 取值一般较大，其两端的电压近似等于 U_{DD} ，则一阶电路的电路方程满足式(1)：

$$\begin{cases} L_1 \frac{di_{L1}}{dt} + i_{L1} R_d = U_{DD} \\ i_{L1}(0) = 0 \end{cases} \quad (1)$$

通过求解式(1)，得到流过电感 L_1 的电流大小 i_{L1} ：

$$i_{L1} = \frac{U_{DD}}{L_1} \Delta T e^{-\frac{R_d}{L_1} \Delta T} \quad (2)$$

可见，流过电感 L_1 的电流主要与电感 L_1 的感值、偏置电压 U_{DD} 的值以及开关管开启时间 ΔT 有关。

通路二的电路方程由式(3)给出，其中电阻 R_0 包括开关管和 DSRD 器件正向导通电阻以及回路中的寄生电阻。

$$\begin{cases} L_2 C_2 \frac{d^2 u_{C2}}{dt^2} + R_0 \frac{du_{C2}}{dt} + u_{C2} = 0 \\ i_{L2} = C_2 \frac{du_{C2}}{dt} \\ u_{C2}(0) = U_{DD} - U_{BIAS} \\ i_{L2}(0) = 0 \end{cases} \quad (3)$$

由于开关管和 DSRD 器件均处于正向导通状态，它们的正向导通电阻相对于通路二的特征电阻可忽略不计，因此电容 C_2 和电感 L_2 工作在二阶过阻尼状态下。通路二中，DSRD 器件与电感 L_2 为串联关系，流过 DSRD 器件的电流和流过电感 L_2 的电流相等。为保证在开关管开启时间内，流过 DSRD 器件的电流始终为正向电流，DSRD 器件存储等离子体，必须使正向脉冲宽度(即开关管开启时间 ΔT) 小于电容 C_2 、电感 L_2 振荡的半周期^[9]。于是，通过求解通路二的电路方程，流过 DSRD 器件的电流 i_+ 可近似由式(4)给出：

$$i_+ = i_{L2} \approx (U_{DD} - U_{BIAS}) \sqrt{\frac{C_2}{L_2}} \sin(\omega \Delta T) \quad (4)$$

可以看出，通过调整偏置电压 U_{DD} 的值，可以方便地控制正向泵浦电流的大小。调整开关管开启时间，可以控制正向泵浦电流脉冲宽度，进而控制正向泵浦阶段中 DSRD 器件储存的等离子体。前提是正向脉冲泵浦宽度满足式(5)：

$$\Delta T \leq \pi / \omega = \pi \sqrt{L_2 C_2} \quad (5)$$

当正向泵浦脉冲宽度大于电容 C_2 、电感 L_2 振荡的半周期时，通路二的电流将反向，使 DSRD 储存的等离子体被提前抽取，应避免这种情况。因此，为使开关管开启时间 ΔT 能在更大范围内进行调整，根据式(5)，选取的电容 C_2 应大于 10 nF。

1.2.2 反向泵浦阶段

DSRD 器件工作的反向泵浦阶段的等效电路如图 3 所示。在开关 S_1 关断的初始时刻，电感 L_1 的电流在开关管的作用下切换路径，由于正向注入的载流子使 DSRD 器件保持较低阻抗，由 L_1 、 L_2 、 C_2 、DSRD 器件组成的通路三导通。此时流过 DSRD 器件的电流近似等于流过电感 L_2 的电流。为保证 L_1 储

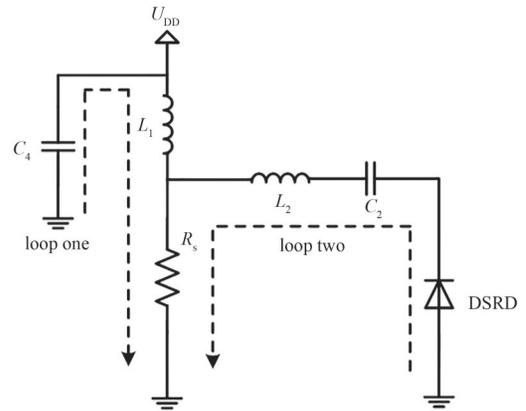


Fig.2 Equivalent circuit diagram of forward pumping stage
图2 正向泵浦阶段等效电路图

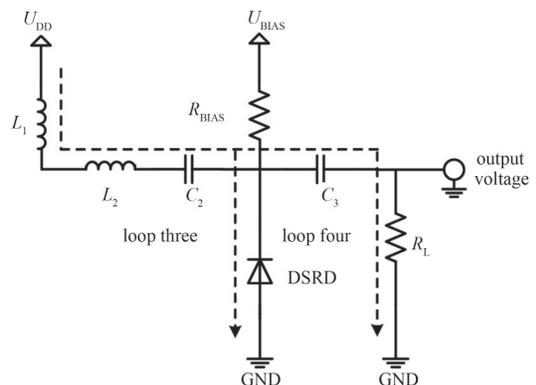


Fig.3 Equivalent circuit diagram of reverse pumping stage
图3 反向泵浦阶段等效电路图

存的能量最大程度上传递给 L_2 , L_1 电感的值应等于 L_2 ^[11]。

当正向注入的载流子被抽取完后, DSRD 快速断开, 阻抗随时间迅速增加, 于是流过 DSRD 器件的电流被切换到由 L_1 、 L_2 、 C_2 、 C_3 、 R_L 组成的通路四, 在负载上产生高压纳秒级脉冲电压。

因为电容 C_3 只是隔离电源 U_{BIAS} 和负载 R_L 的作用, 其取值过小会对输出有较大的分压, 使负载上的输出电压峰值降低。电容 C_3 的取值应足够大:

$$Z_{C_3} = \frac{1}{\omega_0 C_3} \ll R_L \quad (6)$$

根据式(6), 电容 C_3 取值应远大于 26 pF, 这样对负载上的脉冲输出峰值影响较小。

在 DSRD 器件快速断开的过程中, 其阻抗 $R_D(t)$ 随时间迅速增加。将 DSRD 器件与 C_3 、负载 R_L 看成一个系统, 其总阻抗 R_{Total} 满足式(7):

$$R_{Total} = \frac{\left(R_L + \frac{1}{\omega_0 C_3}\right) R_D(t)}{\left(R_L + \frac{1}{\omega_0 C_3}\right) + R_D(t)} \approx \frac{R_L R_D(t)}{R_L + R_D(t)} \quad (7)$$

在 DSRD 器件关断的过程中, DSRD 器件的阻抗快速增大至 $M\Omega$ 级别, 与负载 R_L 相比, 对放电时间常数的影响可忽略, 因此 R_{Total} 的值近似等于 R_L 。流过电感 L_2 上的电流按照电感 L_2 与 R_{Total} 组成的 RL 振荡电路的时间常数开始衰减, 直到 DSRD 完全关断, 流过电感 L_2 的电流被切换到负载 R_L 上, 得到负载上流过的最大电流 $I_{R_L, max}$:

$$I_{R_L, max} = I_{L_2, max} e^{-\frac{t_0}{L_2/R_{Total}}} \quad (8)$$

式中: $I_{L_2, max}$ 为反向泵浦阶段电感 L_2 上流过的电流最大值; t_0 为 DSRD 器件完全关断所需要的时间。当 L_1 能量完全转移到 L_2 上时, DSRD 器件开始关断, 则 $I_{L_2, max} = I_{L_1}$ 。结合式(2), 负载上输出电压的最大值为:

$$U_{R_L, max} = R_L I_{R_L, max} = \frac{U_{DD} \Delta T R_L}{L_1} e^{-\frac{R_d \Delta T}{2L_1}} e^{-\frac{t_0}{L_2/R_{Total}}} \quad (9)$$

从式(9)可以看出, 电路中的关键参数为开关管 S_1 开启时间 ΔT 、偏置电压 U_{DD} 、电感 L_1 , 它们的值在很大程度上会影响负载上输出电压峰值。

为进一步探究负载上输出电压峰值 $U_{R_L, max}$ 与开关管 S_1 开启时间、偏置电压 U_{DD} 以及电感 L_1 的关系, 将 $U_{R_L, max}$ 对 ΔT 求偏导:

$$\frac{\partial U_{R_L, max}}{\partial \Delta T} = \frac{U_{DD} R_L}{L_1} e^{-\frac{R_d \Delta T}{2L_1}} e^{-\frac{t_0}{L_2/R_{Total}}} \left[1 - \frac{R_d}{2L_1} \Delta T \right] \quad (10)$$

从式(10)可以看出, 其他参数一定时, 负载电压峰值随开关管 S_1 开启时间 ΔT 的增加呈现先增加后减小的趋势。这是由于改变开关管 S_1 开启时间 ΔT 能够改变在正向泵浦阶段储存在电感 L_1 中的能量大小, 使 DSRD 关断时刻流过电感 L_2 的电流不同, 进而影响负载上输出的脉冲电压峰值。根据式(9)绘制 $U_{DD}=200$ V, $L_1=100$ nH 时, 负载上输出的电压峰值随开关管开启时间 ΔT 的变化曲线, 如图 4 所示。可见, ΔT 的取值过小或过大都会使负载上输出电压峰值急剧下降, 定义输出电压下降 10% 的范围为 ΔT 的最佳取值范围, 则 ΔT 应在 50~200 ns 范围内取值, 如图 4 黄色区域所示。

负载上输出电压峰值 $U_{R_L, max}$ 与电感 L_1 的关系为:

$$\frac{\partial U_{R_L, max}}{\partial L_1} = \frac{U_{DD} \Delta T}{L_1^2} e^{-\frac{R_d \Delta T + 2tR_d}{2L_1}} \left[\frac{R_d \Delta T + 2R_L t}{2L_1} - 1 \right] \quad (11)$$

从式(11)可以看出, 其他参数一定时, 负载电压峰值随电感 L_1 值的增加呈现先增加后减小的趋势。调整电感 L_1 的值可方便调整正向泵浦阶段流过电感 L_1 的电流。负

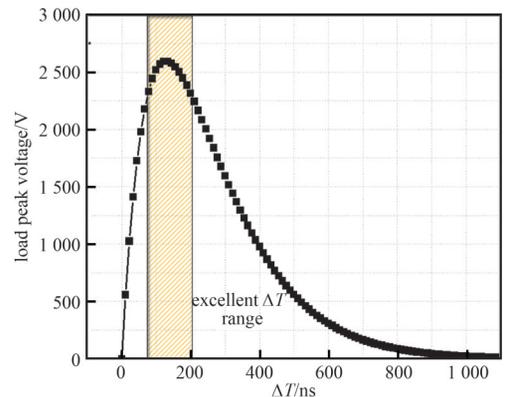


Fig.4 Waveform of load peak voltage by changing ΔT
图 4 负载输出电压峰值随 ΔT 的变化曲线

载上的电压峰值变化趋势与正向泵浦阶段流过电感 L_1 的电流变化趋势一致。在 $U_{DD}=200\text{ V}$, $\Delta T=100\text{ ns}$ 时, 负载上输出的电压峰值随电感 L_1 值的变化曲线如图 5 所示。从图 5 中可以看出, L_1 的取值过大或过小都会使负载上的脉冲电压峰值急剧下降。电感 L_1 取值应该在几十至几百 nH 数量级范围内, 考虑到电路中存在的寄生电感, 实际电感取值范围在 50~200 nH 内, 如图 5 黄色区域所示。

负载上输出电压峰值 $U_{R_{l,max}}$ 与电压 U_{DD} 的关系为:

$$\frac{\partial U_{R_{l,max}}}{\partial U_{DD}} = \frac{\Delta TR_{L_1}}{L_1} e^{-\frac{R_{L_1}}{2L_1}\Delta T} e^{-\frac{t_0}{L_1/R_{Total}}} \quad (12)$$

U_{DD} 通过改变流经电感 L_1 的电流以改变 DSRD 反向泵浦电流的最大值。 U_{DD} 越大, 理论上反向泵浦电流能达到的最大值 $I_{L_2,max}$ 也越大。但从式(4)中能看出, U_{DD} 会通过影响电容 C_2 上的初始电压影响流过 DSRD 的正向泵浦电流, 从而改变正向阶段注入 DSRD 器件漂移区的载流子。因此, U_{DD} 过大会使正向注入的载流子过多, 导致反向抽取载流子的时间超过反向电流到达峰值的时间, 这样器件并非在反向电流达到峰值的时候关断, 使负载上的输出电压峰值下降, 因此 U_{DD} 取值也有一个优值。在参数匹配最佳的条件下, 通过式(9)可计算得到负载上的峰值电压为 U_{DD} 的 10~15 倍, 因此 U_{DD} 应在器件耐压的 1/15~1/10 范围内取值。

2 实验验证

2.1 实验环境的搭建

用于产生高压脉冲的 SiC DSRD 器件由实验室研发, 图 6 为器件的实物图。该器件具有 P⁺P⁻N⁻N⁺(1 μm/3×10¹⁹ cm⁻³; 4 μm/1×10¹⁷ cm⁻³; 35 μm/1×10¹⁵ cm⁻³; 350 μm/5×10¹⁸ cm⁻³)4 层结构, 其耐压为 3.3 kV, 正向导通电压为 3.25 V@100 mA。

图 7 为所搭建的测试环境。示波器的型号为 Tektronix MSO54B, 模拟带宽为 1 GHz; 高压探头的型号为 Tektronix THDP0100, 能够测量高达 6 kV 的高压信号, 探头带宽为 100 MHz; 开关管选择 IXYS 公司的射频 N 沟道横向扩散金属氧化物半导体(Laterally Diffused Metal Oxide Semiconductor, LDMOS), 型号为 DE475-10N21A, 该 MOS 开关具有极快的开关速度, 在栅源电压 $U_{GS}=15\text{ V}$ 的条件下, 开关管的导通时间 $T_{d(on)}=5\text{ ns}$, 关断时间 $T_{d(off)}=8\text{ ns}$, 极大程度地减小了开关管关断过程中电路中的能量损耗, 使测试的结果更接近于理论分析。

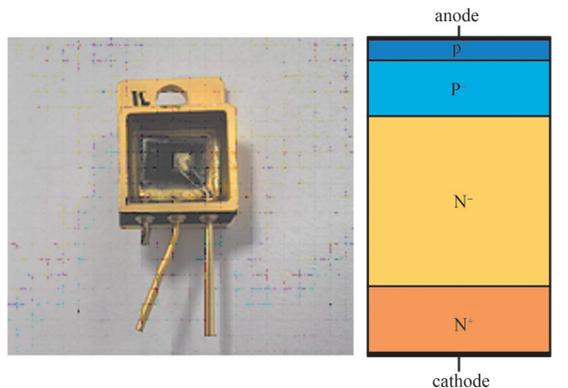


Fig.6 Physical diagram and structure of 3.3 kV SiC DSRD device
图 6 3.3 kV SiC DSRD 器件实物图及结构图

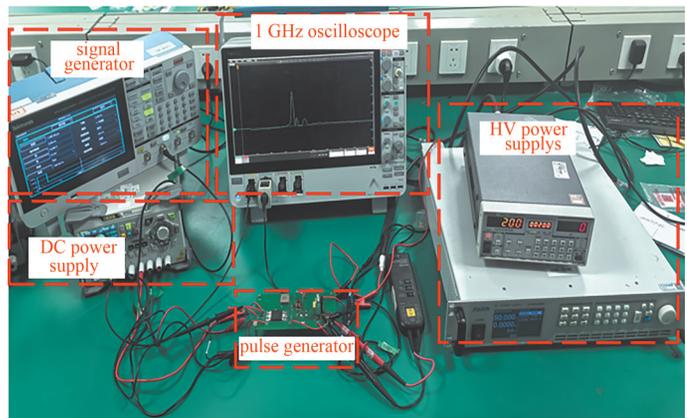


Fig.7 Picture of measurement hardware and pulse generator with SiC DSRD
图 7 测试环境的搭建和基于 SiC DSRD 的脉冲发生器

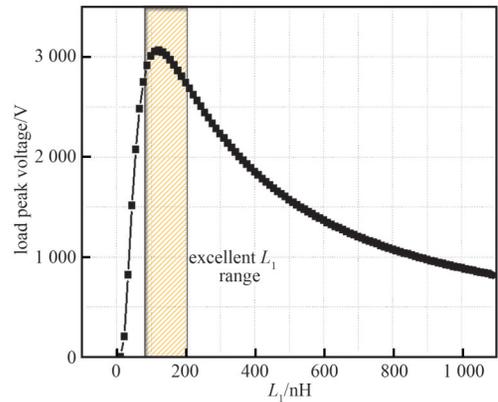


Fig.5 Waveform of load peak voltage by changing L_1
图 5 负载输出电压峰值随 L_1 的变化曲线

按照前文的参数选择范围对电路中各参数进行选择, 各参数值由表 1 给出。图 8 为在 50 Ω 标准负载上测试得到的输出波形。从图 8 中可以看出, 负载上输出的脉冲电压峰值为 2.27 kV, 上升时间为 1.846 ns。

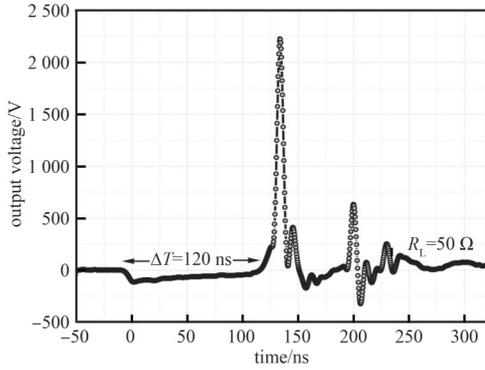


Fig.8 Measurements of output voltage with $R_L=50 \Omega$
图8 50 Ω 负载上测试得到的输出电压

表 1 电路中的参数选择

Table 1 Parameter selection in circuits

circuit parameter	value
U_{DD}/V	300
U_{BIAS}/V	50
L_1/nH	66
L_2/nH	66
C_2/nF	100
C_3/nF	100
$\Delta T/ns$	120

2.2 偏置电压 U_{DD} 对基于 SiC DSRD 纳秒级高压脉冲产生电路的影响

为验证前文函数模型中关键参数对输出脉冲峰值的影响，改变电路中的关键参数开关管 S_1 开启时间 ΔT 、偏置电压 U_{DD} 、电感 L_1 ，观察输出脉冲的变化趋势。首先改变偏置电压 U_{DD} ，图 9 给出了不同偏置电压 U_{DD} 下，负载上输出的脉冲电压峰值变化。负载上输出的脉冲电压峰值随偏置电压 U_{DD} 的增加呈现先增加后减小的趋势。实验结果与函数模型中分析的一致。在偏置电压较小的情况下，随着偏置电压 U_{DD} 的增大，DSRD 器件正向泵浦工作，流经电感 L_1 的电流增加，使电感 L_1 上的储能增加，这部分能量在开关管关断后转移到电感 L_2 上，使 DSRD 在开始关断时刻，流过电感 L_2 的电流增加，从而使负载上脉冲输出电压峰值提高。当 U_{DD} 过大时，正向泵浦阶段流过 DSRD 的电流很大，从而使正向阶段 DSRD 器件储存的载流子过多，这样，在反向电流达到最大值时，DSRD 器件因正向阶段存储的载流子没有被抽取干净仍保持低阻抗，这样在器件关断时刻，流过电感 L_2 的电流会越过反向电流的最大值，从而使输出电压降低。同时，过大的偏置电压 U_{DD} 也会造成能量的浪费。从图 9 还可以看出，负载上的脉冲电压峰值为 U_{DD} 的 10~15 倍，与前文分析一致。

2.3 电感 L_1 对基于 SiC DSRD 纳秒级高压脉冲产生电路的影响

图 10 为改变电感 L_1 的值，负载上输出的脉冲电压峰值变化趋势图。负载上输出的脉冲电压峰值随着电感 L_1 取值的增加呈现先增加后减小的趋势，与从函数模型中式(11)得到的结果一致。从式(2)中能看出，当电感 L_1 的取值较小时，DSRD 器件工作在正向泵浦阶段时流经 L_1 的电流较小；同时根据式(4)，流经 DSRD 器件正向电流较大。这样，一方面，在反向泵浦阶段流经电感 L_2 的电流峰值较低，另一方面，器件关断时流过电感 L_2 的反向电流可能越过其峰值，使得在器件关断时流过电感 L_2 的反向电流的值更低，从而使负载上脉冲过低。 L_1 过大时，根据式(4)，流过 DSRD 器件的正向电流过小，因此，DSRD 器件正向泵浦阶段储存的等离子体过低。在 DSRD 器件工作在反向泵浦阶段时，其正向阶段储存的等离子体被迅速抽离，从而使得器件在反向电流最大值到来前提前关断，同时根据式(2)，过大的 L_1 取值也会使器件工作在正向泵浦阶段时流过电感 L_1 的电流降低，使流过电感 L_2 反向电流的最大值也会降低。同时从图 10 中可以看出，负载上输出电压峰值最大时，电感 L_1 的取值为 90 nH，在前文得到的取值范围内。

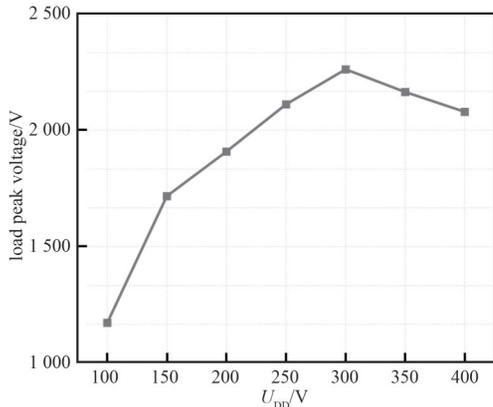


Fig.9 Measured load peak voltage under different values of U_{DD}
图9 不同偏置电压 U_{DD} 下负载上得到的脉冲电压峰值

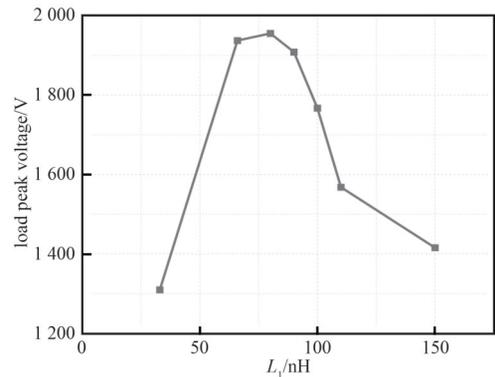


Fig.10 Measured load peak voltage under different values of L_1
图10 不同开关管开启时间 L_1 下负载上得到的脉冲电压峰值

2.4 开关管开启时间 ΔT 对基于 SiC DSRD 纳秒级高压脉冲产生电路的影响

图 11 为改变开关管开启时间 ΔT ，负载上输出的脉冲电压变化趋势图。负载上输出的脉冲电压峰值随着 ΔT 的取值的增加呈现先增加后减小的趋势，与式(10)中得到结果一致，通过调整开关管开启时间 ΔT ，可以方便地控制负载电压的峰值，且在实验中最容易实现。当 ΔT 较小，DSRD 器件正向泵浦阶段储存的等离子体数量比较少，同时流过电感 L_1 的电流较小，导致反向泵浦阶段 DSRD 器件在很小的电流下关断，电感 L_2 上储存的能量过低，从而在负载上得到的脉冲峰值较低。而当 ΔT 较大时，流经电感 L_1 的电流也开始下降，使流过电感 L_2 的反向电流最大值下降，从而使负载上输出的电压峰值降低。 ΔT 过大，可能超过通路二电流振荡的半周期，使 DSRD 器件的电流可能在此阶段反向，造成器件储存的等离子体减少。这样，在负载上得到的脉冲电压峰值也会降低。同时从图 11 中可以看出，负载上输出电压峰值最大时，开关管开启时间 ΔT 取值为 130 ns，位于前文得到的取值范围内。

相比文献[8]、[12]、[13]中利用仿真大量拉偏来确定脉冲产生电路各参数优值，利用该模型能够解释负载上的脉冲电压峰值与电路中的关键参数的定性关系，同时能从定量角度较为精确地给出电路中的关键参数电感和开关管开启时间 ΔT 的取值范围，对电路参数的设计与优化提供指导意义。值得一提的是，脉冲电压上升时间主要与器件的关断时间 t_0 有关，因此本文没有分析脉冲电压上升时间与电路中关键参数之间的关系，模型只用于剖析脉冲电压峰值与电路参数之间的关系。

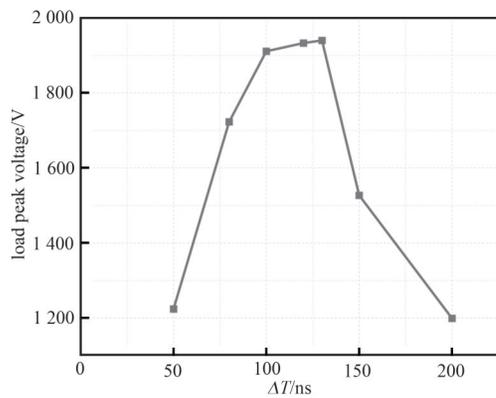


Fig.11 Measured load peak voltage under different values of ΔT
图 11 不同开关管开启时间 ΔT 下负载上得到的脉冲电压峰值

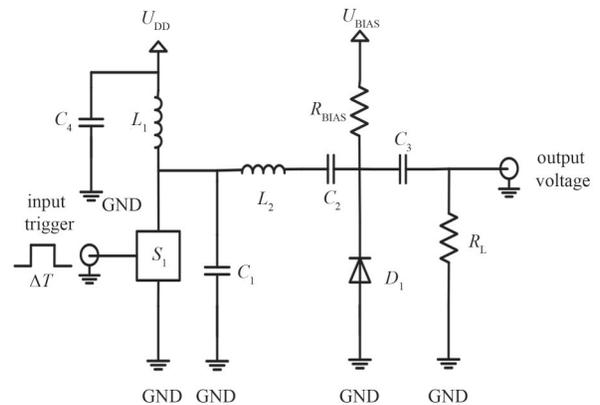


Fig.12 Improved circuit structure
图 12 改进后的电路结构

3 基于 SiC DSRD 纳秒级高压脉冲产生电路的可靠性

3.1 瞬态开关对基于 SiC DSRD 纳秒级高压脉冲产生电路的影响

在对基于 SiC DSRD 的纳秒级高压脉冲产生电路进行建模分析的时候，将开关当成了理想开关来处理，没有考虑其耐压情况。而在开关管关断瞬间，流过电感 L_1 的电流不能发生突变，因此电感 L_1 上的高 di_{L1}/dt 会使 L_1 感应出一个高电压，此时开关管上的漏极电压 U_{Drain} 为：

$$U_{Drain} = U_{DD} + L_1 \frac{di_{L1}}{dt} \quad (13)$$

从式(13)可以看出，开关管关断瞬间叠加在电源 U_{DD} 上的电压会使开关管的漏源极两端有很大的电压过冲，而所选择的开关管的漏源端耐压为 1 kV，因此该电压容易超过 MOS 管的耐压值，使 MOS 管被烧坏，进而使脉冲电路失效。在 MOS 管漏源极两端并联缓冲电容 C_1 来降低 MOS 管关断时刻产生的过冲电压，如图 12 所示。这样在开关管关断瞬间，电感 L_1 先给电容 C_1 充电，从而减小了电感上的电流变化率 di_{L1}/dt ，使开关管关断时两端的过冲电压降低。

3.2 电容 C_1 的值对电路可靠性以及输出特性的影响

图 13 为改变缓冲电容 C_1 的值负载输出脉冲电压峰值和开关管关断瞬间漏源极电压峰值的变化趋势。从图 13 中看出，通过改变缓冲电容 C_1 的值可以改变开关管关断瞬间 MOS 管漏极上的过冲电压峰值。当 C_1 的值较小时，电容 C_1 对 MOS 管的过电压的缓冲作用不明显。而缓冲电容 C_1 的值过大以后，尽管 MOS 管漏源极过电压峰值较小，电路的可靠性得到了很大的提高，但是负载上输出的脉冲电压峰值急剧下降。这是由于在 DSRD 器件工作在

反向泵浦阶段时, 电容 C_1 和电容 C_2 相当于并联关系, 增大了反向泵浦电流的振荡周期, 但 DSRD 正向泵浦阶段存储的等离子体并没有发生明显变化。这样 DSRD 器件会在反向泵浦电流达到最大值之前提前关断, 从而使得负载上输出的脉冲电压峰值降低。从实验结果看出, 在电容 C_1 取值为 1 nF 时, 可以在不牺牲输出电压峰值的同时使得 MOS 管漏源极过冲电压较小, 大大提高了电路的可靠性。

4 结论

本文针对一种基于 SiC DSRD 的纳秒级高压脉冲产生电路进行了研究, 电路中各元件参数主要通过影响 DSRD 器件的正向泵浦阶段以及反向泵浦工作阶段, 来影响脉冲电压峰值。因此为了探究电路中关键参数对电路输出的影响, 对 DSRD 器件的正向泵浦工作阶段和反向泵浦工作阶段进行了电路建模分析, 得到了各元件参数的取值要求, 同时得到了负载电压峰值的函数表达式, 并根据表达式进一步推导出负载电压峰值与电路中关键参数的关系。实验中, 根据理论分析得到各元件的取值要求, 采用本实验室制作的一款耐压为 3.3 kV 的 DSRD 器件, 在 50Ω 的负载上得到了峰值电压为 2.27 kV, 上升时间为 1.846 ns 的陡前沿脉冲, 并在此基础上改变电路中关键参数, 得到输出脉冲峰值的变化趋势以及电路参数取值值与模型中分析的一致, 表明该模型能够解释负载上的脉冲电压峰值与电路中的关键参数的定性关系, 同时能从定量角度较为精确地给出电路中的关键参数电感和开关管开启时间 ΔT 的取值, 对电路参数的设计与优化提供指导意义。最终, 考虑到电路中开关关断时会造成 MOS 管漏源极电压过冲, 在电容中加入了缓冲电容 C_1 , 并通过实验调整其参数, 使在不牺牲电路的输出特性条件下, 电路的可靠性得到了明显的提高。

参考文献:

- [1] 韩旻, 邹晓兵, 张贵新. 脉冲功率技术基础[M]. 北京:清华大学出版社, 2010:1-98. (HAN Min, ZOU Xiaobing, ZHANG Guixin. Fundamentals of pulse power technology[M]. Beijing:Tsinghua University Press, 2010:1-98.)
- [2] 梁琳, 颜小雪, 黄鑫远, 等. 半导体脉冲功率开关器件综述[J]. 中国电机工程学报, 2022, 42(23):8631-8652. (LIANG Lin, YAN Xiaoxue, HUANG Xinyuan, et al. Review on semiconductor pulsed power switching devices[J]. Proceedings of the CSEE, 2022, 42(23):8631-8652.) DOI:10.13334/j.0258-8013.pcsee.212101.
- [3] EBERT U. The stages of a pulsed gas discharge[C]// The 19th Asian Conference on Electrical Discharge. Tokyo:[s.n.], 2019:1-4.
- [4] GREKHOV I V, EFANOV V M, KARDO-SYSOEV A F, et al. Power drift step recovery diodes(DSRD)[J]. Solid-State Electronics, 1985, 28(6):597-599. DOI:10.1016/0038-1101(85)90130-3.
- [5] 余岳辉, 梁琳. 脉冲功率器件及其应用[M]. 北京:机械工业出版社, 2010:212-217. (YU Yuehui, LIANG Lin. Pulse power devices and their applications[M]. Beijing:China Machine Press, 2010:212-217.)
- [6] GREKHOV I V, IVANOV P A, KONSTANTINOV A O, et al. On the possibility of creating a superfast-recovery silicon carbide diode[J]. Technical Physics Letters, 2002, 28(7):544-546. DOI:10.1134/1.1498779.
- [7] MERENSKY L M, KESAR A S, KARDO-SYSOEV A F, et al. Efficiency study of a 2.2 kV, 1 ns, 1 MHz pulsed power generator based on a drift-step-recovery diode[J]. IEEE Transactions on Plasma Science, 2013, 41(11):3138-3142. DOI:10.1109/TPS.2013.2284601.
- [8] 王亚杰, 何鹏军, 荆晓鹏, 等. 基于漂移阶跃恢复二极管开关的脉冲源仿真计算[J]. 强激光与粒子束, 2018, 30(9):86-91. (WANG Yajie, HE Pengjun, JING Xiaopeng, et al. Simulation calculation of pulse source based on drift step recovery diode switching[J]. High Power Laser and Particle Beams, 2018, 30(9):86-91.) DOI:10.11884/HPLPB201830.170398.
- [9] FANG Xu, SONG Huimin, WU Yun, et al. Driving mechanism of drift-step-recovery diodes[J]. Review of Scientific Instruments, 2021, 92(8):084702. DOI:10.1063/5.0048768.
- [10] 梁勤金. 固态高功率高重复频率脉冲源的研究与发展[J]. 电讯技术, 2019, 59(10):1227-1236. (LIANG Qinjin. Research and development of solid state high power and high repetition frequency pulse sources[J]. Telecommunication Engineering, 2019, 59(10):1227-1236.) DOI:10.3969/j.issn.1001-893x.2019.10.020.

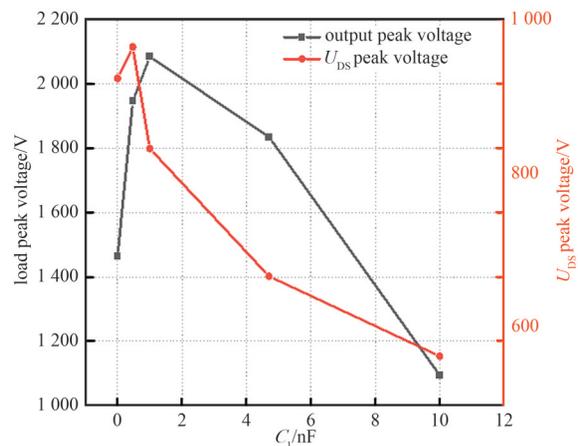


Fig.13 Measured load peak voltage and drain source voltage U_{DS} under different values of C_1
图 13 不同 C_1 下载上得到的脉冲电压峰值和开关管漏源电压 U_{DS}

- [11] FANG Xu, SONG Huimin, WU Yun, et al. Driving mechanism of drift-step-recovery diodes[J]. The Review of Scientific Instruments, 2021,92(8):084702. DOI:10.1063/5.0048768.
- [12] 王亚杰,何鹏军,荆晓鹏,等. 基于 DSRD 陡前沿固态脉冲源研制[J]. 火控雷达技术, 2017,46(3):50-54. (WANG Yajie, HE Pengjun, JING Xiaopeng, et al. Development of DSRD based solid-state pulsed generator with steep rise-time[J]. Fire Control Radar Technology, 2017,46(3):50-54.) DOI:10.3969/j.issn.1008-8652.2017.03.012.
- [13] 李金磊,刘静楠,张景文,等. 高压 SiC 基 DSRD 器件结构设计及脉冲电路优化[J]. 光子学报, 2022,51(10):413-420. (LI Jinlei, LIU Jingnan, ZHANG Jingwen, et al. Structural design and pulse circuit optimization of high voltage SiC-based DSRD devices [J]. Chinese Optical Society, 2022,51(10):413-420.) DOI:10.3788/gzxb20225110.1025001.

作者简介:

杨 早(2001-), 男, 在读硕士研究生, 主要研究方向为碳化硅功率器件设计 .email:946964543@qq.com.

陈资文(1997-), 男, 在读博士研究生, 主要研究方向为碳化硅功率器件设计.

陈万军(1978-), 男, 博士, 教授, 博士生导师, 主要研究方向为功率半导体器件、宽禁带功率半导体、脉冲功率器件及系统应用、功率集成电路等.

(上接第321页)

- [6] YANG F, XU C, UGUR E, et al. Design of a fast dynamic on-resistance measurement circuit for GaN power HEMTs[C]// 2018 IEEE Transportation Electrification Conference and Expo(ITEC). Long Beach, CA, USA: IEEE, 2018: 359-365. doi: 10.1109/ITEC.2018.8450093.
- [7] LI Rui, WU Xinke, YANG Shu, et al. Dynamic on-state resistance test and evaluation of GaN power devices under hard- and Soft-Switching conditions by double and multiple pulses[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1044-1053. doi: 10.1109/TPEL.2018.2844302.
- [8] FOULKES T, MODEER T, PILAWA-PODGURSKI R C N. Developing a standardized method for measuring and quantifying dynamic on-state resistance via a survey of low voltage GaN HEMTs[C]// 2018 IEEE Applied Power Electronics Conference and Exposition(APEC). San Antonio, TX, USA: IEEE, 2018: 2717-2724. doi: 10.1109/APEC.2018.8341401.
- [9] GUACCI M, BORTIS D, KOLAR J W. On-state voltage measurement of fast switching power semiconductors[J]. CPSS Transactions on Power Electronics and Applications, 2018, 3(2): 163-176. doi: 10.24295/CPSSTPEA.2018.00016.
- [10] ZULAUF G, GUACCI M, RIVAS-DAVILA J M, et al. The impact of multi-MHz switching frequencies on dynamic on-resistance in GaN-on-Si HEMTs[J]. IEEE Open Journal of Power Electronics, 2020, 1: 210-215. doi: 10.1109/OJPEL.2020.3005879.
- [11] YANG Shu, ZHOU Chunhua, HAN Shaowen, et al. Buffer trapping-induced R_{ON} degradation in GaN-on-Si power transistors: role of electron injection from Si substrate[C]// 2017 the 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Sapporo, Japan: IEEE, 2017: 101-104. doi: 10.23919/ISPSD.2017.7988903.

作者简介:

刘梦丽(1999-), 女, 在读硕士研究生, 主要研究方向为氮化镓功率器件 .email:liuml18317869002@163.com.

刘斯扬(1987-), 男, 博士, 教授, 博士生导师, 主要研究方向为功率半导体器件设计及可靠性研究.

李 胜(1993-), 男, 博士后, 主要研究方向为氮化镓功率器件可靠性与建模.

孙伟锋(1977-), 男, 博士, 教授, 博士生导师, 主要研究方向为智能功率器件及可靠性、智能功率集成电路与系统、高性能数模混合集成电路设计.

马岩锋(1999-), 男, 在读博士研究生, 主要研究方向为氮化镓功率器件紧凑模型及可靠性.