

文章编号: 2095-4980(2025)04-0340-06

高精度度大比特位延时器芯片研制

陈月盈, 刘 帅, 杨 柳, 赵子润

(中国电子科技集团公司 第十三研究所, 河北 石家庄 050051)

摘 要: 基于 GaAs 衬底增强/耗尽型赝配高电子迁移率晶体管(E/D pHEMT)工艺, 研制了一款 0.5~6 GHz 三位可调 1 400 ps 数控延时器芯片。芯片尺寸为 3.60 mm × 4.00 mm × 0.07 mm, 集成了 3 位数控延时器和 3 bit 并口驱动电路。在 0.5~6 GHz 范围内, 该数控延时器芯片插入损耗小于 11 dB, 插损波动小于 ±0.5 dB, 全态输入输出驻波比(VSWR)均小于 1.5, 1 400 ps 延时误差片内可调为 ±4 ps, 延时量达到 ns 级别; 通过增加可调节单元和键合切断方式, 将延时精确度提高至 3‰。该芯片具有宽带、高精度度、大延时量和小尺寸性能, 可更好地用于天线系统中。

关键词: 宽带; 大延时量; 砷化镓; 高精度度; 微波单片集成电路(MMIC)

中图分类号: TN914.42

文献标志码: A

DOI: 10.11805/TKYDA2024573

Design of high-accuracy and megabit True-Time Delay chip

CHEN Yueying, LIU Shuai, YANG Liu, ZHAO Zirun

(The 13th Research Institute of CETC, Shijiazhuang Hebei 050051, China)

Abstract: Based on the GaAs substrate Enhanced/Depletion-mode pseudomorphic High Electron Mobility Transistor(E/D pHEMT) process, a three-bit adjustable 1 400 ps Digital-Controlled Delay (DCD) chip operating in the 0.5~6 GHz frequency range has been developed. The chip measures 3.60 mm × 4.00 mm × 0.07 mm and integrates a three-bit digital-controlled delay line and a 3-bit parallel port drive circuit. Within the 0.5~6 GHz range, the DCD chip exhibits insertion loss of less than 11 dB, with insertion loss variation of less than ±0.5 dB. The Voltage Standing Wave Ratio(VSWR) for both input and output is less than 1.5 across all states. The 1 400 ps delay error can be internally adjusted to ±4 ps, achieving a delay quantity at the nanosecond level. By incorporating additional adjustable units and bonding cut-off methods, the delay accuracy is enhanced to 3‰. The chip features broadband operation, high precision, large delay quantity, and a compact size, making it well-suited for applications in antenna systems.

Keywords: broadband; large Time Delay(TD); GaAs; high-accuracy; Monolithic Microwave Integrated Circuit(MMIC)

宽带天线中, 天线扫描波束指向因孔径效应会随工作频率的变化发生漂移, 从而恶化天线对宽带信号的频率响应, 进一步制约天线的瞬时带宽。因此天线宽带成像需解决的核心技术就是如何在天线阵面进行大角度二维扫描时消除宽带大口径、大扫描角度带来的波束空间指向色散问题, 提高波束指向精确度。为解决这一问题, 需对天线接收/发射信号进行延时补偿, 同时对延时精确度也提出了更高要求。

延时器已提出很久, 但庞大的体积限制了其应用范围。小型化的延时器芯片可解决该问题并具有稳定的延时量, 广泛用于小型化天线系统中。天线系统能否准确定位, 波束主瓣能否有效抑制旁瓣, 取决于延时器的精确度指标, 因此高性能的天线系统对延时器电路提出了不同的要求, 如带宽、小型化、延时高精度度、一致性等, 使延时器芯片成为国内外研究的热点^[1-3]。文献[4]中研制了一款 C 波段小型化高精度度驱动延时组件, 该组件设计了 1λ(λ为波长)、2λ、4λ、8λ 四位延时器组件, 其中 8λ 的延时器芯片为 1 454 ps, 其组件尺寸为 102 mm × 45 mm × 10 mm。文献[5]研制了一款 X 波段小型化高精度度驱动延时组件, 该组件设计了 1λ、2λ、4λ、8λ、16λ 五位延时器组件, 其中 16λ 的延时器芯片为 1 600 ps, 其组件尺寸为 102 mm × 45 mm × 10 mm。

收稿日期: 2024-10-26; 修回日期: 2024-12-30

本文基于GaAs衬底增强/耗尽型赝配高电子迁移率晶体管(E/D pHEMT)工艺,研制了一款0.5~6 GHz三位可调1 400 ps数控延时器芯片,芯片尺寸仅为3.60 mm×4.00 mm×0.07 mm,同时可将组件尺寸压缩至60 mm×45 mm×10 mm,面积减小了40%。

1 高精度延时器的作用

数控延时器是一种常用的微波无源两端口器件,主要作用是使电磁波在两个端口间传输时,延时一段恒定的时间,补偿不同频率引起的相位差,在许多领域,如天线系统中有广泛的应用。延时器主要用于补偿宽带大角度扫描带来的波束空间指向色散,处理宽带、超宽带阵列信号时,必须将每个天线单元收发信号之间的时延差补偿到合理的范围。如果在阵元级接入延时器,由于所需延时器数量众多,会引起系统复杂度的增加,实现上易受天线布局、成本和功耗的制约,因此尽管波束校正性能最优,但工程上难以实现;而在包含多个阵元的子阵级使用延时器,则可大幅减少延时器数量,但同时也因延时量化效应导致波束校正性能下降。从延时校正性能和工程可实现性角度出发,通常在天线中采用高、低位延时器分级应用方案,既保证了设计灵活性,又提高了系统的性能。通过适当选择延时器位数及数量比例,可在满足波束校正性能的同时,进一步降低天线系统设计复杂度^[4]。

在天线中采用高、低位延时器分级应用方案。在阵元级接入的延时器通常选用步进较小的比特位延时器,如 $\lambda/64(5.625^\circ)$ 步进六位数控延时器芯片,共有 $\lambda/64(5.625^\circ)$ 、 $\lambda/32(11.25^\circ)$ 、 $\lambda/16(22.5^\circ)$ 、 $\lambda/8(45^\circ)$ 、 $\lambda/4(90^\circ)$ 、 $\lambda/2(180^\circ)$ 6种基本态位;在阵列级或子阵级接入的延时器通常选用较大波长延时器,如 $1\lambda(360^\circ)$ 步进 n 位数控延时器芯片,共有 1λ 、 2λ 、 4λ 、 8λ 、 16λ 等基本态位。以X波段10 GHz为例,16 λ 延时器即为1 600 ps延时量^[6]。文献[4~7]中介绍的传统大延时器采用的方式多以组件的形式实现,在实际工程应用中,随着对延时总量要求的增加,延时线的体积、成本与电损耗不可忽略。基于大阵面天线对大延时量芯片的迫切需求,本文基于GaAs E/D pHEMT工艺,设计了一款ns级别高精度数控延时器芯片,用于补偿大角度波束扫描信号产生的色散。

2 数控延时器的原理和设计

2.1 MMIC 延时器芯片工作原理与芯片设计

根据电性能指标要求,包括:工作频率、插入损耗、幅度波动、延时精确度、输入输出电压驻波比等进行数控延时器的设计。数控延时器由2组GaAs E/D pHEMT单刀双掷开关器件与延时网络共同构成延时单元,如图1所示。开关在2条微波传输路径间切换,通过不同传输路径的微波信号相位不同,从而实现微波信号延时一段恒定的时间差,如图2所示。这种拓扑结构需要2组单刀双掷开关互补工作在参考态和延时态实现延时,其中并联的开关器件主要用于提高该拓扑结构的隔离度。

传统的微波传输线中将周期性的加载单元等效为电抗元件,其相位曲线随频率变化剧烈,具有相速小于光速的慢波特性,能够以较小的尺寸实现同等延时量的延时单元。在延时器的直通路加入衰减器,保证延时线的幅度波动。延时芯片的装配采用微组装形式,器件间通过金丝互联。金丝的参数选取会严重影响信号的传输,可在电路设计中增加容性阻抗匹配,对金丝进行补偿,改善驻波,有效解决芯片互联时的失配问题。

2.2 大比特位延时器的高精确度设计

延时器芯片的延时量较大时,需级联很多电感与电容组成等效延时单元,如图3所示。延时器相位精确度主要受位于恒阻网络中的金属-绝缘体-金属电容(Metal-Insulator-Metal Capacitor, MIM)精确度的影响。根据 $C=\varepsilon \times \varepsilon_0 \times S/d$ (其中 ε 为介电常数, ε_0 为真空介电常数, S 为极板面积, d 为上下极板之间的距离)可知,影响电容大小的参数有电容面积和介质电容厚度。因此在实际加工中,影响电容精确度的参数有上下极板金属尺寸、介质厚度和介电常数,如图4所示,因此必须严格控制加工参数以实现电容的指标。采用高精度加

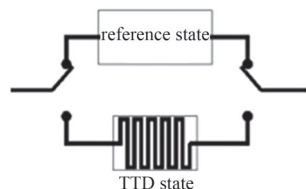


Fig.1 Topology of switches type TTD network
图1 开关型延时网络的拓扑图

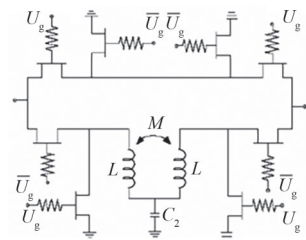


Fig.2 Schematic diagram of the TTD
图2 数控延时器原理图

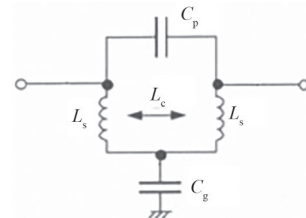


Fig.3 Equivalent circuit of the TTD cell
图3 延时等效电路

工技术,控制电容上下极板金属尺寸偏差,从而控制电容介质厚度偏差。即使这样,当延时量达到 ns 级别时,单晶圆百余只芯片的延时精确度约为 ± 16 ps,延时精确度误差为 $\pm 1.23\%$,如图 5 所示。若系统需要 ns 级别、小尺寸、高精度度大比特位延时器时,对加工的精确度会提出更高要求。

理想状态下,外界输入控制信号进行延时状态切换时,延时线应产生非常精准的延迟时间。但实际上,由于延时线中的延时是由延迟态与基态的路程差实现的,生产加工时,由于板材本身及板材加工带来的误差,延迟时间越长,会将这种误差进行放大,延时精确度较难控制在一个较小的范围内。为此,设计一种结构紧凑的调节电路,这样在每个延时态上加载一个调节电路,相当于每个延时态有 ± 12 ps 的调节范围,提高了延时精确度。

本文基于 GaAs E/D pHEMT 工艺,设计一款可调的大延时光控延时器芯片,芯片通过背面通孔接地,满足系统对大延时的高精确度要求。该芯片集成了以下电路功能: a) 3 位数控延时和 3 bit 并行驱动器; b) 工作频率覆盖 0.5~6 GHz; c) 插入损耗小于 11 dB; d) 典型工作电压 $U_{EE} = -5$ V,兼容 TTL(Transistor-Transistor Logic) 和 LVTTTL(Low Voltage Transistor-Transistor Logic)两种控制电平。

本文采用粗调与精调相结合的方式实现高精度度大比特位延时器芯片。

方法一:采用大比特位(1 400 ps)延时与两个小比特位(8 ps、16 ps)级联的方式调节精确度,其中 8 ps 与 16 ps 为大延时实测数据偏大或偏小时的可调节位,如图 6 所示。工作真值表如表 1 所示。对于 3 位数控延时器,共 7 种状态,对应输入输出共 16 端口,根据真值表设置级联延时器的各个工作状态,得到全态延时曲线。根据仿真结果再对电路进行调整,改善不符合要求的电路指标,再次进行全态电路仿真。反复进行调整和仿真,直至满足电路的整体指标要求。

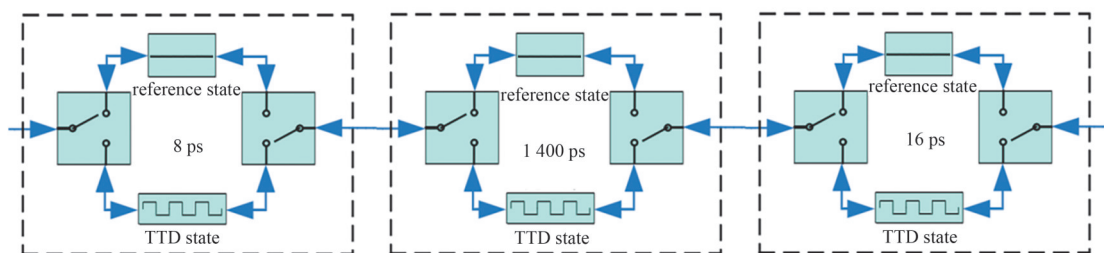


Fig.6 Delay accuracy adjustment method one

图6 延时精确度调节方法一

表1 三位延时真值表

Table1 Truth table of the 3 bit TTD

TTD state	8 ps state U_{T1}	1 400 ps state U_{T2}	16 ps state U_{T3}
reference state	0	0	0
8 ps TTD state(operational reference state)	1	0	0
1400 ps TTD state(operational state with higher measured TTD values)	0	1	0
16 ps TTD state	0	0	1
1 400 ps TTD state+8 ps TTD state (operational state with normal measured TTD values)	1	1	0
1 400 ps TTD state+16 ps TTD state	0	1	1
1 400 ps TTD state+8 ps TTD state+16 ps TTD state (operational state with lower measured TTD values)	1	1	1

Annotation1: "0":TTL low level, 0~0.4V; "1":TTL high level, 4.5~5 V; $U_{T1} \sim U_{T3}$:TTL levels of the corresponding delay bits

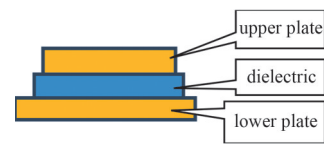


Fig.4 Schematic diagram of capacitor structure

图4 MIM电容结构示意图

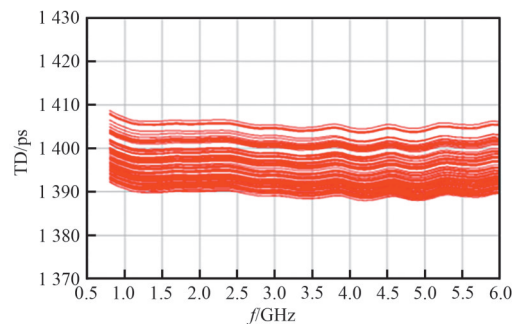


Fig.5 Delay accuracy of traditional design

图5 传统设计的延时精确度

方法二：采用键合或切断方式调节延时误差。当延时实测偏离(1 400±4) ps 区间时，无需键合也无需切断芯片内部空气桥；当延时实测偏大时，键合压点 P_a 到压点 P_c ，同时断开压点 P_a 到压点 P_b 之间的空气桥；当延时实测偏小时，键合压点 P_a 到压点 P_d ，同时断开压点 P_a 到压点 P_b 直接的空气桥。具体键合及切断示意图如图 7 所示。

采用传统方式设计的延时器在单晶圆百余只芯片的延时范围为 1 390~1 410 ps，如图 5 所示。实际工程需求的延时误差需尽量接近 1 400 ps。本文基于延时本身的加工误差，通过采用上述的两种设计方法，可将传统延时器的±4~±16 ps 的延时精确度调节至±4 ps。如表 2 所示。

表2 延时调节范围表
Table2 Delay adjustment range

measured TTD range1/ps	measured TTD range2/ps	adjustment method	TTD accuracy after adjustment
1 384~1 388	1 412~1 416	method 1+method 2	within±4 ps
1 388~13 92	1 408~1 412	method 1	within±4 ps
1 392~1 396	1 404~1 408	method 2	within±4 ps

2.3 版图布局与工艺加工

在版图布局中要充分考虑电磁兼容问题。设计中添加多组级联隔离带，实现电磁空间隔离，防止信号串扰，同时减少微波传输线与直流传输线的交叉；在直流加电线上添加滤波电容，减小外部信号对内部电路的耦合。版图布局中，首先连接射频传输通路，再连接直流通路，最后充分利用数字并行驱动器的灵活性连接控制端信号，提高版图布局的效率。为提高数字电路的可靠性，需在电源端加上过压过流保护电路和防静电保护电路。

本文设计的延时器芯片延时量较大，因此需进行全版电磁场仿真评估相邻微波传输线耦合效应对电路性能的影响。利用仿真软件的平面电磁场仿真技术进行电磁场仿真，根据仿真结果合理调整版图布局，降低微波传输线、各个微波元件之间的耦合效应。

延时器芯片设计完成后进行掩模版制作，最后采用 GaAs E/D pHEMT 制作芯片。为保证产品稳定性和一致性，通过设置合适的监控图形监测代表器件的参数，快速反应产品加工是否正常，保证高的成品率，同时分析产品结果以指导问题的解决，便于进一步提升产品控制水平。图 8 给出了大比特位数控延时器芯片的实物照片，芯片尺寸(长×宽×高)为 3.60 mm×4.00 mm×0.07 mm。

3 电路测试

采用射频在片测试系统测试芯片电路，以信号源、矢量网络分析仪、微波探针、直流探卡和探针台为基本测试设备，并配备相应的测试仪表(功率计、电流表等)构成裸芯片在片测试平台。测试原理如图 9 所示。随着芯片的批产量越来越大，为对全部芯片的性能进行统计分析，如延时量或延时精确度、插入损耗、输入输出电压驻波比等，同时为提高效率，采用编程方法实现计算机自动化测试，对测试数据进行实时、快捷的统计分析，并根据统计结果指导设计。测试指标见式(1)~(6)。

1) 插入损耗：

$$I_{IL}=|dB(S_{21_0\ state})|$$
(1)

2) 各态幅度波动 ΔI_{IL} ：

$$\Delta I_{IL}=\pm(I_{IL,max}-I_{IL,min})/2$$
(2)

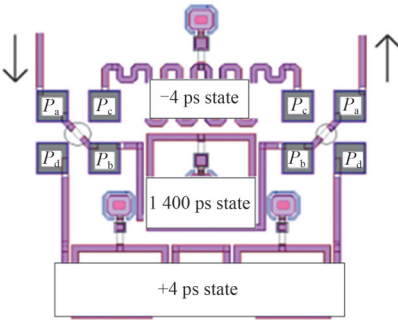


Fig.7 Delay accuracy adjustment method two: bonding and cut off schematic diagram
图 7 延时精确度调节方法二:键合及切断示意图

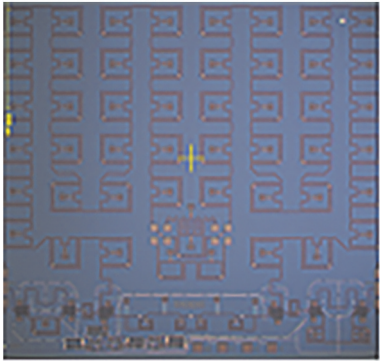


Fig.8 Photograph of the TTD
图 8 阵元级六位数控延时器芯片实物照片

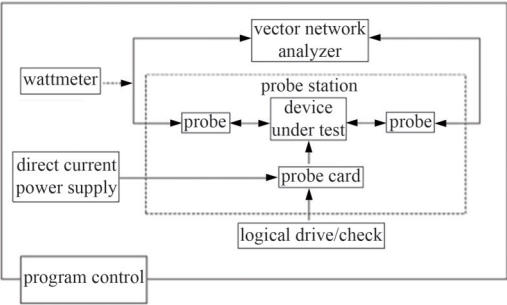


Fig.9 Testing schematic of the TTD circuit
图 9 延时器电路测试原理图

3) 延时量:

$$T_i = \frac{|\varphi_i - \varphi_0|}{360f} \quad (3)$$

式中: f 为相应频率点; φ_i 为在规定频率点下某一延迟态的相移量; φ_0 为在规定频率点下基本态相移量。

4) 延时精确度:

$$\Delta T_i = T_i - T' \quad (4)$$

式中 T' 为相应态的延时标称值。

5) 输入电压驻波比:

$$R_{VSW,in} = R_{VSW}(S_{11}) \quad (5)$$

6) 输出电压驻波比:

$$R_{VSW,out} = R_{VSW}(S_{22}) \quad (6)$$

延时器可用延时量、延时精确度或延时相位误差来衡量延时器的性能。根据以上测试原理, 基于在片测试系统对数控延时器芯片进行测试, 延时器的实测结果和仿真结果如图 10(a)~(f) 所示。可以看出, 仿真与实测结果吻合良好, 在 0.5~6 GHz 工作频带内, 延时量为 1 400 ps, 插入损耗小于 11 dB, 各态幅度波动小于 ± 0.5 dB, 全态输入输出驻波比均小于 1.5。

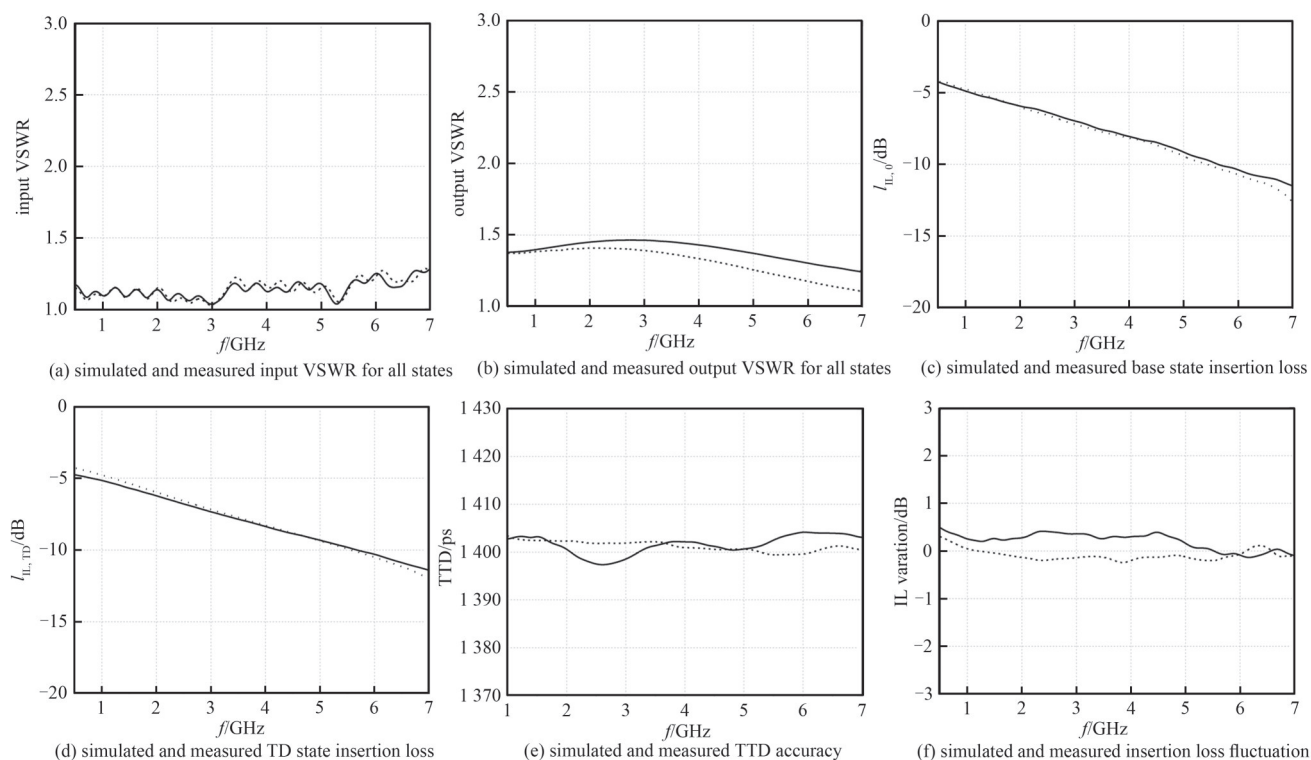


Fig.10 Simulated and measured results of the TTD

图 10 延时器的仿真与测试结果

测试结果显示, 可调 1 400 ps 延时器芯片的延时精确度可达到 ± 4 ps, 延时精确度高达 3%。本文与其他文献的延时器精确度和尺寸对比如表 3 所示。可以看出, 文献[4-5]设计的延时器, 延时误差较小, 但组件尺寸大; 文献[8]基于 CMOS 工艺, 设计了一款 1 700 ps 的延时芯片, 但该芯片的延时误差高达 $\pm 8\%$; 文献[9-10]基于 CMOS 工艺, 设计了一款 400~550 ps 的延时芯片, 该芯片的延时量较小, 但延时误差也高达 $\pm 2\%$, 且文献[8-10]中硅基芯片的抗辐照能力较差, 限制了其在一些领域的使用。在保证延时精确度的情况下, 采用本文设计的芯片可减小组件的尺寸和重量。

本文基于 GaAs E/D pHEMT 工艺, 采用了片外可调方式实现了 1 400 ps 数控延时器, 降低了延时精确度对工艺电容控制精确度的依赖, 延时精确度从原来的 ± 16 ps 减小到 ± 4 ps, 在保证用户精确度需求的条件下, 提高了

单晶圆片的成品率，降低了对电容控制的依赖，提高了加工效率。

表3 本文与其他文献的延时精确度和尺寸对比表
Table3 Delay accuracy and size table of this article and other references

item	this paper	reference 4	reference 5	reference 8	reference 9	reference 10
frequency range/GHz	0.5~6.0	5.0~6.0	8.0~12.0	0.5~2.0	0.5~2.0	0.5~2.0
TTD/ps	1 400	1 454	1 600	1 700	550	400
TTD accuracy	2.8‰	3.4‰	7.5‰	±8%	±2%	±2%
TTD dimensions	3.60 mm×4.00 mm	component dimensions: 120 mm×45.00 mm, TTD dimensions : 12 mm×20.00 mm	component dimensions: 120 mm×45.00 mm, TTD dimensions: 70 mm×30.00 mm	3.00 mm×2.00 mm	2.00 mm×2.00 mm	2.00 mm×2.00 mm

4 结论

基于 GaAs MMIC 技术，采用 GaAs E/D pHEMT 工艺设计验证了一款高精确度、大延时数控延时器芯片，在 0.5~6 GHz 范围内，插入损耗小于 11 dB，插损波动小于±0.5 dB，1 400 ps 位延时误差片内可调为±4 ps，延时精确度高达 3‰，全态输入输出驻波比均小于 1.5。通过微波在片测试评估结果可以看出，通过两种调节方式使大延时量的数控延时器芯片获得了良好的延时精确度性能，可有效改善宽带天线的大扫描角度带来的波束空间指向色散问题，满足了天线系统应用对宽带数控延时器的急需。

参考文献：

[1] 卫健,束咸荣,李建新. 宽带相控阵天线波束指向频响分析和实时延迟器应用[J]. 微波学报, 2006,22(1):23-26. (WEI Jian, SHU Xianrong, LI Jianxin. Beam-pointing excursion versus frequency and application of realtime delayers for the wideband phased array[J]. Journal of Microwaves, 2006,22(1):23-26.) DOI:10.3969/j.issn.1005-6122.2006.01.006.

[2] 裴培,韩玉辉,王鹏毅. 超宽带阵列天线的接收波束形成研究[J]. 无线电工程, 2009,39(5):18-20. (PEI Pei,HAN Yuhui, WANG Pengyi. Study on receiving beam forming of ultra wideband array antenna[J]. Radio Engineering of China, 2009,39(5): 18-20.) DOI:10.3969/j.issn.1003-3106.2009.05.006.

[3] 刘会东,丁红沙,魏洪涛. Q 波段双通道幅度控制多功能芯片[J]. 太赫兹科学与电子信息学报, 2020,18(5):946-950. (LIU Huidong,DING Hongsha,WEI Hongtao. A Q-band dual-channel monolithic circuit with amplitude control functions[J]. Journal of Terahertz Science and Electronic Information Technology, 2020,18(5):946-950.) DOI:10.11805/TKYDA2019111.

[4] 李树良,王绪存,王琦. C 波段小型化高精度驱动延时组件的研制[J]. 微波学报, 2016,32(4):78-81,87. (LI Shuliang,WANG Xucun,WANG Qi. Miniaturization and high accuracy design of a C-band drive time-delay module[J]. Journal of Microwaves, 2016,32(4):78-81,87.) DOI:10.14183/j.cnki.1005-6122.201604016.

[5] 李树良,朱润月,刘杨. X 波段有源相控阵雷达子阵驱动延时组件的设计与实现[J]. 现代雷达, 2016,38(7):52-54,71. (LI Shuliang,ZHU Runyue,LIU Yang. Design and realization of an X-band subarray drive time-delay module for active phased array radar[J]. Modern Radar, 2016,38(7):52-54,71.) DOI:10.16592/j.cnki.1004-7859.2016.07.013.

[6] 陈月盈,刘会东,杨柳,等. 宽带毫米波系列延时器芯片设计[J]. 太赫兹科学与电子信息学报, 2024,22(11):1277-1282,1311. (CHEN Yueying, LIU Huidong, YANG Liu, et al. Design of broadband millimeter-wave true-time delay chips[J]. Journal of Terahertz Science and Electronic Information Technology, 2024,22(11):1277-1282,1311.) DOI:10.11805/TKYDA2023162.

[7] 张金平,李建新,孙红兵. 宽带相控阵天线实时延时器分级应用研究[J]. 现代雷达, 2010,32(7):75-78. (ZHANG Jinping,LI Jianxin,SUN Hongbing. A study on layered scheme of real-time delayers for the wideband phased array[J]. Modern Radar, 2010, 32(7):75-78.) DOI:10.3969/j.issn.1004-7859.2010.07.017.

[8] MONDAL I,KRISHNAPURA N. A 2 GHz bandwidth, 0.25~1.7 ns true-time-delay element using a variable-order all-pass filter architecture in 0.13 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2017,52(8):2180-2193. DOI:10.1109/JSSC.2017. 2693229.

[9] GARAKOUI S K,KLUMPERINK E A M,NAUTA B,et al. Compact cascadable g(m)-C all-pass true time delay cell with reduced delay variation over frequency[J]. IEEE Journal of Solid-state Circuits, 2015,50(3):693-703. DOI:10.1109/JSSC.2015.2390214.