

文章编号 : 1672-2892(2010)01-0091-05

用 SOI 技术提高 CMOS SRAM 的抗单粒子翻转能力

赵 凯^{1,2}, 高见头^{1,2}, 杨 波^{1,2}, 李 宁^{1,2}, 于 芳^{1,2}, 刘忠立^{1,2}, 肖志强³, 洪根深³

(1.中国科学院 半导体研究所, 北京 100083; 2.传感器技术国家重点实验室, 北京 100190;
3.中国电子科技集团 第 58 研究所, 江苏 无锡 214035)

摘 要: 提高静态随机存储器(SRAM)的抗单粒子能力是当前电子元器件抗辐射加固领域的研究重点之一。体硅 CMOS SRAM 不作电路设计加固则难以达到较好抗单粒子能力, 作电路设计加固则要在芯片面积和功耗方面做出很大牺牲。为了研究绝缘体上硅(SOI)基 SRAM 芯片的抗单粒子翻转能力, 突破了 SOI CMOS 加固工艺和 128 kb SRAM 电路设计等关键技术, 研制成功国产 128 kb SOI SRAM 芯片。对电路样品的抗单粒子摸底实验表明, 其抗单粒子翻转线性传输能量阈值大于 61.8 MeV/(mg/cm²), 优于未做加固设计的体硅 CMOS SRAM。结论表明, 基于 SOI 技术, 仅需进行器件结构和存储单元的适当考虑, 即可达到较好的抗单粒子翻转能力。

关键词: 绝缘体上硅; 静态随机存储器; 抗单粒子翻转; 设计加固

中图分类号: TN432; TP333.8

文献标识码: A

Improve SRAM SEU resistance with SOI CMOS technology

ZHAO Kai^{1,2}, GAO Jian-tou^{1,2}, YANG Bo^{1,2}, LI Ning^{1,2}, YU Fang^{1,2}, LIU Zhong-li^{1,2}, XIAO Zhi-qiang³, HONG Gen-shen³

(1. Institute of Semiconductors, CAS, Beijing 100083, China; 2. State Key Laboratory of Transducer Technology, Beijing 100190, China;
3. The 58th Institute, CETC, Wuxi Jiangsu 214035, China)

Abstract: Improving Single Event Upset(SEU) resistance of Static Random Access Memory(SRAM) is being a hotspot in the research area of electronics Radiation-Hardening. It is hard to improve the anti-SEU ability of bulk CMOS SRAMs without circuit Radiation-Hardening, whereas more area and power consumption will be spent with Radiation-Hardening design. To investigate the SEU resistance of Silicon on Insulator(SOI) SRAMs, this study introduced the key technology breakthrough in SOI CMOS Radiation-Hardening process and 128 kb SRAM circuit design. The SEU experiment of a homemade 128 kb SOI SRAM showed that its threshold Linear Energy Transfer(LET) value was above 61.8 MeV/(mg/cm²), which was higher than that of CMOS SRAMs without Radiation-Hardening design. It is concluded that SOI fabrication process is promising to obtain preferable SEU resistance of SRAMs with proper considerations on basic device and 6-T cell structure.

Key words: Silicon on Insulator; Static Random Access Memory; anti-Single Event Upset; Radiation-Hardening by design

静态随机存储器(SRAM)是航天电子系统中关键元器件之一, 对单粒子事件较为敏感。航天实践发现, 单粒子事件是影响航天器在轨寿命和可靠性的重要因素^[1-3]。提高 SRAM 电路的抗单粒子能力, 是当前电子元器件抗辐射加固领域的研究重点之一。商用体硅 SRAM 的抗单粒子翻转(SEU)水平相对较低, 比如 IDT7164 的 SEU 线性传输能量(LET)阈值^[4]小于 25 MeV/(mg/cm²), 另一款 SRAM 产品 IDT6116 的 SEU LET 阈值^[5]仅为 3.0 MeV/(mg/cm²)。体硅 CMOS SRAM 不作电路设计加固难以达到较好抗单粒子翻转能力, 作电路设计加固则要在芯片面积和功耗方面做出很大牺牲。与体硅 CMOS 工艺相比, 绝缘体上硅(SOI)CMOS 工艺具有更为优异的抗瞬态剂量率^[6-7]和抗单粒子翻转^[8]能力, 是下一代军用系统集成的主要技术之一。在国际上, 采用加固的 SOI CMOS 工艺进行制造, 已经成为提高 SRAM 等电路抗单粒子翻转能力的重要途径。

1 国外研制情况

1.1 SOI 基 SRAM 电路

O.Musseau 在文献[8]中对比了 8 种 SOI 基 SRAM 芯片的抗单粒子翻转试验结果,见图 1。这些芯片涵盖范围较广,电路规模从 4 kb 到 256 kb,特征尺寸从 2.5 μm 到 0.5 μm ,工作电压从 5 V 到 3.3 V。从图 1 中可以看出,这 8 种 SRAM 芯片的最低线性传输能量阈值(LET)高于 25 $\text{MeV}/(\text{mg}/\text{cm}^2)$,其中 Harris 公司的 256 kb 产品的翻转阈值超过 100 $\text{MeV}/(\text{mg}/\text{cm}^2)$ 。图中 4 kb TI 公司和 64 kb CEA 公司产品与其他产品曲线有所不同,在较低 LET 范围即快速进入饱和翻转区。究其原因,前者特征线宽为 2.5 μm ,顶层规模厚度为 0.5 μm ,导致器件的敏感截面积较大;后者采用 0.8 μm ~1.4 μm 工艺制成,且试验芯片为试制样品,未对工艺进行相应的辐射加固,使翻转 LET 阈值较低。图中 1 kb 栅完全包围(Gate All Around, GAA)为全耗尽 SOI 样品,器件采用 GAA 结构,其抗总剂量和抗单粒子翻转性能均较优异。图中 256 kb TI 公司和 256 kb Harris 公司产品均采用了 Miller 耦合的方式增强抗单粒子翻转辐射性能。比如,256 kb TI 公司芯片中的基本单元电路结构见图 2,其中晶体管 7 和 8 是一种体接源漏(Body Tied to Source and Drain, BTSD)结构的 P 沟 MOS 管,这种晶体管能够提供大约 10 $\text{k}\Omega$ 的电阻和 7.8 fF 的 Miller 电容,对单元写入时间的影响约为 1.5 ns,对芯片的读写速度影响较小(小于 10%),但提高了芯片整体的抗单粒子翻转辐射性能。

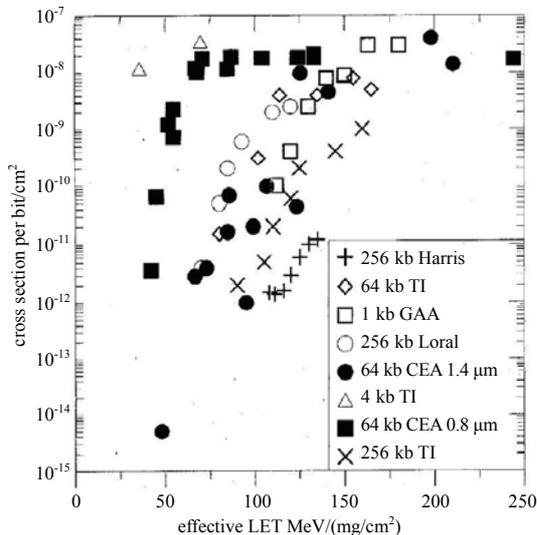


Fig.1 Cross section vs. effective LET for different SRAMs in thin SOI technologies

图 1 几种 SOI 基 SRAM 单粒子翻转敏感界面曲线

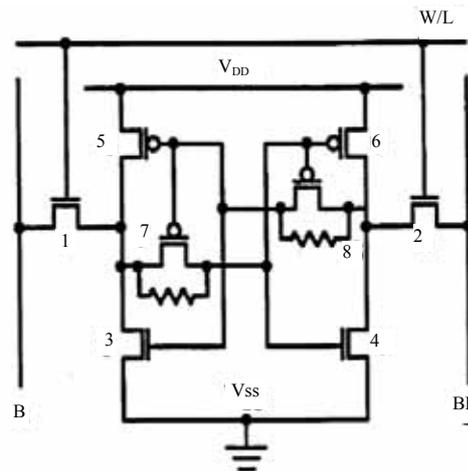


Fig.2 Memory cell schematic with Miller cross coupling structure

图 2 采用 Miller 耦合结构的 SRAM 单元

1.2 IBM 公司 PowerPC 系列产品

BAE Systems 公司的 Nadim Haddad 等人对采用相同线宽的体硅和 SOI 工艺的 2 种 PowerPC 750 芯片进行了研究^[9]。特征尺寸都是 0.18 μm ,分析 2 种 PowerPC 750 对单粒子翻转的敏感性。比如在 1 400 km,52°倾角轨道中,比较总的平均故障间隔时间(Mean Time Between Errors, MTBE),外延体硅工艺为 1.0 天,而 SOI 工艺为 1.7 天;再比如在 90%地球同步轨道(Geosynchronous Earth Orbit, GEO)中,比较总的 MTBE,SOI 工艺为 28 天,而外延体硅工艺则为 4.9 天。由此可以看出,在同一代的工艺下,商用 SOI 工艺的抗单粒子翻转能力比相应的外延体硅工艺提高 2~5 倍。但其试验结果中,2 种工艺的 PowerPC 750 的翻转 LET 阈值均很低,只有 1.3 $\text{MeV}/(\text{mg}/\text{cm}^2)$ 。

分析原因:a) 所采用商用 SOI 工艺未经过辐射加固,且顶层硅膜较厚,敏感体积也比较大,对抗单粒子辐射性能的提高不明显;b) 在版图设计时没有增加体接触。浮体效应导致的双极放大效应,会显著降低 SOI 器件的抗单粒子翻转能力,因此为了提高抗单粒子翻转能力,在进行 SOI 工艺设计电路时,需要抑制浮体效应带来的不利影响。目前采用的主要方法是增加体接触^[6],尤其是关键器件需要采用效果更好的 H 型栅体接触^[10]。研究表明^[11],仅增加体接触就能够将 SRAM 产品的抗 SEU LET 阈值由 3.6 $\text{MeV}/(\text{mg}/\text{cm}^2)$ 提高到 9.0 $\text{MeV}/(\text{mg}/\text{cm}^2)$ 。

2 国产 128 kb SOI SRAM

2.1 电路及版图设计

关键路径的选取是 SRAM 设计过程中重要的一步,见图 3。从地址信号开始,触发地址转换检测(Address Transfer Detection, ATD)电路,生成预充信号,然后激发位线预充,列选打开,灵敏放大器开启,数据总线进行读写操作,这是一条关键的信号通路。为了能够模拟这些关键信号的最坏情况,选择位于距离字线译码器最远的列上的 2 个存储单元,1 个单元距离灵敏放大器最近,另 1 个则距灵敏放大器最近。此外,将数据 IO 管脚寄生参数加入会使关键路径更接近实际情况。

将各部分的版图进行寄生参数提取,将寄生 R,C 值带入到关键路径的网表中,利用 HSPICE 工具进行电路仿真,根据仿真结果不断对网表进行修改,最终使关键路径能在各种参数模型和温度情况下正常工作。图 4 给出的一次读写操作中,关键路径上某些重要节点的仿真结果。

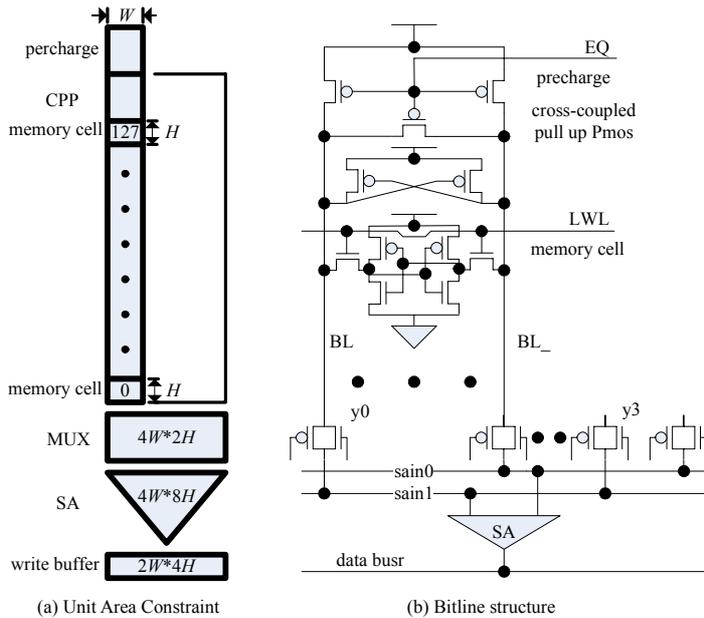


Fig.3 Bitline structure of Static RAM
图 3 静态随机存储器的位线结构示意图

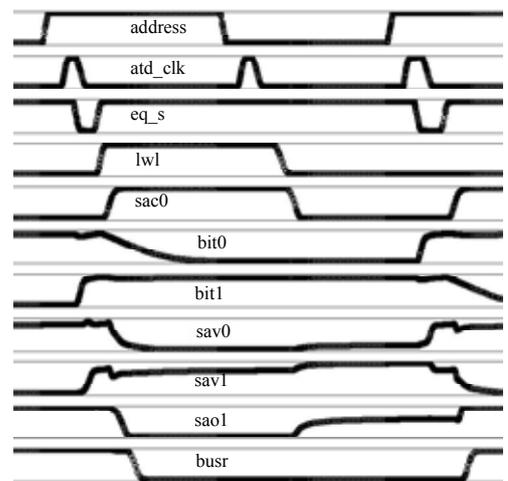


Fig.4 SPICE simulation results of SRAM critical path
图 4 关键路径的 SPICE 仿真结果

在自主研发 128 kb SOI SRAM 的过程中,对存储单元进行了完全体接触设计^[12],其中负载 PMOS 管和驱动 NMOS 管采用体源短接(Body Tied to Source, BTS)型体接触,更为关键的存取 NMOS 管采用 H 型栅体接触技术,结果表明这样的设计保证了电路最终的抗辐射能力。

2.2 流片加工及功能测试

CS58-128RH 是一款自主研发具有完全知识产权的 SRAM 电路,采用完全定制的层次化设计方法,芯片规模达到 100 万晶体管^[13]。芯片的加工在中国电子科技集团第 58 所进行,采用 0.8 μm 辐射加固的 SOI CMOS 工艺,5 英寸注氧隔离(Separation by Implanted Oxygen, SIMOX)SOI 基片,顶层硅膜厚度约为 0.3 μm,器件间为浅槽隔离,3 层金属布线。图 5 给出该款 SOI SRAM 电路封装后的顶视图,图 6 是芯片电流随工作频率的变化趋势图。

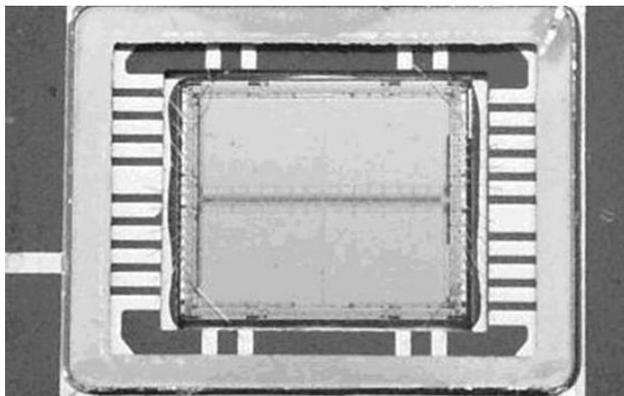


Fig.5 Top view of packaged 128 kb SRAM
图 5 128 kb SRAM 封装后顶视图

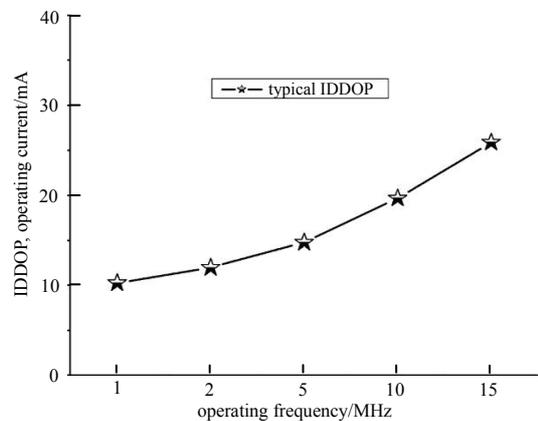


Fig.6 Typical IDDOP vs. operating frequency
图 6 芯片工作电流随工作频率变化趋势图

2.3 单粒子摸底试验

同航天五院元器件可靠性中心合作,利用原子能研究院的串行加速器进行单粒子摸底试验,首先将 SRAM 写入 55H 和 AAH 交叉的测试图形,在辐照过程中一直对 SRAM 内容进行回读比较,同时监测芯片的工作电流。试验中采用的粒子及试验结果见表 1。可以看出,当粒子的 LET 阈值达到 $61.8 \text{ MeV}/(\text{mg}/\text{cm}^2)$ (碘离子)时,未发现单元翻转(I 离子对应翻转截面低于 $5 \times 10^{-11} \text{ cm}^2/\text{bit}$),未产生门锁(工作电流未增大)。

表1 国产128 kb SOI SRAM抗单粒子辐射摸底试验情况

ions	LET energy/(MeV·mg ⁻¹ ·cm ²)	total ions	upset
³⁵ Cl ¹¹⁺	13.9	7.8×10^5	none
⁶³ Cu ¹³⁺	33.4	3.0×10^4	none
I	61.8	1.5×10^5	none

3 结论

单粒子事件成为影响航天器的在轨寿命和可靠性的重要因素,提高 SRAM 的抗单粒子翻转能力,正成为当前电子元器件抗辐射加固领域的研究重点之一。商用体硅 SRAM 的抗 SEU 水平相对较低,难以满足单粒子加固的要求。采用 SOI 技术,能够将 SRAM 产品的抗单粒子翻转性能提高 2~5 倍。中科院半导体所研制的国产 128 kb SOI SRAM,采用辐射加固的 SOI CMOS 工艺,在设计时采用存储单元完全体接触技术,试验结果表明该款 SRAM 的抗单粒子翻转 LET 阈值大于 $61.8 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 。由于在工艺水平和具体电路结构上的区别,国产 128 kb SOI SRAM 不能简单和国外产品进行比较,但可以看出,基于 SOI 加工工艺技术,仅需进行器件结构和存储单元的适当考虑,即可达到较好的抗单粒子翻转能力。因此,采用 SOI 加固工艺制造 SRAM 等关键元器件,正成为提高芯片抗单粒子辐射能力的一条重要途径。

参考文献:

- [1] Binder D, Smith E C, Holman A B. Satellite anomalies from galactic cosmic rays[J]. IEEE Trans. Nuclear Science, 1975, NS-22(6):2675-2680.
- [2] 杨兆铭. 单粒子效应对航天器的威胁及空间飞行试验评论(1)[J]. 真空与低温, 1995, 1(1):46-58.
- [3] 杨兆铭. 单粒子效应对航天器的威胁及空间飞行试验评论(2)[J]. 真空与低温, 1995, 1(2):101-108.
- [4] 王丽君, 孙辉先, 陈小敏, 等. IDT7164 在 ⁴⁰Ar 束流中的单粒子效应[J]. 原子能科学与技术, 1997, 31(3):264-266.
- [5] 薛玉熊, 曹洲, 杨世宇, 等. IDT6116 单粒子敏感性评估试验技术研究[J]. 原子能科学与技术, 2008, 42(1):22-27.
- [6] Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R, et al. Radiation effects in SOI technologies[J]. IEEE Transactions on Nuclear Science, 2003, 50(3):522-538.
- [7] Davis G E, Hite L R, Blake T G W, et al. Transient Radiation Effects in SOI Memories[J]. IEEE Transactions on Nuclear Science, 1985, NS-32(6):4432-4437.
- [8] Musseau O. Single-event effects in SOI technologies and devices[J]. IEEE Transactions on Nuclear Science, 1996, 43(2):603-613.
- [9] Nadim Haddad, Ron Brown, Richard Ferguson, et al. SOI - is it the solution to commercial product SEU sensitivity[C]// Proceedings of RADECS 2003. 2003:231-234.
- [10] Damiano J, Franzone P D. Integrated Dynamic Body Contact for H-gate PD-SOI MOSFETs for High Performance/Low Power [C]// 2004 IEEE International SOI Conference. 2004:115-116.
- [11] Hirose K, Saito H, Kuroda Y, et al. SEU Resistance in Advanced SOI-SRAMs Fabricated by Commercial Technology Using a Rad-Hard Circuit Design[J]. IEEE Transactions on Nuclear Science, 2002, 49(6):2965-2968.
- [12] 赵凯, 刘忠立, 于芳, 等. 抗辐射 128kb PDSOI 静态随机存储器[J]. 半导体学报, 2007, 28(7):1139-1143.
- [13] 赵凯. 抗辐射 128Kb PDSOI SRAM 的实现与结构化 ASIC 的设计方法研究[D]. 北京:中国科学院半导体研究所, 2007.

作者简介:



赵凯(1981-),男,山东茌平人,博士,助理研究员,担任国防预研 128 kb 和 256 kb SOI SRAM 项目主设计师,参与多项 SOI 基抗辐射门电路及专用集成电路设计研究,现从事特种微电子器件及结构化 ASIC 的设计研发工作.email: zhaokai@red.semi.ac.cn.

高见头(1982-),男,辽宁黑山人,本科,工程师,现从事特种 IC 测试工作。

杨波(1978-),男,湖南岳阳人,博士,助理研究员,现从事特种 IC 应用研究。

于 芳(1960-),女,北京市人,本科,研究员,博士生导师,半导体技术专家,现从事特种半导体器件及电路重大项目技术研究.

肖志强(1970-),男,江西赣州人,在读博士研究生,高级工程师,中电集团 58 所所长助理,总工程师,现从事 SOI 集成电路生产研究.

李 宁(1977-),男,湖南邵东人,本科,工程师,现从事特种 IC 研发工作.

刘忠立(1940-),男,武汉市人,本科,研究员,半导体技术专家,我国抗辐射 SOI/SOS CMOS 集成电路奠基人之一,现从事半导体器件及电路研究.

洪根深(1973-),男,安徽无为,人,硕士,高级工程师,现从事 SOI 集成电路生产研究.

(上接第86页)

参考文献 :

- [1] 赖祖武. 抗辐射电子学 - 辐射效应及加固原理[M]. 北京:国防工业出版社, 1998.
- [2] Radiation Performance of Actel Products[EB/OL]. [2009-09-20]. <http://www.actel.com>,2004.
- [3] 赵洪超,余军红,杜川华. 一种反熔丝 FPGA 的抗辐射性能研究[C]// 第十二届反应堆数值计算与粒子输运学术会议论文集. 2008.
- [4] 杜川华,詹峻岭,徐曦. 反熔丝 FPGA 延时电路 γ 瞬时辐射效应[J]. 强激光与粒子束, 2006,18(2):321-324.
- [5] 袁国火,徐曦,董秀成. MTM 反熔丝 FPGA 总剂量及加固技术[J]. 核电子学与探测技术, 2007,27(1):147-149.
- [6] 陈桂梅,唐冬. 反熔丝 ONO 工艺技术研究[C]// 第九届全国抗辐射电子学与电磁脉冲学术年会论文集. 2007.

作者简介 :



赵洪超(1971-),男,四川阆中人,高级工程师,主要从事抗辐射加固技术研究.
email:zhaowaves@sohu.com.

朱小锋(1976-),男,四川省大英县人,硕士,助研,主要从事抗辐射加固技术研究.

杜川华(1977-),女,四川省绵阳市人,硕士,助研,主要从事抗辐射加固技术研究.