

文章编号: 1672-2892(2010)06-0647-05

非相干扩频接收机伪码跟踪环设计及 FPGA 实现

苗江宏, 马国宁, 贺寓东, 尹亮

(中国工程物理研究院 电子工程研究所, 四川 绵阳 621900)

摘要: 伪码跟踪环的设计是实现非相干扩频接收机的关键环节。为了实现非相干扩频接收机的伪码跟踪, 设计了能量归一化的延迟锁定跟踪环, 给出了环路的实现结构及环路参数的计算方法。分析了非相干扩频的特点, 指出环路设计的关键点, 在此基础上阐述了码环鉴别器、环路滤波器、超前滞后码发生器的设计及实现方法, 并给出一套具体的实现参数。Modelsim 仿真结果及 FPGA 实测数据表明所设计的环路能对伪码进行精确跟踪。

关键词: 非相干扩频; 伪码跟踪环; 环路滤波; Modelsim 仿真

中图分类号: TN914.42

文献标识码: A

Design and FPGA realization of code tracking loop in noncoherent spectrum spread receiver

MIAO Jiang-hong, MA Guo-ning, HE Yu-dong, YIN Liang

(Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621900, China)

Abstract: The design of code tracking loop is a key sector of the realization of noncoherent spectrum spread receiver. In order to realize the code tracking in noncoherent spectrum spread receiver, an energy-normalization digital delay-locked loop was designed, the structure of the loop and the calculating procedure of loop parameters were introduced. The characteristic of noncoherent spectrum spread was analyzed first, and then the key point of the loop design was pointed out. Based on this, the design and realization methods of code loop discriminator, loop filter, early and lag code generator were expatiated. A set of specific loop parameters were introduced as well. Modelsim simulation results and FPGA actual measured data prove the precise code tracking ability of the design.

Key words: noncoherent spectrum spread; code tracking loop; loop filter; Modelsim simulation

扩频技术在通信、测控等领域得到了越来越广泛的应用^[1-2]。在相干扩频中, 数据时钟和伪码时钟是相干的, 且数据率和伪码率存在特定关系。一般情况下, 1个数据比特宽度等于1个伪码周期, 在扩频时1个数据比特也与1个伪码周期对齐。而在非相干扩频^[3]中, 数据时钟和伪码时钟是不相干的, 数据率和伪码率从理论上讲可以独立设置。非相干带来了更大的灵活性, 但同时也给接收机的设计提出了更高要求。在非相干扩频接收机伪码跟踪环的设计中, 要特别注意码环鉴别器中积分时间的确定, 环路滤波器参数的选取, 这是整个伪码跟踪环设计的关键。本文详细讨论了伪码跟踪环中码环鉴别器、环路滤波器、超前滞后码发生器的设计及实现方法, 给出了关键参数的计算公式, 采用VHDL语言实现了本设计, Modelsim仿真结果及FPGA实测数据验证了设计的有效性。

1 伪码跟踪环结构分析

在扩频通信系统中, 伪码的同步可分为捕获、跟踪 2 个过程^[4-5], 通过伪码捕获可使本地伪码与接收伪码基本保持同步, 获得二分之一码元宽度的同步精确度。捕获电路完成伪码的捕获(粗同步)后, 接收伪码与本地码并未完全对齐, 且由于发射机和接收机的相对运动及时钟的不稳定, 二者存在频率差, 很快将失去同步。为了保持同步且将同步精确度控制在更小的范围内, 以使本地伪码尽可能跟随接收信号的变化, 必须采用锁相跟踪, 目前应用最广泛的伪码跟踪环为延迟锁定跟踪环(Delay-Locked Loop, DLL), 其结构如图 1 所示^[6]。

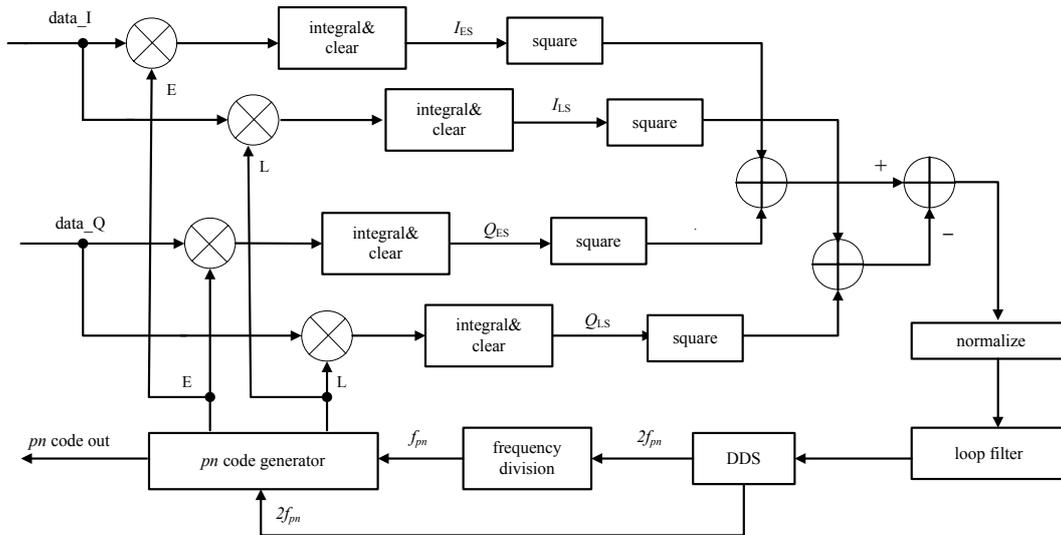


Fig.1 Structural diagram of digital delay-locked loop

图1 延迟锁定跟踪环结构框图

DLL 可看作一种特殊的锁相环，它对外来信号时延而不是载波相位进行锁定。中频输入信号经过数字下变频产生同相、正交 2 支路信号送入 DLL 环路；然后分别与本地超前码、本地滞后码进行相关和数据累加，得到同相支路超前相关峰 I_{ES} 、滞后相关峰 I_{LS} 和正交支路超前相关峰 Q_{ES} 、滞后相关峰 Q_{LS} ；最后将超前能量与滞后能量相减，并进行归一化得到鉴相误差，该误差经过环路滤波器后控制 DDS 产生本地伪码时钟，从而控制本地伪码的移动方向，最终达到消除时延误差实现精同步的目的^[7]。

归一化的鉴相特性函数为：

$$D_d(\delta) = R_c^2[(\delta+1/2)T_c] - [R_c^2[(\delta-1/2)T_c]] \quad (1)$$

式中： $R_c(\delta)$ 为伪码归一化自相关函数； T_c 为伪码 chip 间隔。鉴相曲线如图 2 所示。

如果鉴相结果大于零，位于 A 点处，说明超前能量大于滞后能量，即超前伪码与接收伪码对齐，当前伪码滞后了，此时当前伪码需要朝超前方向移动；同理，如果鉴相结果位于 C 点，说明滞后能量大于超前能量，即滞后伪码与接收伪码对齐，当前伪码超前了，此时当前伪码需要朝滞后方向移动；如果鉴相结果位于 B 点，说明超前能量和滞后能量相当，当前伪码与接收伪码对齐了。

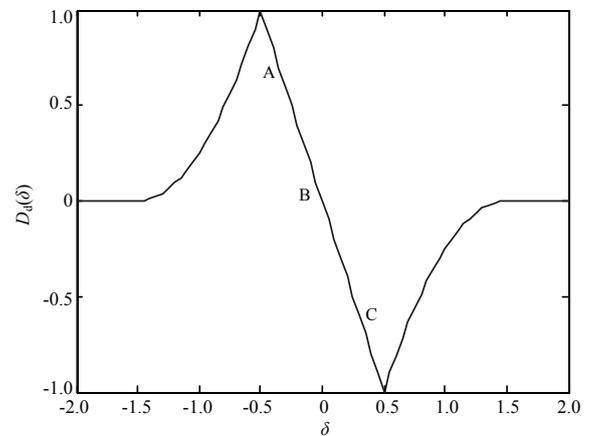


Fig.2 Normalized phase discriminate characteristic curve

图2 归一化的鉴相特性曲线

2 伪码跟踪环关键模块设计

2.1 码环鉴别器

码环鉴别器主要包括图1所示的积分清零、平方、超前能量减滞后能量、以及相减结果的归一化等环节。归一化处理是用超前能量与滞后能量之差除以超前能量与滞后能量之和来实现的。归一化的目的是为了便于计算环路滤波器中的鉴相增益，使鉴相增益与输入信号功率无关。码环鉴别器的设计，关键在于积分时间的确定以及积分清零脉冲的产生。

相关器的积分时间取决于输入信噪比，为了保证积分判决达到一定的检测概率，必须有足够长的积分时间。在非相干扩频伪码相关器中，有3个因素限制了积分的时间长度：多普勒频移、调制数据速率和伪码速率。首先，载波多普勒频移引起的相位变化将降低相关累加器的输出峰值，为了使各个乘积在累加时不互相抵消，相干积分

时间需小于等于 $\frac{1}{2f_d}$ (f_d 为载波多普勒频率)；其次，由于在伪码上调制数据，当1次相关中涉及2个以上数据位时，

伪码极性可能发生翻转，相干累加时会相互抵消，所以相干积分时间需小于等于 $\frac{1}{2f_n}$ (f_n 为数据速率)；最后，

还应综合考虑数据速率和伪码速率的关系，当数据率较低而码率较高时，1个数据位宽度内可能包含很多个伪码周期，此时积分时间可依据伪码周期来确定。

确定了积分时间，实际上就确定了积分清零脉冲的脉冲间隔。由于是非相干扩频，在接收端进行伪码跟踪时(此时还未进行位同步)，无法知道数据比特的起始位置，也就不可能根据数据比特来确定积分清零脉冲的起始位置。基于伪码在接收数据流中是周期且连续出现的，当积分未跨越数据位时，积分清零脉冲出现在伪码周期的哪一个位置并不影响积分的结果。综上所述，在确定了积分时间后，就可直接据此产生积分清零脉冲。

2.2 环路滤波器

环路滤波器的作用是用来降低噪声，以便在其输出端对原始信号产生精确估计。环路滤波器的阶数和噪声带宽决定了环路滤波器对信号的动态响应。环路滤波器的形式和参数的选取是系统设计及调试的关键，它在很大程度上决定了环路的噪声性能、捕获性能和跟踪性能。

本系统选用一阶数字环路滤波器，其实现结构如图3所示。

误差信号输入即码环鉴别器的归一化输出。误差信号更新脉冲由码环鉴别器给出，1个脉冲表明误差信号的1次更新，设计本环路滤波器关键在于参数 C_1, C_2 的确定。参数 C_1, C_2 可由下式确定^[8]：

$$C_1 = \frac{1}{K_0 K_d} \frac{8\xi\omega_n T_s}{4 + 4\xi\omega_n T_s + (\omega_n T_s)^2} \quad (2)$$

$$C_2 = \frac{1}{K_0 K_d} \frac{4(\omega_n T_s)^2}{4 + 4\xi\omega_n T_s + (\omega_n T_s)^2} \quad (3)$$

当 $\omega_n T_s \ll 1$ ，即环路的采样频率 f_s 远大于环路的自然频率 f_n 时， C_1, C_2 可由下式确定：

$$C_1 = \frac{2\xi\omega_n T_s}{K_0 K_d} \quad (4)$$

$$C_2 = \frac{(\omega_n T_s)^2}{K_0 K_d} \quad (5)$$

式中： ξ 为阻尼因子，一般取0.707； ω_n 为环路的自然角频率， $\omega_n = \frac{8\xi B_n}{1 + 4\xi^2}$ ， B_n 为环路的等效噪声带宽； T_s 为误差信号的更新周期； K_0 为DDS增益， $K_0 = \frac{f_s}{2^N} \frac{1}{2} T_s$ ， f_s 为DDS的工作频率， N 为DDS中相位累加器的位数； K_d 为伪码跟踪环的鉴相增益，当采用功率归一化的鉴相算法时 $K_d = 2$ 。

2.3 超前滞后码发生器

伪码发生器可用移位寄存器的方法实现。移位寄存器在伪码速率 f_{pn} 下工作以产生伪码，产生的伪码在 $2f_{pn}$ 时钟的驱动下通过1个三比特寄存器，就可产生相互间隔为二分之一码元宽度的超前码、当前码和滞后码。

3 Modelsim 仿真结果与 FPGA 实测数据分析

根据上文介绍的方法设计了伪码跟踪环的VHDL程序，在Modelsim环境下进行了仿真，并在FPGA中实现了该设计。参数选取如下：伪码率 $f_{pn} = 10.23$ MHz，伪码长 $L = 1023$ ，数据率 $f_n = 1$ kHz，多普勒频率 $f_d = 2.5$ MHz，按照上文介绍的确定相干积分时间的原则选取相干积分时间 $T_s = 0.1$ ms，系统工作频率 $f_s = 100$ MHz，DDS中相位累加器的位数 $N = 32$ ，环路滤波器环路等效噪声带宽 $B_n = 100$ Hz，由此可以确定环路滤波器参数 $C_1 = 11452, C_2 = 152.7$ 。仿真信噪比(中频) $R_{SN} = -30$ dB。

当码环刚开始工作还未进入锁定状态时，当前伪码gold_p并未与接收伪码i_data_based_spread对齐，见图4。图5表示码环已进入锁定状态，可以看到此时当前伪码gold_p已与接收伪码i_data_based_spread对齐，跟踪误

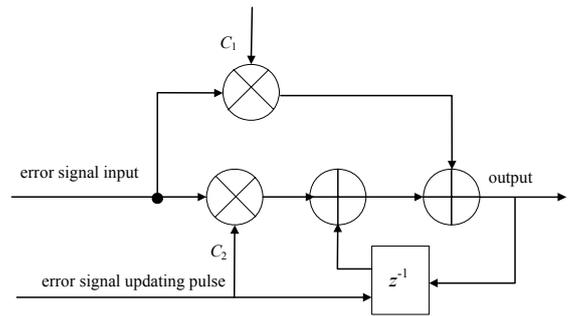


Fig.3 One order digital loop filter realization structure
图3 一阶数字环路滤波器实现结构

差小于2个系统时钟周期，即小于0.02 μs(图中当前伪码和接收伪码的极性相反，表明此时调制的基带数据为负)。

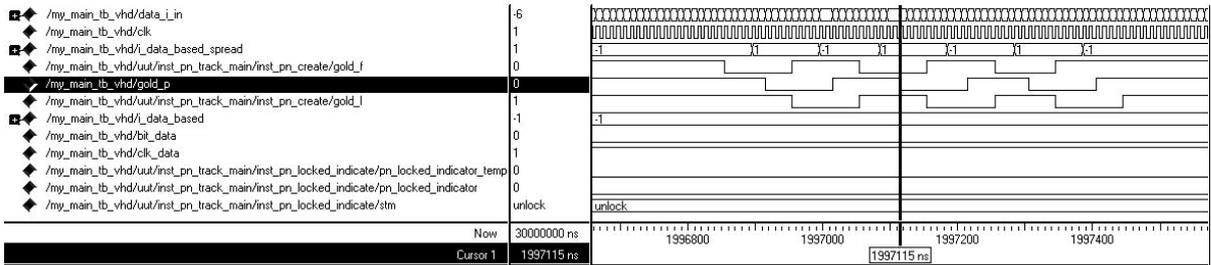


Fig.4 Simulation graph while code loop unlocked
图 4 码环未锁定时仿真图

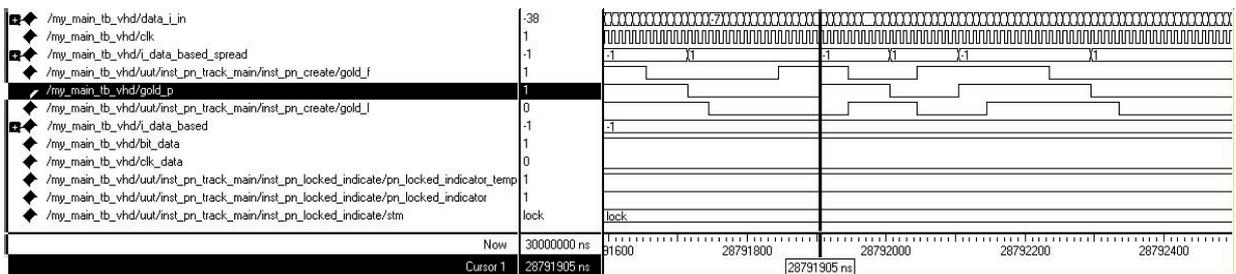


Fig.5 Simulation graph while code loop locked
图 5 码环锁定时仿真图

为了便于观察到解调数据，以验证环路工作的正确性，在伪码跟踪环后还加入了位同步环，通过输入基带数据i_data_based与位同步环输出的解调后数据bit_data的对比，可以看出解调结果正确，如图6所示。

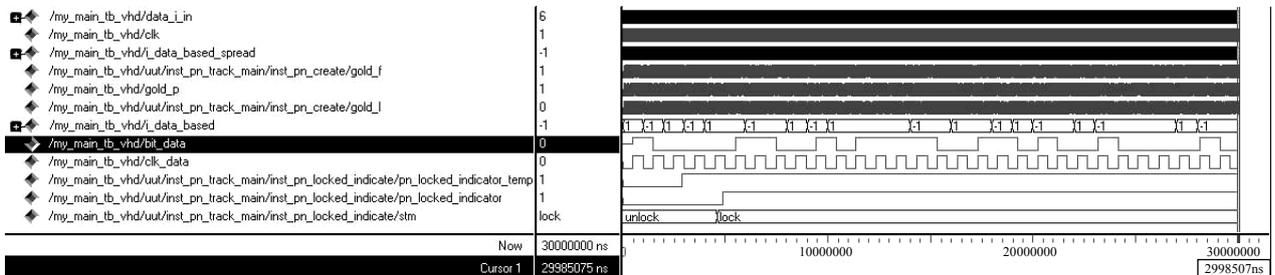


Fig.6 Simulation graph of data demodulation
图 6 数据解调仿真图

为了进一步验证设计的有效性和可实现性，在Xilinx的XC5VLX330中对设计进行了实际测试，并用Chipscope抓取FPGA的内部信号，可以看到当前伪码gold_p与接收伪码i_data_based_spread对齐，如图7所示。

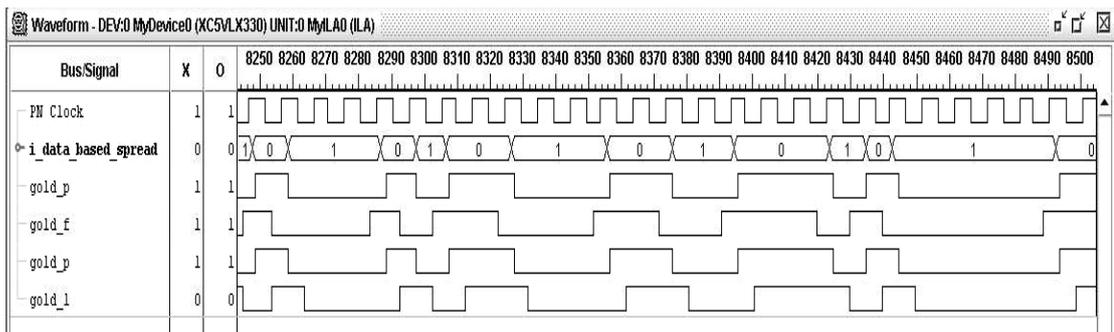


Fig.7 FPGA actual measured graph while code loop locked
图 7 码环锁定时 FPGA 实测图

4 结论

本文对非相干扩频的特点及伪码跟踪环的结构进行了分析,在此基础上给出了关键模块的设计及实现方法,并给出了关键参数的计算公式。Modelsim仿真结果以及FPGA实测数据验证了设计的有效性。

参考文献:

- [1] 张健,张富堂. 扩频与码分多址技术在飞行器测控中的应用[J]. 遥测遥控, 1998(2):20-26. (ZHANG Jian,ZHANG Fu-tang. Application of Spread Spectrum and CDMA Technology in Vehicle TT&C System[J]. Telemetry & Telecontrol, 1998(2): 20-26.)
- [2] 任松,李改芹,陈剑红. 伪码扩频航天测控体制设计[J]. 信息与电子工程, 2007,5(3):165-169. (REN Song,LI Gai-qin, CHEN Jian-hong. Design of Pseudo Code Spread Spectrum Aerospace TT&C System[J]. Information and Electronic Engineering, 2007,5(3):165-169.)
- [3] Tantaratana S,Lam A W,Vincent P J. Noncoherent sequential acquisition of PN sequences for DS/SS communications with/without channel fading. IEEE Trans. Comm., 1995,43(234):1738-1745.
- [4] Cheng U J,William J H,Joseph I S. Spread-spectrum code acquisition in the presence of Doppler shift and data modulation[J]. IEEE Trans. Comm., 1990,38(2):241-250.
- [5] 查光明,熊贤祚. 扩频通信[M]. 西安:西安电子科技大学出版社, 1990. (CHA Guang-ming,XIONG Xian-zuo. Spread Spectrum Communication[M]. Xi'an:Publishing House of Xidian University, 1990.)
- [6] Elliott D Kaplan. GPS 原理与应用[M]. 北京:电子工业出版社, 2002. (Elliott D Kaplan. Understanding GPS Principles and Applications[M]. Beijing:Publishing House of Electronics Industry, 2002.)
- [7] 潘树国,安康,王庆. 伪码测距中码跟踪环的 FPGA 实现[J]. 电子器件, 2008,31(6):1847-1850. (PAN Shu-guo,AN Kang, WANG Qing. FPGA Realization of Code Tracking Loop in PN Code Ranging[J]. Chinese Journal of Electron Device, 2008, 31(6):1847-1850.)
- [8] Roland E Best. 锁相环设计、仿真与应用[M]. 北京:清华大学出版社, 2007. (Roland E Best. PLL Design Simulation and Application. Beijing:Publishing House of Tsinghua University, 2007.)

作者简介:



苗江宏(1983-),男,四川省西昌市人,硕士,研究实习员,主要从事遥测信号处理与扩跳频技术研究.email:miaojh21160@126.com.

马国宁(1974-),男,江西省樟树市人,硕士,助理研究员,主要从事遥测通信系统与信号处理技术研究.

贺寓东(1982-),男,湖北省荆州市人,博士,助理研究员,主要从事遥测信号处理与DBF技术研究.

尹亮(1981-),男,重庆市人,硕士,研究实习员,主要从事遥测信号处理技术与高速电路设计.