文章编号: 1672-2892(2012)05-0613-03

SOI SONOS EEPROM 管电离总剂量辐射效应

陈正才,徐大为,肖志强,高向东,洪根深,徐 静,周 淼

(中国电子科技集团公司 第58研究所, 江苏 无锡 214035)

摘 要:采用 0.6 µm SOI SONOS 工艺技术平台研制了 0.6 µm SOI SONOS EEPROM 管,分析其 擦写特性。辐射前, SONOS EEPROM 管的阈值窗口电压为 5.04 V。利用 Co-60 γ 源研究存储管的 电离总剂量辐射特性,给出了 SONOS EEPROM 管擦除态、编程态的 $L - V_{\epsilon}$ 曲线及阈值窗口随辐射 总剂量的变化关系,在辐射总剂量达到 500 Krad(Si)时,EEPROM 管仍有 0.7 V 的阈值窗口,可以 实现存储电路的设计,并对总剂量辐射引起存储管阈值漂移的机理进行了探讨。

关键词: SONOS EEPROM 器件; 电离总剂量辐射; 绝缘体上硅
 中图分类号: TN43; TL84
 文献标识码: A

Total dose radiation response of SOI SONOS EEPROM transistors

CHEN Zheng-cai, XU Da-wei, XIAO Zhi-qiang, GAO Xiang-dong, HONG Gen-shen, XU Jing, ZHOU Miao (The 58th Institute, China Electronics Technology Group Corporation, Wuxi Jiangsu 214035, China)

Abstract: 0.6 μ m SOI SONOS EEPROM transistors were fabricated with 0.6 μ m SOI SONOS process, and their current-voltage characteristics both programmed and erased were discussed. The threshold window voltage was 5.04 V before radiation. Then these EEPROM transistors were radiated with Co-60 γ -ray at various radiation levels. It was showed that the EEPROM still had a threshold window of 0.7 V when the total dose reached 500 Krad(Si), satisfying the requirement of the memory circuit. The mechanism of the threshold shift due to total dose radiation was analyzed.

Key words: SONOS EEPROM; total dose radiation; Silicon On Insulator

SONOS(Si-SiO₂-Si₃N₄-SiO₂-Si) EEPROM 工艺不仅可以和标准 CMOS 工艺兼容,而且存储管尺寸可随先进工 艺的发展逐渐减小,实现高集成度应用。由于其隧道氧化层的厚度相对于传统的浮栅结构更薄,擦写操作电压更 低,速度更快,可满足低压低功耗应用。另外,由于 SONOS 单元的电荷是存储在绝缘的 Si₃N₄中,单个缺陷不 会导致存储信息的丢失。而由于硅栅电极的导电性能,存储在浮栅中的电荷有可能因为一个缺陷而全部泄漏掉, 因此 SONOS EEPROM 具有更好的耐久性等优势^[1-7]。近年来 SONOS EEPROM 在非挥发存储器件中扮演着越来 越重要的角色,被广泛应用于航天航空领域中。由于航空航天电子系统需要器件工作在核辐射环境中,对器件的 抗辐射能力有很高要求,因此,研究 SONOS EEPROM 的电离总剂量效应具有重大现实意义,是研制抗辐射 SONOS EEPROM 电路的基础。本文对 SONOS EEPROM 管的 *I*_d-*V*_g曲线随着电离辐射总剂量的变化而发生的漂移进行了 研究分析,并借助阈值窗口的变化对器件进行了评估。

1 工艺和实验过程

表1 典型编程、擦除条件				
Table1 Typical program and erase conditions				
	gate	drain	source	substrate
program	14	0	0	0
erase	-10	5	5	5

工艺上采用了 0.6 µm SOI SONOS 工艺技术平台, Trench 全介质隔离工艺,叠层的 ONO(SiO₂-Si₃N₄-SiO₂)厚度分别约为

2 nm, 20 nm 和 4 nm, 源漏采用 LDD(Lightly Doped Drain)工艺。采用 Keithley 4200 分析仪、Keithley 707 Switch Matrix 和 HP81110A 脉冲发生仪对 SONOS EEPROM 单元进行编程和擦除, 典型编程、擦除条件见表 1。为了方 便对器件进行电离总剂量辐射实验,将器件单独进行了封装。辐射源采用 4 000 Ci Co-60 γ 源,利用 UNIDOS 剂 量仪标定 γ 射线剂量率,剂量率为 50 rad(Si)/s,辐射时的 I_d - V_g 曲线采用 HP4156A 参数分析仪进行测试。所有 测试均在室温条件下进行, I_d - V_g 曲线测试时漏端电压为 0.1 V,辐射时器件的偏置条件为各个端口浮空,实验中

用到的 SONOS EEPROM 存储管的宽长比为 20 µm/0.6 µm。

2 结果和讨论

图 1 显示了辐射前 SONOS EEPROM 管存储态和擦除态的 *I*_d-*V*_g曲线, 2 种状态下的阈值电压值差 5.04 V,即在辐射前 SONOS EEPROM 管的阈值窗口电压为 5.04 V,阈值窗口电压较大,给电路设计留有足够的余量。在 SONOS 多晶上加正电压,沟道中的电子在强电场的作用下基于 FN 隧穿机理隧穿过低氧层存储在中间的绝缘层 Si₃N₄中,完成编程操作。擦除操作与编程操作类似,在多晶上加负电压即可。



图 2显示了处于编程态的 SONOS EEPROM 存储管在电离辐射环境下, *I*_d-*V*_g曲线随总剂量漂移的情况。在存储管分别辐射到 0 Krad(Si)(即没有辐射),30 Krad(Si),60 Krad(Si),100 Krad(Si),200 Krad(Si),300 Krad(Si), 500 Krad(Si)时,对存储单元进行 *I*_d-*V*_g曲线测试。从图 2 中可以看出,随着辐射总剂量的增加,存储管的 *I*_d-*V*_g曲线向负方向漂移,阈值电压逐渐减小。这是由于在 γ 射线辐射环境下,ONO 中产生了电离通道,存储在 Si₃N₄ 中的电子通过底氧发生了泄露,从而使存储管的阈值电压随总剂量的增加而降低^[3]。而处于擦除态的 SONOS EEPROM 管由于在擦除时将 Si₃N₄中的电子隧穿到沟道中,在辐射总剂量小于 100 Krad(Si)时,阈值电压反而随 总剂量的增加而增加,如图 3 所示。在辐射总剂量大于 100 Krad(Si)时,阈值电压随总剂量的增加而减小,这可 能和 SiO₂中陷阱电荷及界面态有关。



随着辐射总剂量的增加,编程态和擦除态下 EEPROM 管的阈值电压变化不完全一样,图 4 显示了 SONOS EEPROM 管阈值窗口随辐射总剂量的变化关系,各个总剂量辐射下编程态和擦除态时 EEPROM 的阈值电压值是

从图 2、图 3 中提取出来的。在电路中为了读取 EEPROM 管中的信息,需要选择一个基准电压来判断 EEPROM 是处于编程态还是擦除态。虽然在辐射总剂量达到 500 Krad(Si)时,仍然有 0.7 V 的阈值窗口,可以实现存储电路的设计,但从图 4 中可明显看出,在 500 Krad(Si)时,编程态的阈值电压最小,约为 0.76 V,而在 100 Krad(Si)时,擦除态的阈值电压最大,约为 0.41 V,两者之间电压差值只有 0.35 V,用固定的基准电压来读取存储管信息的方法无法满足电路辐射到 500 Krad(Si)的要求,需要设计随着存储管阈值窗口变化而变化的读电路,这使电路设计变得十分复杂。本文研制的 SONOS EEPROM 存储管,采用固定基准电压读取存储管信息的方法,可以实现电路辐射到 300 Krad(Si)的要求。

3 结论

利用 0.6 μm SOI SONOS EEPROM 工艺技术平台研制出了 20 μm/0.6 μm 的存储管,并对其擦写特性、电离 辐射总剂量效应进行了研究。结果显示, SOI SONOS EEPROM 管在辐射前有较大的阈值窗口,为 5.04 V,且存 储管具有良好的抗总剂量辐射能力,在辐射总剂量达到 500 Krad(Si)时仍然有 0.7 V 的阈值窗口。采用固定读电 压的方法可以实现 300 Krad(Si)辐射要求的电路应用。

参考文献:

- [1] White M H,Adams D A,Bu J. On the go with SONOS[J]. IEEE Circuits and Devices Magazine, 2000,16(4):22-31.
- [2] Adams D, Farfell P, Jacunski M, et al. SONOS technology for commercial and military nonvolatile memory applications[C]// in Nonovolatile Memory Technology Review. Baltimore, MD:[s.n.], 1993:96-99.
- [3] McWhorter P J,Miller S L,Dellin T A. Radiation response of SONOS nonvolatile transistors[J]. IEEE Trans. on Nucl. Sci., 1986,NS-33(6):1414-1419.
- [4] Adams D A,Fitzpatrick M D,Folk E C,et al. Retention projections for SONOS nonvolatile semiconductor memories based on activation energy studies[C]// Proc. Military/Aerospace Programmable Logic Devices Conf.. Annapolis,Maryland:[s.n.], 2008:204-205.
- [5] White M H,Yang Yang,Ansha Purwar,et al. A Low Voltage SONOS Nonvolatile Semiconductor Memory Technology[J]. IEEE Trans. on Components,Packaging,and Manufacturing Technology,Part A, 1997,20(2):190-195.
- [6] Chang KuoTung, Chen Weiming, Swift C, et al. A New SONOS Memory Using Source-Side Injection for Programming[J]. IEEE Electron Device Letters, 1998, 19(7):253-255.
- [7] Lee Yong Kyu, Sim Jae Sung, Sung Suk Kang, et al. Multilevel Vertical-Channel SONOS Nonvolatile Memory on SOI[J].
 IEEE Electron Device Letters, 2002,23(11):664-666.

作者简介:



陈正才(1981-),男,江苏省盐城市人,主要从事抗辐射加固SOI工艺技术、EEPROM工艺 技术、SOI高压工艺技术开发等方面的工作. email:zcchen113@yahoo.com.cn.

洪根深(1973-),男,合肥市人,在读硕士研究生,主要 从事抗辐射SOI CMOS工艺技术开发研究工作.

徐 静(1980-), 女, 湖北省宜昌市人, 硕士, 主要从事 抗辐射SOI CMOS工艺技术开发研究工作. **徐大为**(1980-),男,江苏省无锡市人,主要 从事抗辐射加固EEPROM设计和单元库技术研究 工作。

肖志强(1970-),男,江西省赣州市人,在读博士研究生,主要研究方向为抗辐射SOI工艺及电路、功率半导体器件与集成电路.

高向东(1974-),男,江苏省淮安市人,在读硕士研究生,主要从事抗辐射SOI CMOS工艺、高 压工艺技术开发研究工作.

周 森(1987-),男,江苏省无锡市人,主要 从事SOI 器件可靠性研究工作.