

文章编号: 1672-2892(2012)05-0627-06

辐射加固 SOI 工艺 FPGA 的设计与验证

吴利华, 韩小炜, 赵 岩, 于 芳, 刘忠立

(中国科学院 微电子研究所, 北京 100029)

摘 要: 进行了一款辐射加固 SRAM 基 VS1000 FPGA 的设计与验证。该芯片包含 196 个逻辑模块、56 个 IO 模块、若干布线通道模块及编程电路模块等。每个逻辑模块由 2 个基于多模式 4 输入查找表的逻辑单元组成, 相对传统的 4 输入查找表, 其逻辑密度可以提高 12%; 采用编程点直接寻址的编程电路, 为 FPGA 提供了灵活的部分配置功能; 通过对编程点的完全体接触提高了全芯片的抗辐射能力。VS1000 FPGA 基于中电集团第 58 所 0.5 μm 部分耗尽 SOI 工艺进行辐射加固设计并流片, 样片的辐照试验表明, 其抗总剂量水平达到 $1.0 \times 10^5 \text{ rad(Si)}$, 瞬态剂量率水平超过 $1.5 \times 10^{11} \text{ rad(Si)/s}$, 抗中子注量水平超过 $1.0 \times 10^{14} \text{ n/cm}^2$ 。

关键词: 辐射加固; 现场可编程逻辑门阵列; 逻辑单元; 部分配置; 部分耗尽 SOI

中图分类号: TN46

文献标识码: A

Design and verification of radiation-hardened by SOI-based FPGA

WU Li-hua, HAN Xiao-wei, ZHAO Yan, YU Fang, LIU Zhong-li

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A radiation-hardened SOI-SRAM-based Field Programmable Gate Array(FPGA) VS1000 is designed and verified. The VS1000 FPGA contains 192 reconfigurable Logic Blocks(LB), 56 reconfigurable Input/Output logic Blocks(IOBs), some routing channel blocks(CHBs) and programming blocks(PGMs). An LB consists of 2 Logic Cells(LCs) based on multi-mode 4-input Look-Up-Table(LUT), which increases logic density by 12% compared to a traditional 4-input LUT. PGM adopts direct-access programming point scheme and provides a more flexible partial configuration. Programming Point(PP) is specially designed using full body-tied techniques to improve radiation-hardened performance of chip. The VS1000 FPGA is designed and fabricated with a 0.5 μm Partial-Depletion Silicon-On-Insulator(PDSOI) logic process at the 58th institute of CETC. The radiation test results indicate that VS1000 FPGA bears total dose tolerance of $1 \times 10^5 \text{ rad(Si)}$, dose rate survivability of $1.5 \times 10^{11} \text{ rad(Si)/s}$ and neutron fluence immunity of $1 \times 10^{14} \text{ n/cm}^2$.

Key words: radiation-hardened; Field Programmable Gate Array; Logic Cell; partial configuration; Partial-Depletion Silicon-On-Insulator

随着半导体制造工艺尺寸的不断缩小, 现场可编程逻辑门阵列(FPGA)架构的日益更新, 其逻辑密度、系统性能均得到大幅提高^[1-2], 且 SRAM 基 FPGA 与身俱来的可重复配置特性使得其不仅在系统的原型设计领域中被广泛使用, 还被大量应用到消费电子、汽车电子、通信领域、军事、航空、航天领域的许多产品中, 成为一系列电子系统的核心部件。然而在军事、航空、航天领域的应用系统中, 必须考虑空间辐射环境及某些核爆环境对电子系统的影响。一般商用的体硅工艺的 SRAM 基 FPGA 对于辐射环境中的单粒子效应、瞬态辐射效应较为敏感, 较难满足应用要求。体硅 CMOS 电路固有的寄生门锁效应使电路在苛刻的环境下可靠性大大降低, 体硅器件在瞬态辐射环境中的加固难度相对较大。体硅技术通常采用三模冗余等辐射加固技术实现辐射加固电路, 不仅增加了设计的复杂度, 减小了芯片的利用率, 而且在抗瞬态辐射的效果上并不理想。而先进的绝缘体上硅(Silicon on Insulator, SOI)技术由于采用全介质隔离结构, 彻底消除了体硅 CMOS 电路的门锁效应, 与同尺寸的体硅器件相比具有更小的结面积, 因此具有更好的抗瞬态辐射和抗单粒子翻转能力, 非常适于辐射环境下的高速、低功耗应

用。因此，基于 SOI 技术实现辐射加固的 FPGA 芯片已成为集成电路产业的一个前沿课题^[3-5]。本文基于中电集团第 58 所 0.5 μm 部分耗尽 SOI 工艺完成了 VS1000 FPGA 芯片的设计及流片验证。

1 VS1000 FPGA 架构设计

图 1 给出了 VS1000 FPGA 的结构示意图。包括 14×14 的逻辑簇(Logic Tile, LT)阵列、56 个可编程输入/输出模块(IOB)、2 个全局信号模块(Global Block, GB)和编程电路模块(PGM)。

LT 是 VS1000 FPGA 的基本功能组成模块,由逻辑模块(LB)和层次化布线通道模块(CHB)组成。1 个 LT 包含 1 个 LB、1 个 CBX(x 方向的 CHB)、1 个 CBY(y 方向的 CHB)和 1 个开关模块(Switch Block, SB)。GB 通过专用的布线资源将全局信号(全局 clock 信号或者全局 reset/set 信号)输送给每个 LB/IOB。全局信号可由芯片外部管脚或内部逻辑信号提供。IOB 提供了芯片管脚和内部信号的连接通道。

除了以上基本模块,VS1000 FPGA 还嵌入了与 IEEE 1149.1 兼容的边界扫描电路,为 FPGA 的测试和在线编程及在线验证提供了很大方便。

PGM 完成 FPGA 配置文件的下载,使 FPGA 实现用户设计的逻辑,VS1000 FPGA 的编程电路支持 3 种编程模式:主串(Serial Master, SM)、从串(Serial Slave, SS)和边界扫描(JTAG)模式。

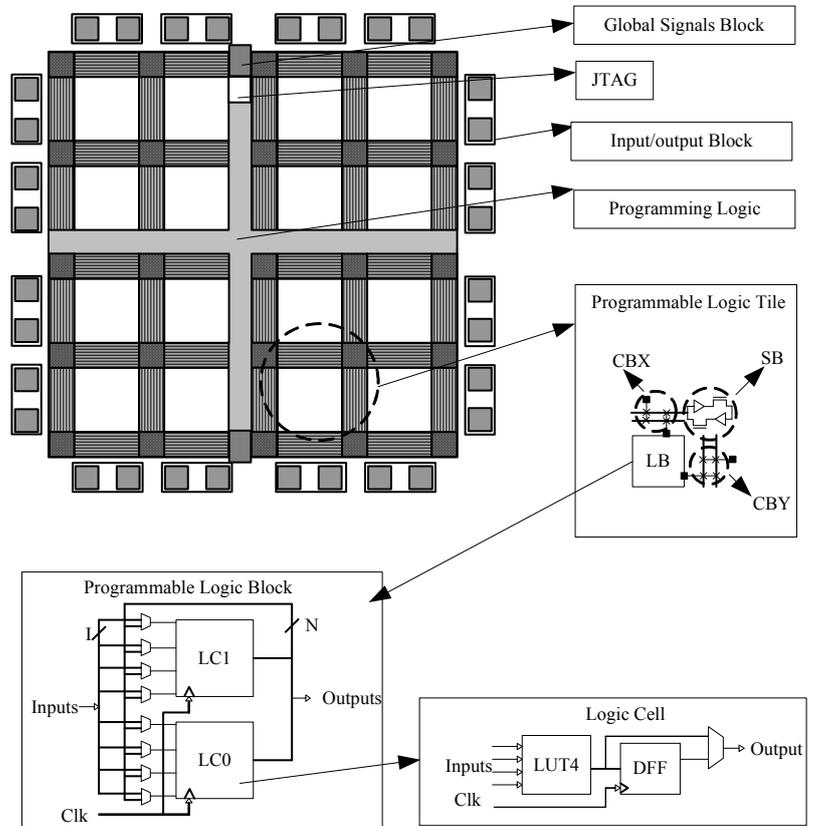


Fig.1 Block diagram of VS1000 FPGA
图 1 VS1000 FPGA 结构示意图

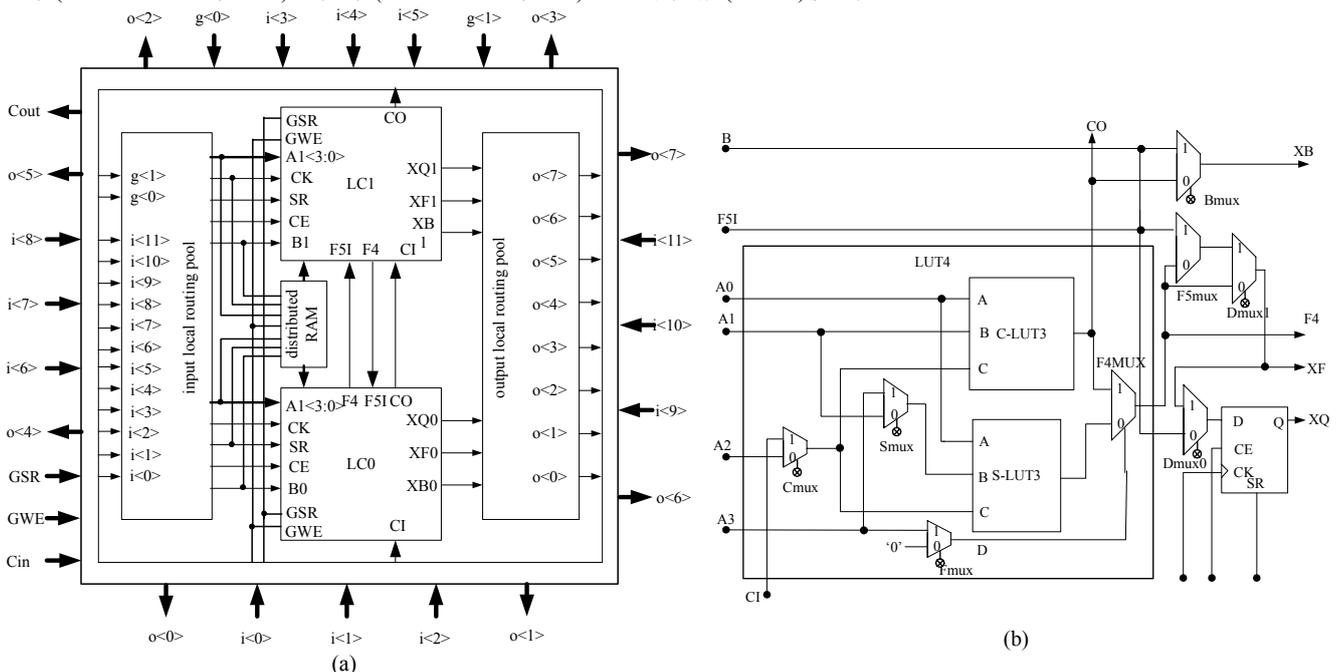


Fig.2 (a) LB block diagram and (b) LC block diagram of VS1000 FPGA
图 2 VS1000 FPGA (a)LB 结构示意图 (b) LC 结构示意图

1.1 逻辑模块设计

图 2(a)给出了 VS1000 FPGA LB 的结构和端口分布示意图。1 个 LB 包括 2 个逻辑单元(LC)、1 个输入局部互连资源(Input Local Routing Pool, ILRP)、1 个输出局部互连资源(Output Local Routing Pool, OLRP)和分布式随机存储器逻辑(Distributed RAM)。LB 的输入输出端口均匀分布在矩形逻辑块四周, 通过输入/输出局部互连资源, LB 逻辑单元的输入输出端口可以均匀地连接到 LB 四周同类型的输入输出端口, 这有利于提高布线的布通率。通过对 LB 控制位(S1,S2,S3,D)的配置, 并在分布式 RAM 逻辑的控制下, LB 可以实现不同的工作模式, 如表 1 所示, 可以分为查找表(LUT)工作模式及 4 种分布式 RAM 工作模式^[6]。

图 2(b)是本文所采用的基于多模式 4-LUT 的 LC 结构图。多模式的 4-LUT 与传统的 4 输入 LUT 相比, 它不仅可以实现 1 个任意的 4 输入布尔逻辑, 还可以实现 2 个 3 输入(部分输入共享)的布尔逻辑。通过对 SMUX, CMUX 和 FMUX 的控制位的配置, LC 可以灵活地被配置为 8 种模式, 进而提高逻辑单元的利用率。如表 2 所示, 经过对大量基准电路的分析和总结, 基于多模式的 4-LUT 的 LC 能够提高 12%的逻辑密度。

表 1 LB 工作模式

LB mode	control bit			
	S1	S2	S3	D
LUT	0	0	0	0
distributed RAM	single port 16x1	1	0	0
	single port (16x1)x2	1	1	0
	single port 32x1	1	0	1
	dual port 16x1	1	0	1

表 2 传统 4-LUT 与多模式 4-LUT 的数量对比

MCNC benchmarks	4-LUT	VS-LUT	gain
c1908	125	105	16.0%
misex3c	263	231	12.2%
dalu	413	363	12.1%
spla	559	493	11.8%
t481	691	641	7.2%
table3	785	702	10.6%
ex1010	1 069	930	13.0%
des	1 438	1 244	13.5%
average	680	601	12.1%

1.2 输入/输出模块设计

IOB 模块是芯片管脚与内部逻辑连接的桥梁, VS1000 FPGA 每个 IOB 包括 2 个 IOC(如图 3 所示)及 IOB 局部布线资源。IOB 局部布线资源完成输入/输出模块与 2 个 IOC 之间的连接, 输入/输出模块通过布线通道实现与内部逻辑的连接。图 3 是 VS1000 FPGA IOC 的结构简图, IOC 包括输入、输出和三态控制逻辑并内嵌边界扫描逻辑, 其中输入逻辑/输出逻辑均含有可配置的寄存器单元, 此外 IOC 具备可配置的输出驱动器, 兼容 5 V TTL 和 5 V CMOS 的输入电平, 可以提供灵活的应用需求。IOC 中嵌入的边界扫描逻辑为芯片的板级测试及芯片自身的测试均提供了便捷的途径。

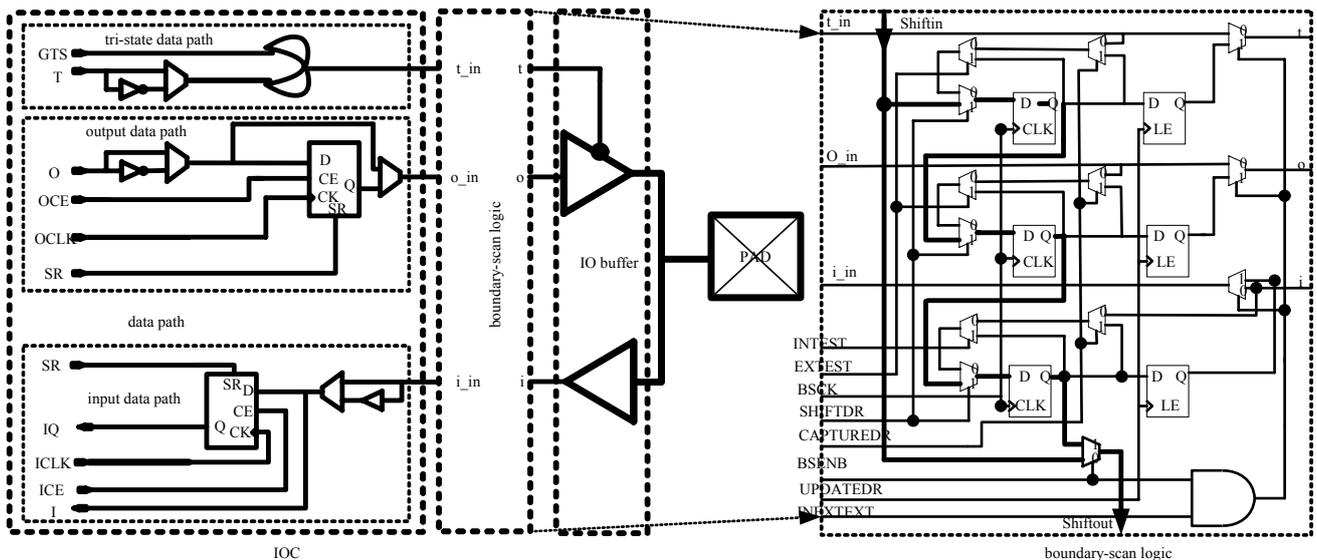


Fig.3 Block diagram of VS1000 FPGA IOC

图 3 VS1000 FPGA IOC 结构示意图

1.3 布线资源设计

VS1000 FPGA 布线资源采用层次化的布线结构, 包括 LB 内部的局部布线资源及层次化的布线通道模块。图 4 是 VS1000 FPGA 层次化布线结构的顶层示意图。局部布线资源(ILRP/OLRP)完成逻辑模块与逻辑单元之间的连接。布线通道模块分为 3 部分: 水平方向的布线通道 CBX, 垂直方向的布线通道 CBY 及 CBX 与 CBY 交汇的地

方构成的开关模块 SB，其中 CBX 与 CBY 组成形式完全一致。通过对布线通道中编程点的配置，可以实现功能模块与布线资源的连接，通过配置开关模块中的编程点，可以实现 CBY 与 CBX 布线之间的连接。

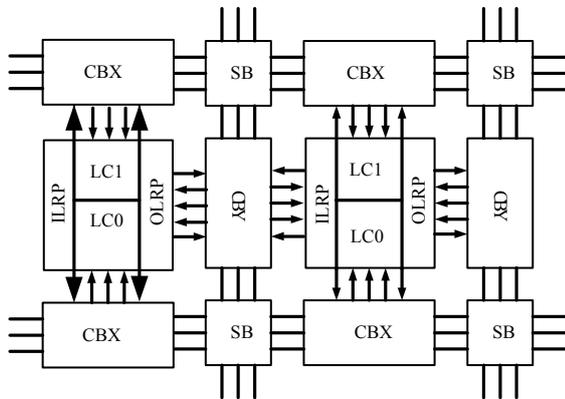


Fig.4 Block diagram of VS1000 FPGA routing resource
图 4 VS1000 层次化布线结构示意图

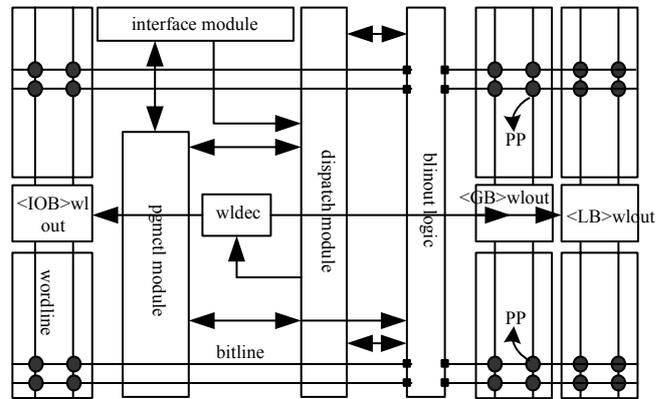


Fig.5 Block diagram of VS1000 FPGA Programming Circuit
图 5 VS1000 FPGA 编程电路模块结构框图

1.4 编程电路模块设计

图 5 是 VS1000 FPGA 编程电路模块的结构框图，其由编程电路的核心逻辑包括接口模块(interface module)、编程控制模块(pgmctl module)、数据解包模块(dispatch module)、读 / 写控制模块(由 wldec,wlout,blinout 3 个子模块构成)，及分布在 FPGA 芯片内部的编程点(PP)构成^[7]。VS1000 FPGA 编程电路采用编程点直接寻址方式，可通过对最小配置单元的设置，实现以位为单位的配置，为 FPGA 提供灵活的部分配置功能^[7]。灵活的部分配置功能可以有效地解决基于 FPGA 的系统在线重构时所面临的“memory coherence problem”^[8]，使得设计人员在一定程度上可以通过定期检测、刷新发生翻转的编程点来解决 FPGA 发生单粒子翻转等问题。

2 VS1000 FPGA 辐射加固设计

在 SRAM 基 FPGA 中,大量存在的编程点即静态随机存储单元对单粒子、瞬态辐射等辐射效应较为敏感^[9]，而且 FPGA 的逻辑功能均由编程点的内容决定，因此在 FPGA 芯片的设计中对于编程点的辐射加固设计显得尤为重要。

考虑到面积因素，并未采用传统的冗余结构的辐射加固静态随机存储单元，而采用标准的 5 管静态随机存储单元作为编程点。基于该单元，在利用 SOI 材料本身具有天然抗辐射性能的同时^[10]，对存储单元中的 PMOS 管和 NMOS 管均进行体接触，且采用体接触更加充分的 H 型栅晶体管作为存取门管，通过充分的体接触来引走体区内多余的电荷，以限制并稳定体区电位，进而减少辐射过程中的瞬态寄生三极管电流，提高编程点的抗辐射性能。图 6 是 VS1000 FPGA 编程点的版图。此外，在工艺平台的流片过程中，特殊的加固工艺技术也被用来提高全芯片的综合抗辐射能力。

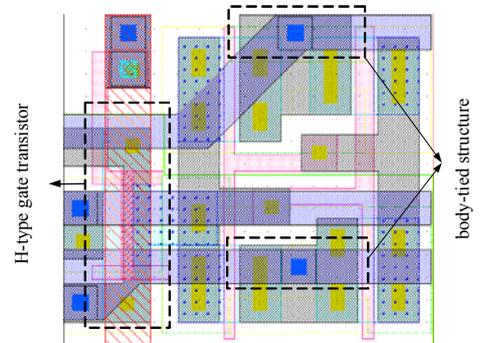


Fig.6 Body-tied five-transistor memory cell (programming point)
图 6 完全体接触的编程点版图

3 VS1000 FPGA 芯片实现

VS1000 FPGA 芯片设计基于中电集团第 58 所 0.5 μm 部分耗尽 SOI 工艺进行，版图绘制采用全定制的层次化设计方法，其最终版图如图 7 (a) 所示，芯片面积达 10.22 mm×9.48 mm。图 7 (b) 是未封装芯片的照片，VS1000 FPGA 芯片采用了 CQFP208 封装。

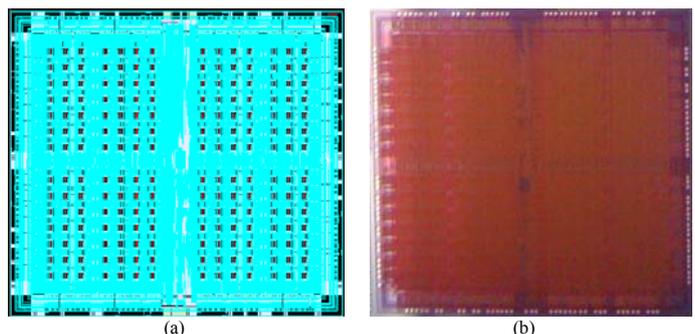


Fig.7 (a) VS1000 layout (b) photo
图 7 VS1000 FPGA(a)版图照片 (b)芯片照片

4 VS1000 FPGA 芯片测试

4.1 VS1000 FPGA 功能测试

FPGA 因其逻辑功能的可配置性,其功能测试的完整性与测试向量集的矛盾一直是 FPGA 测试所面临的挑战。本文基于前人对于 FPGA 的测试研究^[11-14],针对 VS1000 FPGA 的各种功能模块提出了相应的测试向量集(如表 3 所示),分别应用在 FPGA 的晶圆测试、封装测试及板级测试中,最终通过板级测试确保辐照试验板的功能正确。表 4 给出了 VS1000 FPGA 相应的测试结果。

表 3 针对模块的测试实例

block type	configuration mode	
JTAG	test IR register, data register	
PGM	configuration and readback	
	LUT mode	mode1 mode2 mode3 mode4
LB array	RAMD mode	RAMD16×1S S_1
		RAMD16×1D D_1
		RAMD16×1S×2 2_1
		RAMD32×1S S_1
	flip-flop mode	FD FD_1 FDC FDC_1 FDP(total24 types)
CHB array	SB type & track type	diagonal-1 diagonal-2 orthogonal
		single double long
GB array	global tracks & gcs	8 global tracks & 8 gcs
IOB array	buffer mode &	CMOSIN CMOSOUT
	ioc flip-flop mode	

表 4 VS1000 FPGA 晶圆测试、封装测试及板级测试结果

	die test	package test	board test
quiescent current/mA	10	10	—
function test	pass	pass	pass
maximum configuration frequency/MHz	25	25	—
maximum frequency/MHz	25	25	100

4.2 VS1000 FPGA 辐照试验

为了避免其他器件(包括电容、电阻)的存在对 FPGA 芯片在辐照试验中的影响,特别开发了一套由辐照试验 A 板和 B 板组成的辐照试验板,如图 8 所示。其中试验 A 板(包含了电阻、电容及 JTAG 接口)用于完成 PC 与试验 B 板的连接,试验 B 板(仅包含 VS1000 FPGA)在辐照试验时处于辐照环境中。基于该套试验板,VS1000 FPGA 在西北核技术研究所进行了总剂量试验、瞬态试验及中子试验。

总剂量试验采用钴 60 辐射源,剂量率为 50 rad(Si)/s,试验表明芯片的抗总剂量能力良好,达到 1×10^5 Krad(Si);瞬态试验采用强光一号作为辐射源,瞬态剂量率生存能力超过 1.5×10^{11} rad(Si)/s,表明芯片具有优良的闩锁免疫力;中子试验辐射源为西安脉冲反应堆,其抗中子注量水平超过 1.0×10^{14} n/cm²。

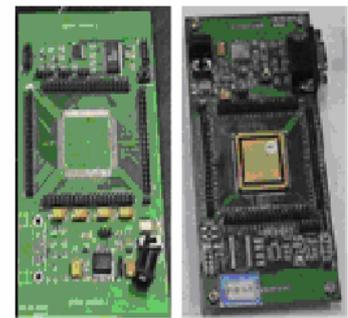


Fig.8 Radiation test board
图 8 VS1000 FPGA 辐照试验板

5 结论

本文基于中电集团第 58 研究所 0.5 μm 部分耗尽 SOI 工艺,设计完成了辐射加固的 VS1000 FPGA 芯片。VS1000 FPGA 采用的基于多模式 4-LUT 构成的逻辑单元可以有效提高逻辑利用率;采用编程点直接寻址的编程电路提供了灵活的部分配置功能,可以解决 FPGA 系统在线重构时所面临的“memory coherence problem”问题;通过对编程点的完全体接触,提高了全芯片的抗辐射能力。样片辐照试验显示,抗总剂量水平达到 1.0×10^5 rad(Si),瞬态剂量率水平超过 1.5×10^{11} rad(Si)/s,抗中子注量水平超过 1.0×10^{14} n/cm²,表明 VS1000 FPGA 达到了良好的抗辐射性能。

参考文献:

- [1] All Programmable FPGAs[EB/OL]. [2012-01-10]. <http://www.xilinx.com>.
- [2] Product-catalog[EB/OL]. [2012-01-10]. <http://www.altera.com>.
- [3] David Dangla,Bernard Bancelin. FPGA for Space 2010[EB/OL]. [2012-01-10]. <http://www.atmel.com>.
- [4] 赵凯,高见头,杨波,等. 用 SOI 技术提高 CMOS SRAM 的抗单粒子翻转能力[J]. 信息与电子工程, 2010,8(1):91-95. (ZHAO Kai,GAO Jiantou,YANG Bo,et al. Improve SRAM SEU resistance with SOI CMOS technology[J]. Information and Electronic Engineering, 2010,8(1):91-95.)
- [5] Staoshi KUBOYAMA. Development Status for JAXA Critical Parts 2009[EB/OL]. [2012-01-10]. <http://www.jaxa.com>.
- [6] Xilinx Inc. Spartan and Spartan-XL Families Field Programmable Gate Arrays:Complete Data Sheet[R/OL]. [2012-01-10]. <http://www.xilinx.com>.
- [7] Wu Lihua,Han Xiaowei,Zhao Yan. Design and implementation of a programming circuit in radiation-hardened FPGA[J]. Journal of Semiconductors, 2011,32(8):085012-1-085012-6.
- [8] Huang Weiye,Edward J McCluskey. A memory coherence technique for online transient error recovery of FPGA configuration[C]// FPGA '01 Proceedings of the 2001 ACM/SIGDA ninth international symposium on Field programmable gate arrays. New York,USA:ACM, 2001:183-192.
- [9] XING Kefei,YANG Jun,WANG Yueke. Study on the Anti-Radiation Technique for Xilinx SRAM-Based FPGA[J]. Journal of Astronautic, 2007,28(1):123-129.
- [10] 黄如,张国艳,李映雪,等. SOI CMOS 技术及其应用[M]. 北京:科学出版社, 2005. (HUANG Ru,ZHANG Guoyan,LI Yingxue,et al. SOI CMOS technology and its applications[M]. Beijing: Science Press, 2005.)
- [11] Renovell M,Portal J M,Figueras J,et al. SRAM-Based FPGA's:Testing the Interconnect/Logic Interface[C]// IEEE Asian Test Symposium. Singapore:[s.n.], 1998.
- [12] Renovell M,Portal J M,Figueras J,et al. SRAM-Based FPGA's:Testing the LUT/RAM Modules[C]// IEEE International Test Conference. Washington,USA:[s.n.], 1998.
- [13] Renovell M,Figueras J,Zorian Y. Test of RAM-Based FPGA:Methodology and Application to the Interconnect[C]// 15th IEEE VLSI Test Symposium. Monterey,CA,USA:[s.n.], 1997.
- [14] Renovell M,Portal J M,Figueras J,et al. RAM-Based FPGA's:A Test Approach for the Configurable Logic[C]// Proc. IEEE Int. Conf. on Design,Automation and Test in Europe. Paris:[s.n.], 1998.

作者简介:



吴利华(1982-),男,江西省德兴市人,博士,助理研究员,研究方向为特种微电子器件及辐射加固,email:wulihua@ime.ac.cn.

韩小炜(1983-),男,陕西省渭南市人,博士,助理研究员,主要研究方向为特种微电子器件及辐射加固.

赵岩(1985-),男,黑龙江省鸡西市人,在读博士研究生,主要研究方向为大规模集成电路的设计.

刘忠立(1940-),男,武汉市人,本科,研究员,主要研究方向为抗辐射 SOI/SOS CMOS 集成电路.

于芳(1960-),女,北京市人,学士,研究员,博士生导师,主要研究方向特种半导体器件及电路.