

文章编号: 2095-4980(2013)05-0762-03

一种实现快速跳频的方法

万 鸣, 魏 萍, 王贵昌

(成都西科微波通讯有限公司, 四川 成都 610036)

摘 要: 介绍了一种简洁可靠的数字锁相频综快速跳频的原理、组成及实现, 采用电阻开关网络对锁相环(PLL)进行预置, 在保证相位噪声、杂散等指标不变的前提下提高了跳频速度, 并通过了实际的测试。该方法实现了锁相电路跳频过程中的快速预置, 加速了频综的跳频速度。

关键词: 锁相环; 预置; 跳频; 电阻网络

中图分类号: TN914.4

文献标识码: A

doi: 10.11805/TKYDA201305.0762

A realization method of frequency-hopping

WAN Ming, WEI Ping, WANG Gui-chang

(Seekon Microwave Communications CO., LTD, Chengdu Sichuan 610036, China)

Abstract: The fast frequency hopping principle, composition and implementation of a simple and reliable digital phase-locked frequency synthesizer is introduced. A resistance switching network is adopted for Phase-Locked Loop(PLL) presets. The hopping speed is improved under the premise of keeping the phase noise, spurs and other indicators unchanged. The actual tests indicate that the proposed method can realize the fast frequency hopping process preset of phase-locked circuit, and accelerate the frequency hopping speed.

Key words: Phase-Locked Loop; preset; frequency-hopping; variable-resistor array

频率合成器是电子系统的核心, 是决定电子系统性能的关键设备。随着现代军事、国防及无线通信事业的发展, 移动通信、雷达、制导武器、电子测量仪器和电子对抗等电子系统对频率合成器^[1]提出了越来越高的要求。世界各国都非常重视频率合成器的研究与应用, 而锁相频率合成方式由于其合成方式简洁、频谱杂散抑制好、硬件简单的特点得以广泛应用。锁相环工作原理是将压控振荡器(Voltage-Controlled Oscillator, VCO)产生的射频信号与参考信号进行鉴相, 通过两信号的相位误差产生直流调谐电压从而锁定压控振荡器。但此种频率合成方式由于引入了负反馈环路, 需要稳态过程, 造成最终输出信号跳频速度受到限制。特别在宽带 VCO 的锁定过程中, 其频率对应的调谐电压范围更大, 使得稳态过程时间增加, 减缓了频率切换速度, 限制了锁相频率合成器在一些领域的应用, 如捷变频雷达、跳频电台等。为了弥补锁相频率合成的这一不足, 出现了多种方法加速其跳频速度。本文介绍了一种提高锁相环跳频速度的方法, 在保证输出信号的相位噪声、杂散等性能指标的前提下, 实现了对锁相电路的快速预置, 电路稳定可靠, 并大大减小了成本、体积, 相对原有的方法有一定优势。

1 原理分析

加速锁相电路的跳频速度, 其核心通常是加快 VCO 调谐电压的稳定速度, 从而实现 VCO 输出信号频率的快速切换。因此, 为了进一步缩短锁相环对 VCO 的锁定时间, 往往采用预置技术辅助锁相电路对 VCO 的控制, 即先产生一调谐电压将 VCO 快速牵引至所需频率附近, 再由锁相电路进行精确锁定, 由此大大减小了锁相电路的捕获范围, 增加了锁定速度。

传统的, 为了实现预置电压的产生, 多采用 D/A 预置技术^[2], 即通过对 VCO 调谐电压的模数转换, 将其电压值以二进制码的形式存贮在 ROM 中, 在工作过程中根据外部频率码提取各电压值的二进制码, 并通过 D/A 合成预置电压。其原理框图如图 1 所示。该方法可产生较精确的预置电压, 但由于采用了数模转换器件, 不可避免

地会引入有源数字噪声,恶化 VCO 输出信号的噪声、杂散性能,同时需要对 VCO 预先扫频,形成码表,导致 D/A 预置电路成本较高,电路较为复杂。

分析锁相环对 VCO 调谐的原理可以看出,环路中的基于运放组成的有源积分滤波器产生调谐电压,电压波动越大则调谐速率越慢,因此缩减调谐电压变化的范围,尽可能将其限制在最小的区间即可实现对 VCO 的快速锁定。基于以上分析,本方案在锁相环与 VCO 间增加一组电阻网络^[3-6],通过不同电阻值对调谐电压进行分压,将运放输出的电压稳定在极小的范围内,从而达到快速跳频的目的。其锁相环组成框图见图 2。

如图 2 所示,相对传统的锁相环结构,在 VCO 与锁相环之间插入了一个电阻分压网络,当锁相环工作时鉴相器输出电压 V_1 基本不变,VCO 调谐电压 V_2 的变化主要依靠电阻分压网络分压实现,电阻分压网络见图 3。

如图 3 所示,电阻网络包括了电阻及多个电子开关,通过电子开关的切换,组合形成多种电阻值,在运放输出电压波动量极小的情况下,实现对环路滤波器输出电压的分压,形成多个调谐电压值,大范围调谐电压完全由电阻网络分压形成,使环路输出的调谐电压快速切换到目标调谐电压,实现锁相环的快速频率切换^[7-8]。

针对图 3 进行分析,梯形电阻分压网络由电阻 $2R$ 、 R 和内部连接的开关组成。经过计算,当 VCO 输入端阻抗 R_1 极大时,该网络的等效输出电阻 $R_0=R$,并且与开关的位置无关。导出的输出电压表达式为

$$V_0 = \left(\frac{1}{2}D_1 + \frac{1}{4}D_2 + \cdots + \frac{1}{2^n}D_n \right) \left(\frac{V_R R_1}{R_0 + R_1} \right) \quad (1)$$

式中: D 表示各个开关的状态; n 为所用开关数。当开关 S_n 接到 $+V_R$ 时, $D_n=1$; 反之,当 S_n 接地时, $D_n=0$ 。这个网络的分辨率,即最小输出电压增量是

$$\Delta V = \frac{1}{2^n} \left(\frac{V_R R_1}{R_0 + R_1} \right) \quad (2)$$

因此,输出的电压精确度不但取决于参考电压的精确度和梯形电阻的误差,还与梯形网络的分辨率有关。当 $D_1=D_2=\cdots=D_n=1$ 时,输出电压最大值为

$$V_{0,\max} = V_R \left(\frac{R_1}{R_0 + R_1} \right) \sum_{k=1}^n \frac{1}{2^k} \quad (3)$$

通过以上计算分析可知,为了实现对 VCO 调谐电压的分压,应首先确定 VCO 的最大调谐电压及所用开关的数量,即 n 。

按照以上分析方法,对某型频综进行改进应用。首先确认所需开关数。在 VCO 输出频率范围为 1 400 MHz~1 664 MHz 时,对应的调谐电压为 1.1 V~4.1 V,按照步进频率 1 MHz 进行预置,则对应的 1 MHz 步进时电压步进约为 0.011 V,当输出电压为最大值即 4.1 V 时,对应的电阻开关网络组合量为 $\frac{4.1}{0.011} \approx 372$,即 $\frac{1}{2^n} \ll 372$,则可计算出所需开关数量 $n>8$,可确定开关总数为 $n=9$ 。假设 VCO 处于最高频率即电压为 4.1 V 时,对应的最大开关码值 511,则相应的调谐电压分辨率为 0.008 V,小于 0.011 V,满足 VCO 实际调谐电压步进。

确认了开关数后,根据 VCO 给出的调谐曲线,按照不同频率对应的调谐电压值计算出对应的开关状态,即 D 值。频综正常工作时,通过预先计算控制各位开关的闭合,组合出不同的调谐电压,迅速锁定 VCO。

2 实际测试结果及对比

针对以上分析,在相同跳频状态下,对改进前后的切换时间进行了实测。

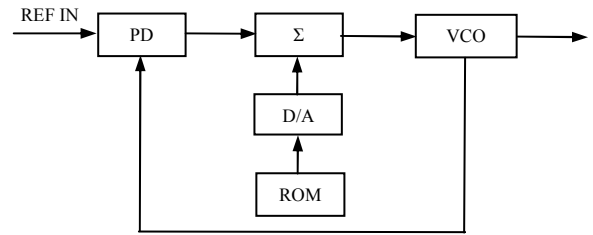


Fig.1 Block diagram of PLL with D/A
图 1 D/A 预置的锁相原理框图

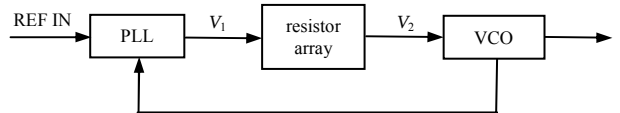


Fig.2 Block diagram of PLL with variable-resistor array
图 2 包含电阻分压网络的锁相环

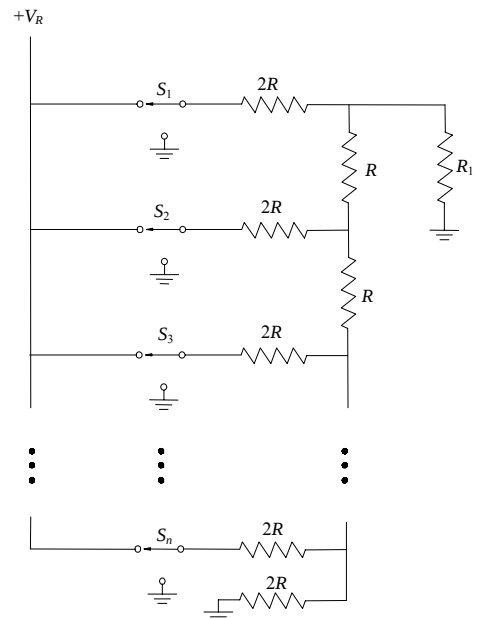


Fig.3 Schematic diagram of variable-resistor array
图 3 电阻分压网络原理框图

对频综两端点频率 1 400 MHz 与 1 664 MHz 两个信号之间进行切换测试, 测试仪器为 E5052B, 实测结果如图 4、图 5 所示, 实测跳频时间在 15 μs 以内。在其他状态保持不变的情况下, 断开电阻开关网络, 再次进行测试, 跳频时间实测如图 6 所示, 实测跳频时间为 47 μs 。

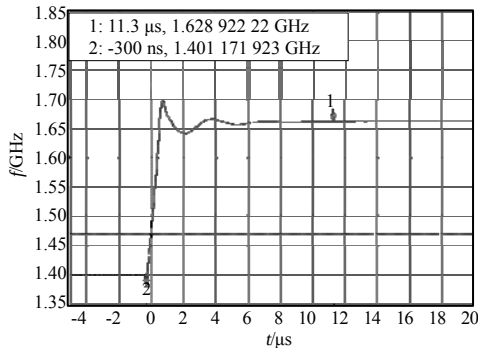


Fig.4 Interval from 1 400 MHz to 1 664 MHz
图 4 1 400 MHz 变频至 1 664 MHz 跳频时间

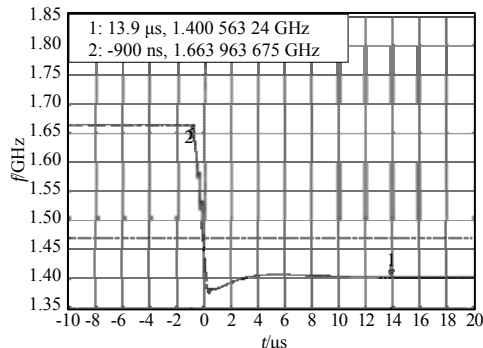


Fig.5 Interval from 1 664 MHz to 1 400 MHz
图 5 1 664 MHz 变频至 1 400 MHz 跳频时间

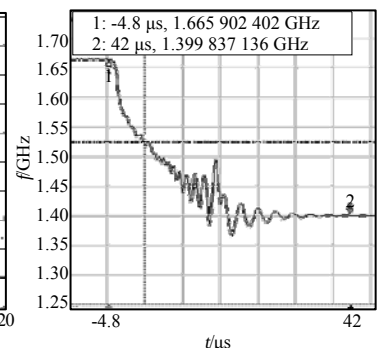


Fig.6 Interval from 1 664 MHz to 1 400 MHz
without variable-resistor array
图 6 未加分压网络跳频时间

由图 4~图 6 可知, 采用电阻开关网络的锁相环的跳频时间相对原普通锁相环减少了 70%左右, 同时, 由于多为无源器件, 没有引入附加噪声, 改进前后信号的相位噪声及杂散抑制制度无明显恶化。

3 结论

通过以上的分析及对比, 可以看出, 采用电阻开关网络对锁相环进行预置, 在保证相位噪声、杂散等指标不变的前提下提高了跳频速度, 实现方便, 成本低, 体积小, 扩大了锁相频率源产品的应用范围, 对系统指标的提升有较大的推动作用。

参考文献:

- [1] Evers A F. A Versatile Digital Frequency Synthesizer for Use in Mobile Radio Communication Sets[J]. Electronic Engineer, 1966,38(5):296-303.
- [2] David F Hoeschele. Analog-to-digital and digital-to-analog conversion techniques[M]. New York:John Wiley, 1994.
- [3] 何松柏. 频率合成器原理与设计[M]. 北京:电子工业出版社, 2008. (HE Songbai. Frequency Synthesizers Theory and Design[M]. Beijing:Electronic Industry Press, 2008.)
- [4] 郑贵强. 锁相环路的宽带调频技术[J]. 信息与电子工程, 2004,2(4):88-91. (ZHENG Guiqiang. Wideband FM Technique with Phase Locked Loops[J]. Information and Electronic Engineering, 2004,2(4):88-91.)
- [5] 胡罗林,杨晓庆,吴洋,等. 不破坏锁相环路稳定性的鉴相泄漏抑制[J]. 信息与电子工程, 2005,3(2):44-46. (HU Luolin, YANG Xiaoqing, WU Yang, et al. Restraint for PD Leakage without Damaging the PLL Stability[J]. Information and Electronic Engineering, 2005,3(2):44-46.)
- [6] 张厥盛. 锁相技术[M]. 西安:西安电子科技大学出版社, 1994. (ZHANG Juesheng. Technology of Phaselock[M]. Xi'an: Xidian University Press, 1994.)
- [7] 费元春. 微波固态频率源理论设计应用[M]. 北京:国防工业出版社, 1994. (FEI Yuanchun. Microwave solid-state frequency source: Theory design application[M]. Beijing:National Defense Industry Press, 1994.)
- [8] Alexander Chenakin. Frequency Synthesizers Concept to Product[M]. Norwood MA:Artech House, 2011.

作者简介:



万 鸣(1976-), 男, 成都市人, 学士, 高级工程师, 主要研究方向为射频微波电路。
email:cheny7809@yahoo.com.cn.

魏 萍(1978-), 女, 成都市人, 硕士, 工程师, 主要研究方向为射频微波电路。

王贵昌(1978-), 男, 成都市人, 硕士, 工程师, 主要研究方向为射频微波电路。