

文章编号: 2095-4980(2015)03-0462-06

超导加速器低电平系统射频前端设计与实现

劳成龙^{1a,1b}, 冯立文², 王芳², 杨兴繁^{1b}, 鲁向阳²

(1.中国工程物理研究院 a.研究生部; b.应用电子学研究所, 四川 绵阳 621999; 2.北京大学 重离子研究所, 北京 100871)

摘要: 设计中物院太赫兹科研装置超导加速器低电平控制系统的射频前端部分, 采用了信号源 8663A 与直接信号发生器板卡 AD9858 结合的方案, 产生射频前端所需的 30.72 MHz 中频信号和 1330.72 MHz 本振信号。采用 AD9510 时钟板产生 ADC 和 DAC 采样所需的频率 122.88 MHz 和 245.76 MHz, 采样信号时间抖动仅为 4 ps, 由此引起的幅值采样误差和相位采样误差分别为 $\pm 0.04\%$ 和 $\pm 0.025\%$, 符合设计要求。

关键词: 射频前端; 时钟分配; 上下变频; 低电平控制; 超导加速器

中图分类号: TN911.72

文献标识码: A

doi: 10.11805/TKYDA201503.0462

Design and implementation of the low level control system RF front-end of the superconducting accelerator

LAO Chenglong^{1a,1b}, FENG Liwen², WANG Fang², YANG Xingfan^{1b}, LU Xiangyang²

(1a.Graduate School; 1b.Institute of Applied Electronics, China Academy of Engineering Physics, Mianyang Sichuan 621999, China; 2.Institute of Heavy Ion Physics, Peking University, Beijing 100871, China)

Abstract: The Radio Frequency(RF) front-end for the superconducting cavity of the high average power THz equipment is designed and implemented. By combining the signal source 8663A and the AD9858 Direct Digital Synthesizer(DDS), a signal with 30.72 MHz intermediate frequency and a local oscillator signal of 1330.72 MHz are generated. The 30.72 MHz signal generated by the AD9858 is used as the reference signal of the clock board AD9510 for generating Analog to Digital Converter(ADC) and Digital to Analog Converter(DAC) driving sampling signal of 122.88 MHz and 245.76 MHz respectively. According to the measurement, the clock signal timing jitter is around 4 ps, the amplitude and phase of sampling error caused by the jitter is $\pm 0.04\%$ and $\pm 0.025\%$ respectively, which is in line with the design requirements.

Key words: RF front-end; clock distribution; up-down converter; low level control; superconducting accelerator

中物院大型 THz-FEL(Free Electron Laser)高平均功率科研装置采用谐振腔型自由电子激光技术方案, 使用超导加速器作为主加速段。该超导加速器包括 2 只 4-cell 的 TESLA 型高纯铌制超导加速管、微波源、低温恒温器、高功率微波耦合器、高阶模耦合器、超导加速管在线调谐结构以及低电平控制系统等部件。该超导加速器工作在 1300 MHz 重复频率, 加速梯度为 15 MV/m, 提供增能 6 MeV~8 MeV, 束流负载为 5 mA, 工作温度为 2 K^[1-2]。

超导加速器的束流品质因数比常温铜腔加速器高 5 个量级, 固有品质因数达到 10⁹ 量级, 有载品质因数达到 10⁶, 工作带宽仅为 200 Hz~300 Hz。由于工作带宽很窄, 各种因素引起超导腔的失谐都会引起射频功率反射, 降低微波功率的利用率。尤其是当失谐量远大于超导腔的谐振带宽时, 将直接导致超导腔内不能建立有效的射频场, 因此, 在运行过程中需要将超导腔的谐振频率控制在一个小范围内。另外, 自由电子激光对电子束的品质要求高, 束流品质对装置能否出光起到关键作用, 而超导加速器中建立的场的幅度和相位的稳定性决定了电子束的束流品质。鉴于上述原因, 在高平均功率 THz-FEL 大型科研装置中, 需要研制一套高精度、低电平控制系统, 维持超导加速器中场的幅度和相位稳定, 保证超导加速器的正常运行并获得高品质的电子束。

收稿日期: 2014-05-19; 修回日期: 2014-06-09

基金项目: 国家重大科学仪器设备开发专项基金资助项目(2011YQ130018)

超导加速器低电平系统由射频前端、现场可编程门阵列(Field Programmable Gate Array, FPGA)数字开发板、电源模块及通信接口等组成。本文给出了中物院太赫兹科研装置低电平控制系统射频前端部分的硬件设计及实现方法,并在此基础上进行了实验。

1 超导加速器低电平控制系统以及射频前端部分的整体布局

低电平控制系统的整体框图如图1所示。整个系统由2套分立且相同的数字低电平控制系统组成,每套系统由4-cell超导腔、数字低电平系统、调谐器系统、1.3 GHz输入耦合器、固态功率源、功率放大器、安全联锁及通信系统组成。其中低电平系统一路输出用来控制加速腔内的幅值和相位的稳定精确,一路输出经由调谐器锁定超导腔的频率。在数据通信方面,通过以太网和上位机进行实时高速的数据通信。

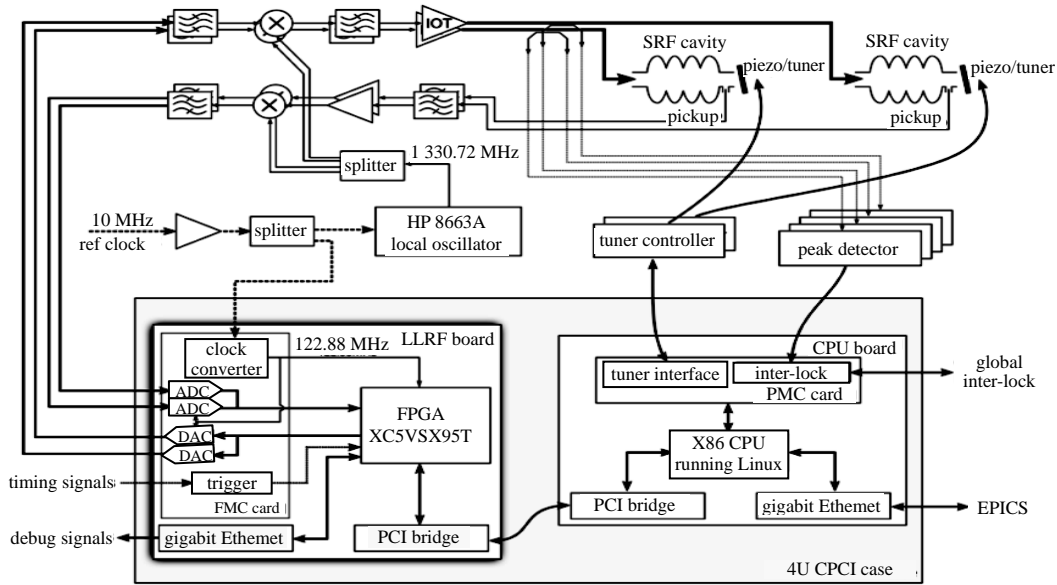


Fig.1 Architecture of the low level control system

图1 低电平控制系统的结构图

图1中,超导加速腔中提取出的采样信号,经射频前端的下变频电路,下变频到中频30.72 MHz,经过122.88 MHz采样率的ADC采样电路转换。随后FPGA将所采集到的采样信号与设定值相比较,经过比例积分(Proportional Integral, PI)控制算法的调制修正误差,将修正后的数字控制信号传递给DAC, DAC在245.76 MHz采样时钟的驱动下,将包含了需要调整的幅值和相位信息的数字信号转变成模拟信号,并经过上变频电路变频到1.3 GHz,控制微波源输出相应的微波信号,保持超导加速器中建立的场的幅值和相位的稳定性,实现RF电场的幅度和相位的负反馈控制。

其中超导加速器低电平系统的核心部分由射频前端、FPGA数字开发板、电源模块及通信接口组成。射频前端起着提取超导腔检测信号进行滤波混频处理,将射频信号下变频到中频信号以用于后续数字信号处理的作用。射频前端的总体布局图如图2所示,工作机理如下:中频信号选取30.72 MHz,可以较好地降低采样信号时钟抖动引起的相位和幅值误差。由信号源8663A产生的1.3 GHz信号经过功分器分成4路,一路经过24分频器得到54.17 MHz,用于激光系统的控制;一路输出1.3 GHz用于束流测量系统的控制;一路用作直接数字信号(Direct Digital Signal, DDS)合成器板卡AD9858的参考信号以输出中频信号30.72 MHz;一路输出1.3 GHz与AD9858产生的30.72 MHz中频信号进行混频,得到本振信号1 330.72 MHz。

时钟产生模块由DDS合成器AD9858、低通滤波器以及时钟板卡AD9510组成。AD9858产生的30.72 MHz中频信号经过30 MHz中心频率的带通滤波器的滤波,滤去高频谐波分量后,输入AD9510作为参考信号,AD9510利用内部锁相环(Phase Locked Loop, PLL)和分频功能,输出ADC和DAC采样所需的122.88 MHz和245.76 MHz信号。

在射频前端模块中,一共有4路射频信号需要进行下变频模块处理,分别是前向信号(RF_fwd)、反射信号(RF_rfw)、超导腔的采样信号(RF_cav)以及参考信号(RF_ref)。利用混频器加低通滤波器的下变频模块,将4路射频信号与本振信号1 330.72 MHz进行混频,得到包含各自幅值和相位信息的30.72 MHz信号,用作ADC的采

样处理。经过 FPGA 数字处理的包含控制信息的信号经过 DAC 模数转换后, 经过调制载波上变频环节, 上变频到射频 1.3 GHz, 用于控制固态功率源以实现超导腔的幅值和相位反馈控制。

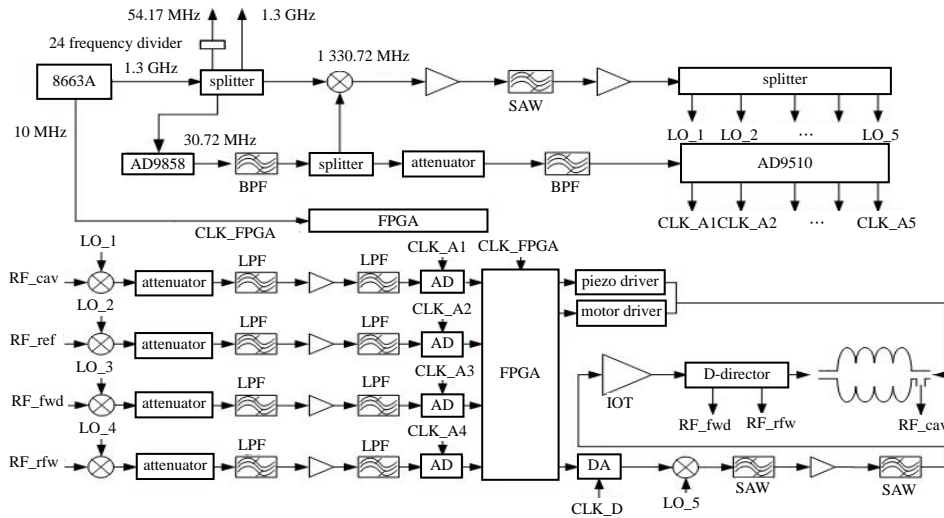


Fig.2 Architecture of the RF front-end module
图 2 射频前端的结构图

2 射频前端各功能模块实现

射频前端的设计主要涉及中频信号及本振信号的产生、时钟模块设计以及下变频模块设计。

2.1 中频信号的选取

数字低电平控制系统的中频信号的选择不仅决定采样方式的类型, 还影响数字处理算法以及时钟信号的分配, 并在一定程度上影响数字控制算法理论上能达到的精确度。本系统的中频信号及采样频率选取主要考虑以下几个方面。

1) 降低中频以减小 ADC 的幅值和相位采样误差

对于 ADC 而言, 参考信号的作用在于每当一个时钟的上升沿触发, ADC 就进行一次数据的采样。理想中参考时钟信号的上升沿间隔是一致的, 这样 ADC 的采样也会是均匀采样; 但实际中, 由于热噪声等的影响, 参考时钟会有时钟抖动, 从而影响 ADC 采样的相位误差^[3], 进而影响采样信号的信噪比。参考时钟的抖动会直接限制 ADC 的采样精确度, 假设 ADC 所采样的中频信号为 $f(t) = A \cos(2\pi f_{IF} t)$, 时间抖动引起的幅值误差为信号的最大斜率处, 对中频信号函数进行时间求导, 得到:

$$\frac{df(t)}{dt} = 2\pi f_{IF} A \sin(2\pi f_{IF} t) \quad (1)$$

则由时间抖动 Δt 引起的幅值采样误差 ΔA 为:

$$\Delta A = 2\pi f_{IF} \Delta t \quad (2)$$

由时间抖动 Δt 引起的相位采样误差 $\Delta \phi$ 为:

$$\Delta \phi = 360^\circ f_{IF} \Delta t \quad (3)$$

由此可以看出, 由时间抖动引起的幅值采样误差和相位采样误差正比于中频频率。当时间抖动为 5 ps 时, 对应于 30 MHz 的中频信号, 5 ps 的时间抖动会引起 0.054° 的相位采样误差, 而相对应 300 MHz 中频相位采样, 误差则会达到 0.54°。由此可见, 在滤波器允许的情况下, 应适当选择较低的中频频率。

2) 过低的中频不利于滤波器的区分

滤波器的通带不是单一的频率, 而是一段频率范围。如果中频信号频率过低, 会导致本振信号和射频信号混频后, 由于混频器的非线性, 本振信号难以被滤波器区分出来。如射频信号为 1.3 GHz, 如果选取中频信号为 1 MHz, 则本振信号为 1 301 MHz, 混频器出来的本振信号 1 301 MHz 和射频信号 1.3 GHz 相距太近, 难以被滤波器区分。

3) 提高中频信号频率以提高采样频率

以 Nyquist 频率采样带宽为 B 的中频信号为例, 此时 $f_s = 2B$, ADC 的信噪比和 ADC 的位数有如下关系^[4]:

$$R_{SN} = 6.02N + 1.76 \tag{4}$$

但是实际使用中, 往往采样的是一个窄带信号, 采样系统的信噪比还可以进一步修正为:

$$R_{SN} = 6.02N + 1.76 + 10 \log \left(\frac{f_s}{2BW} \right) \tag{5}$$

由此可以看出采样频率的提高有利于 ADC 信噪比的提高。在 IQ 采样的情况下, 采样频率等于中频信号频率的 4 倍, 由此, 采样频率尽可能高, 即中频信号频率尽可能提高。

综上所述, 由此权衡两者的考虑, 最终选定中频频率为 30.72 MHz, 后文提到 AD9510 的时钟抖动实测为 4 ps, 对应 30.72 MHz 引起的幅值采样误差为 0.08%, 相位采样误差为 0.05°, 符合设计要求。与此同时, 低电平控制系统所使用的模数转换器 ADC 的最大工作频率为 150 MSPS, 数模转换器 DAC 的最大工作频率为 250 MSPS, 选取 30.72 MHz 中频的话, ADC 采样时钟为 122.88 MHz, DAC 的采样时钟为 245.76 MHz, 能充分利用 ADC 和 DAC 的资源。

2.2 时钟分配模块

时钟信号分配模块见图 3, 利用 AD9858 产生的中频信号 30.72 MHz 驱动时钟板 AD9510, AD9858 产生的 30.72 MHz 信号经过带通滤波器后, 输入到时钟板 AD9510, 产生 4 路 ADC 采样时钟 122.88 MHz, 1 路 DAC 采样时钟 245.76 MHz。

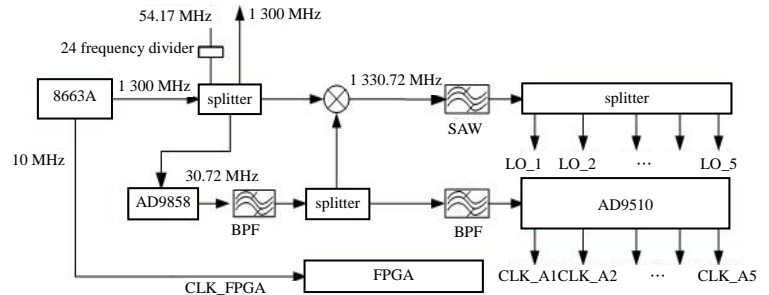


Fig.3 Clock distribution module
图 3 时钟分配模块

2.3 本振信号的产生

直接数字信号合成器板卡 AD9858 是美国模拟器件公司的一款用于产生不同频率正弦波信号的板卡。这款 DDS 板卡内部时钟可以达到 1 GSPS, 再加上内部高速高性能的 D/A 转换器构成数字可编程的高频信号发生器, 能产生最高到 400 MHz 的正弦模拟信号^[5]。DDS 主要由 5 部分组成, 如图 4 所示, 分别是参考时钟信号、相位累加器、波形存储器、数模转换器以及低通滤波器。其中, 由相位累加器和波形存储器组成的数控振荡器(Numerical Control Oscillator, NCO)是 DDS 的核心组成部分^[6-7]。DDS 生成不同频率信号的过程是: 在参考时钟 f_c 的驱动下, 每当一个参考时钟脉冲激励, 相位累加器就会将预设的频率控制字 N 与相位累加器中寄存器的相位累加数据进行累加, 其输出的数据 M 作为下一级波形存储器中正余弦值的相位取样地址。当频率控制字 N 累加完毕后, 波形存储器就能输出一个周期的正余弦数值, 再通过数模转换器的作用得到阶梯波, 再选取合适的低通滤波器滤除不需要的取样分量, 即可输出连续变化, 频率为 f_0 的波形。其中 $f_0 = Nf_c / 2^M$ 。

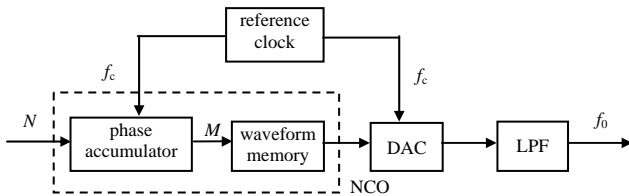


Fig.4 Principle diagram of Direct Digital Synthesizer
图 4 DDS 的原理框图

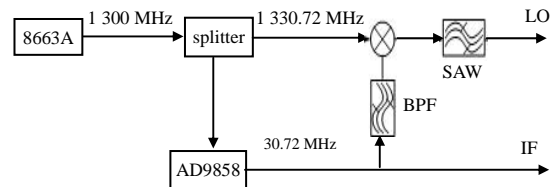


Fig.5 Local signal generation module
图 5 本振信号产生模块

利用 8663A 产生的 1 300 MHz 和 AD9858 产生的 30.72 MHz 中频信号混频可得到本振信号, 经过 1 330 MHz 中心频率的声表面滤波器后得到本振信号, 如图 5 所示。采用信号发生器加上直接数字信号发生器结合生成中频信号和本振信号的方案有 2 个优势, 一个是单信号源的稳定性好, 便于维修, 且不存在双信号源的相互温漂效应; 另一个是直接数字信号合成器存在相对带宽较宽、频率分辨率高、频率转换时间短、可编程和

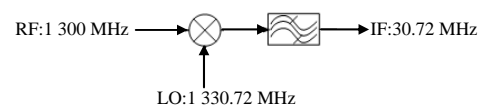


Fig.6 Down converter module
图 6 下变频模块示意图

数字化、控制灵活方便等特点，且具有较高的性价比。

2.4 下变频模块

下变频模块起到的作用是将不适于数字处理模块处理的高频信号变频到适于数字处理模块处理的中频信号，具体框图如图 6 所示，射频信号 1 300 MHz 经过混频器和滤波器后，下变频到中频信号 30.72 MHz。

本设计采用的混频器为 mini 公司的 ZX05-25MH-S，工作频率范围 5 MHz~2 500 MHz，中频输出为 5 MHz~1 500 MHz。实际的测试结果如图 7 所示。图中显示当混频器的输入不大于 6 dBm 时，混频器的输出是线性的，混频器的插入损耗为 8.1 dB。测试结果表明，该混频器的中频信号能有效反映射频信号的大小。

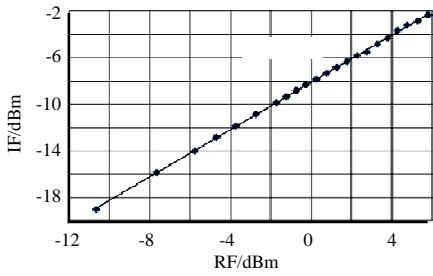


Fig.7 Measurement results of the mixer linearity
图 7 混频器线性度测量结果

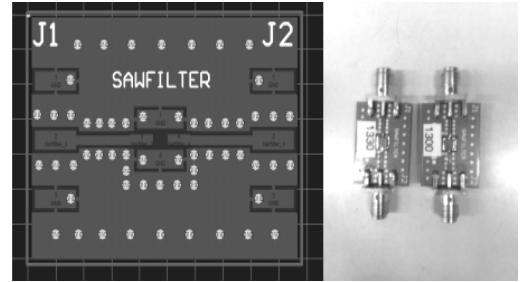


Fig.8 Surface acoustic wave filter
图 8 声表面滤波器示意图

本设计采用的带通滤波器为声表面滤波器。它是一类可以对输入的电信号进行模拟处理的滤波元件。和其他滤波器利用电子迁移的滤波机理不同，声表面滤波器利用的是滤波器内部晶体表面的弹性波，由于这个原因，声表面滤波器具有很强的抗外界辐射能力，很大的动态范围以及很好的温度稳定性。相较于其他滤波器而言，声表面滤波器的通带边缘陡峭，对通带外的信号的抑制比很高，幅频响应近似为矩形，阻带的衰减量很大。由于声表面滤波器存在以上优点，在本设计的射频前端设计中的本振信号生成、中频信号生成、时钟分配系统以及下变频模块中广泛应用。图 8 所示是实际使用的 1 300 MHz 和 1 330 MHz 两种不同中心频率的声表面滤波器^[8]。

3 测试结果

图 9 为实验中所测中频信号的频谱图，可以看到谐波处有 65 dB 的抑制比，中频信号频谱纯净。

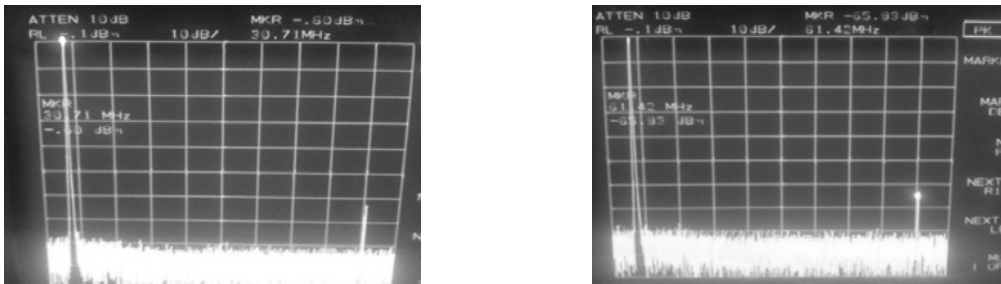


Fig.9 Spectrum of intermediate frequency
图 9 中频信号频谱图

图 10 为实验中所测本振信号的频谱图，可以看到杂波处有 44 dB 的抑制比，本振信号频谱纯净。

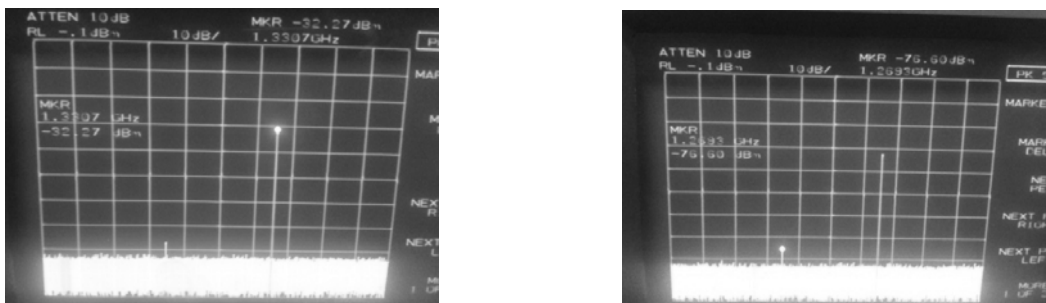


Fig.10 Spectrum of local frequency
图 10 本振信号频谱图

图 11 为实验中所测得的 AD9510 产生的 122.88 MHz 参考时钟上升沿时间抖动, 为 4.49 ps, 由此引起的幅值采样误差和相位采样误差分别为 $\pm 0.04\%$ 和 $\pm 0.025\%$, 符合设计要求。

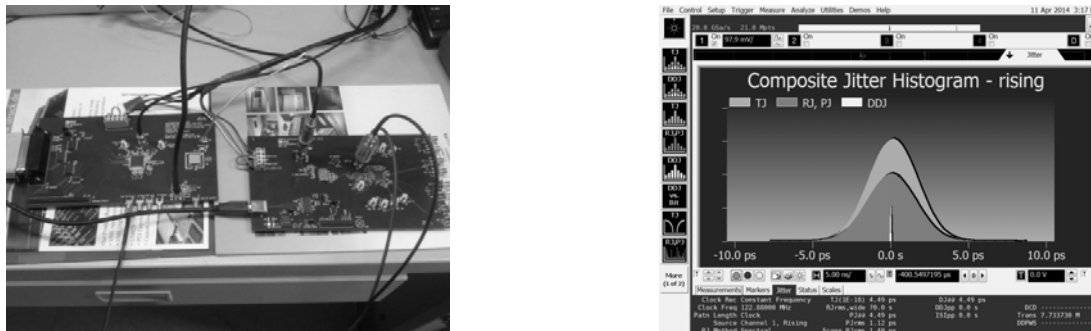


Fig.11 Measurement of reference clock jitter
图 11 参考时钟时间抖动测量结果图

4 结论

通过测量射频前端方案中的中频信号和本振信号的频谱图, 以及时钟信号上升沿之间的时间抖动, 根据采集的数据分析, 中频信号和本振信号频谱纯净, 杂波抑制良好, 时钟信号的上升沿时间抖动为 4.49 ps, 由此引起的幅值采样误差和相位采样误差分别为 $\pm 0.04\%$ 和 $\pm 0.025\%$, 符合设计要求的技术指标。

参考文献:

- [1] 黎明, 柏伟, 杨兴繁, 等. 紧凑型自由电子激光太赫兹源研究进展[J]. 太赫兹科学与电子信息学报, 2011, 9(3):342-346. (LI Ming, BAI Wei, YANG Xingfan, et al. Development of a compact Terahertz FEL source[J]. Journal of Terahertz Science and Electronic Information Technology, 2011, 9(3):342-346.)
- [2] 许州, 杨兴繁, 黎明, 等. 高平均功率太赫兹自由电子激光装置设计[J]. 太赫兹科学与电子信息学报, 2013, 11(1):1-6. (XU Zhou, YANG Xingfan, LI Ming, et al. Design of a high average power terahertz-FEL facility[J]. Journal of Terahertz Science and Electronic Information Technology, 2013, 11(1):1-6.)
- [3] Pozar D M. 微波工程[M]. 3 版. 北京: 电子工业出版社, 2006. (Pozar D M. Microwave Engineering[M]. 3rd Edition. Beijing: Publishing House of Electronics Industry, 2006.)
- [4] Analog Devices. A technical tutorial on digital signal synthesis[R]. 1999.
- [5] Analog Devices. AD9510 Data Sheet[R]. 2006.
- [6] 黄旭伟. DDS 杂散抑制技术研究[D]. 重庆: 重庆大学, 2007. (HUANG Xuwei. Research on DDS spurious suppression[D]. Chongqing, China: Chongqing University, 2007.)
- [7] 高望. 直接数字频率合成技术及其杂散分析[D]. 南京: 南京理工大学, 2002. (GAO Wang. Direct Digital Frequency Synthesis and spurious signal analysis[D]. Nanjing, China: Nanjing University of Science and Technology, 2002.)
- [8] Campbell C. Surface Acoustic Wave Devices for Mobile and Wireless Communications[M]. [S.l.]: Academic Press, 1998.

作者简介:



劳成龙(1988-), 男, 广西壮族自治区北海市人, 在读硕士研究生, 研究方向为超导加速器的低电平控制系统, email: laoc107@163.com.

杨兴繁(1969-), 男, 辽宁省海城市人, 博士, 研究员, 主要研究方向为高平均功率自由电子激光技术。

冯立文(1985-), 男, 广东省佛山市人, 硕士, 助理工程师, 主要研究方向为加速器控制系统。

王芳(1983-), 女, 湖北省石首市人, 博士, 工程师, 主要研究方向为射频超导加速技术。

鲁向阳(1963-), 男, 天津市人, 博士, 教授, 主要从事加速器技术研究。