

文章编号: 2095-4980(2016)01-0101-07

低开销多标准 8×8 离散余弦变换设计

贾 瑞^{a,b}, 林 郁^a, 郭珍红^{a,b}, 冯光朗^a, 杨海钢^{a*}

(中国科学院 a.电子学研究所; b.中国科学院大学, 北京 100190)

摘 要: 针对现有的多种视频标准, 在总结分解后矩阵的共同特点的基础上, 定制实现了一种资源共享结构。该结构通过定制实现处理单元、蝶形变换网络和转置, 实现了附带有“阶流水”结构的高效率计算结构。实验结果显示, 本文所提出的结构, 除了能够在低开销的前提下支持现有的视频标准 H.264、视窗媒体视频(VC-1)、音视频编码标准(AVS)和高效视频编码(HEVC)之外, 还能够对格式为 4:2:0 的 Full-HD 和宽四叉扩展图形阵列(WQXGA)的视频序列进行实时处理。通过在 $0.13 \mu\text{m}$ 工艺下的综合实现, 相比于现有的设计, 本文所提出的设计逻辑资源开销下降近 44%, 功耗减小近 20%。

关键词: 离散余弦变换; 视频压缩; 矩阵分解; 资源共享; 低开销

中图分类号: TN402

文献标识码: A

doi: 10.11805/TKYDA201601.0101

Low cost 8×8 Discrete Cosine Transform core for multiple video codec

JIA Rui^{a,b}, LIN Yu^a, GUO Zhenhong^{a,b}, FENG Guanglang^a, YANG Haigang^{a*}

(a.Institute of Electronics; b.University of Chinese Academy of Sciences, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Based on the common features of the factorized matrices, a hardware sharing architecture for multiple standards video codec is proposed. By customizing the processing element, butterfly network and transpose hardware, the proposed architecture constructs an efficient phase-pipelined hardware architecture. The proposed architecture can not only be generally used to compute 8×8 Discrete Cosine Transform(DCT) of Audio Video Coding Standard(AVS), H.264, VC-1 and High Efficiency Video Coding(HEVC) in a low cost way, but also can be used to decode Full-HD and Wide Quad extended Graphics Array(WQXGA) format video sequences in real time. The design has been synthesized in $0.13 \mu\text{m}$ technology. The synthesis results show that the proposed architecture achieves 44% reduction in gate count, 20% decrease in power consumption in comparison with other existing designs.

Key words: Discrete Cosine Transform; video compression; matrix factorization; hardware sharing; low cost

随着高端多媒体应用需求的演进, 业界相应提出了更加复杂的算法和标准。在视频处理领域, 为了提升视频质量和编解码效率, 同样也提出了相应的视频压缩编码标准, 如 H.264/AVC(Advanced Video Coding)和仍然处于开发阶段的高效视频编码(HEVC)^[1-2], 微软公司的 VC-1(Windows Media Video 9)^[3]以及国内自主研发的音视频编码标准(AVS)^[4]。作为不可或缺的环节, 离散余弦变换(DCT)被这些标准用来提升编码效率。随着新型视频标准的提出, 单一平台能够兼容多种视频标准的需求也逐步凸显。事实上, 在对 DCT 运算进行加速的同时, 考虑到能效问题, 特别是现阶段手持设备需求的暴涨, 迫切需要一种低开销、支持多标准的硬件平台^[5]。

8×8 尺寸的 DCT 变换在 H.264/AVC, VC-1, AVS 中是不可或缺的, 而且在 HEVC 标准中, 有近 90% 的运算都是 8×8 尺寸的变换^[6]。为减小运算的复杂度, 往往通过矩阵分解的方式对系数矩阵进行拆分, 通过计算资源的共享, 达到减小资源开销的目的。

参照文献[7]提出的矩阵分解方法, 结合 DCT 运算的特点, 总结了计算过程奇、偶部分的工作特点, 提出了一种低开销的 DCT 硬件结构。这种结构通过共享加法器和乘法器, 尽可能减小运算开销, 且整体形成了一种“阶

收稿日期: 2014-09-03; 修回日期: 2014-10-24

基金项目: 国家自然科学基金资助项目(61404140;61271149;61106033)

*通信作者: 杨海钢 email: yanghg@mail.ie.ac.cn

流水”的结构，能够流水处理 8×8 尺寸的像素块。实验结果显示，本文所提出的结构，针对 8×8 尺寸的像素块，除了能够支持现有的视频标准 H.264, VC-1 和 AVS 之外，还能够对仍处于发展阶段的 HEVC 标准进行较好的支持。相比于现有的设计，逻辑资源开销方面有近 44% 的下降，功耗有近 20% 的减小。本设计也能够对格式为 4:2:0 的 Full-HD 和 WQXGA^[8] 的视频序列进行实时处理。

1 研究背景与相关工作

2D-FDCT(Forward DCT)和 2D-IDCT(Inverse DCT)是视频压缩标准中采用的 2 类 DCT^[9]。式(1)和式(2)分别为 2D-IDCT/FDCT 的计算公式，从公式的组成上可以看出，

二者在计算方式上有很大的相似性，二者的硬件设计一般可以实现共用。从式(1)或式(2)可以看出，2D-IDCT/FDCT 的整个计算过程一般拆成 3 部分：基于行的 1D-IDCT/FDCT、矩阵转置和基于列的 1D-IDCT/FDCT。这 3 部分的硬件实现可以划分为 2 类：流水线结构(图 1(a)所示)和时分复用结构(图 1(b)所示)^[10]。前者可以实现流水执行，因此速度很快；后者速度较慢，但所需的硬件资源较前者少。这 2 种结构的共同之处在于矩阵转置需要借助于存储器或者寄存器阵列。因此，对 2D-IDCT/FDCT 的优化往往侧重于对 1D-IDCT/FDCT 的优化。

$$Y = CX^T = C(CX^T)^T \quad (1)$$

$$X = C^T Y C = C^T (C^T Y^T)^T \quad (2)$$

式中： X 为待处理的像素块； Y 为处理结果； C 为系数矩阵，不同的视频标准对应的系数值不同，但其所处的位置是相同的。

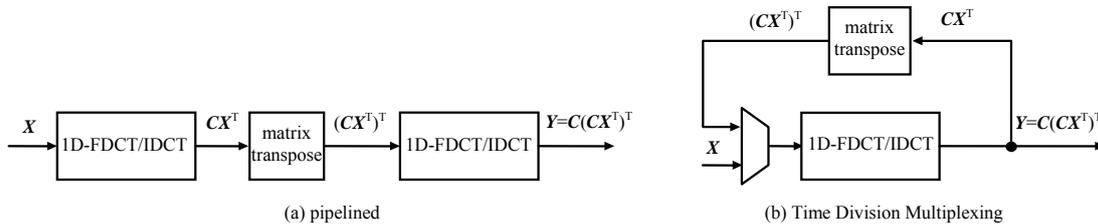


Fig.1 Architecture of 2D-DCT
图 1 2D-DCT 的硬件结构框图

对于 1D-IDCT/FDCT 的优化往往是通过硬件的共享来减少整个系统的开销。矩阵分解往往是不同硬件共享策略的创新源头。近年来，已有许多研究在文献[7]提出的硬件算法的基础上，致力于降低 1D-FDCT/IDCT 硬件实现的难度，具有代表性的硬件实现算法有：a) 基于常系数乘法^[11-14]；b) 基于分布式算法^[15-16]；c) 基于 Cordic 算法^[17-18]。本文所提出的结构也是基于文献[7]的算法，通过总结奇、偶系数部分的相似特点，实现硬件资源的共享，具有鲜明特性：a) 通过累加单元的使用，实现了加法器的共享，减少了加法器的数目，降低了开销；b) 采用分时复用乘法器的方式，实现了乘法器的共享，有效降低了乘法器的数目，减小了乘法运算的开销；c) 整个结构形成了“阶流水”结构，能够流水处理 8×8 尺寸的像素块，尽量弥补累加运算带来的效率下降。

2 基本思路

1) 对 2D-IDCT/FDCT 的优化往往侧重于对 1D-IDCT/FDCT 的优化，因此希望能够提出一种低开销的硬件共享结构。

按照文献[7]提出的方法，参考图 2， 8×8 的运算可以通过分解得到 2 个 4×4 的运算。考虑到矩阵 $P1$ 和 $P2$ 的作用是对矩阵进行行变换。所以 1D-FDCT 的计算结果主要取决于 $U \cdot X_E$ 和 $V \cdot X_O$ (见图 3)的结果。

2) 从矩阵 $U \cdot X_E$ 和 $V \cdot X_O$ 所需的计算种类和数目上看， $U \cdot X_E$ 和 $V \cdot X_O$ 属于相类似的矩阵。

这 2 个矩阵的相同之处在于：a) 大小相同的矩阵 $U \cdot X_E$ 和 $V \cdot X_O$ 在计算其各个元素时，所需要的计算步骤完全一样，具有共享硬件计算资源的天然优势；b) 考虑到 $U \cdot X_E$ 和 $V \cdot X_O$ 一共需要 32 次常系数乘法操作，而乘

表 1 不同视频编码标准采用的系数

Table1 Coefficients for different standards				
	AVS	VC-1	H.264	HEVC
a	8	12	8	64
b	10	16	12	89
c	9	15	10	75
d	6	9	6	50
e	2	4	3	18
f	10	16	8	83
g	4	6	4	36

法的实现往往需要大量的逻辑资源, 因此, 如果能够提出一种结构用来共享乘法器, 整个 DCT 结构所需要的开销将有所下降; c) 同样, $U \cdot X_E$ 和 $V \cdot X_O$ 一共需要 24 次加法操作, 如果能够提出一种共享加法器的策略, 整个 DCT 结构所需要的开销将会进一步下降。

$$C_8 X_8^T = P \begin{bmatrix} U & 0 \\ 0 & V \end{bmatrix} Q X^T = P \begin{bmatrix} U & 0 \\ 0 & V \end{bmatrix} \begin{bmatrix} X_E \\ X_O \end{bmatrix} = P \begin{bmatrix} U \cdot X_E \\ V \cdot X_O \end{bmatrix} = \begin{bmatrix} P_0 & P_1 \\ P_2 & P_3 \end{bmatrix} \begin{bmatrix} U \cdot X_E \\ V \cdot X_O \end{bmatrix} = \begin{bmatrix} U \cdot X_E + P_1 \cdot V \cdot X_O \\ P_2 \cdot U \cdot X_E + V \cdot X_O \end{bmatrix}$$

$$P = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & -1 \\ 0 & 1 & 0 & 0 & 0 & 0 & -1 & 0 \\ 0 & 0 & 1 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad Q = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad V = \begin{bmatrix} -e & d & -c & b \\ -d & b & -a & -c \\ -c & e & b & d \\ -b & -c & -d & -e \end{bmatrix}$$

$$U = \begin{bmatrix} a & f & a & g \\ a & g & -a & -f \\ a & -g & -a & f \\ a & -f & a & -g \end{bmatrix} \quad P_1 = \begin{bmatrix} 0 & 0 & 0 & -1 \\ 0 & 0 & -1 & 0 \\ 0 & -1 & 0 & 0 \\ -1 & 0 & 0 & 0 \end{bmatrix} \quad P_2 = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \quad P_3 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad P_0 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}$$

$$X_O = [x_1 \ x_3 \ x_5 \ x_7]^T \quad X_E = [x_0 \ x_2 \ x_4 \ x_6]^T$$

Fig.2 Expressions used for matrix factorization

图 2 矩阵分解过程中用到的表达式

$$U \cdot X_E = \begin{bmatrix} ax_0 + fx_2 + ax_4 + gx_6 \\ ax_0 + gx_2 - ax_4 - fx_6 \\ ax_0 - gx_2 - ax_4 + fx_6 \\ ax_0 - fx_2 + ax_4 - gx_6 \end{bmatrix} = \begin{bmatrix} Even_0 \\ Even_1 \\ Even_2 \\ Even_3 \end{bmatrix} \quad V \cdot X_O = \begin{bmatrix} -ex_1 + dx_3 - cx_5 + bx_7 \\ -dx_1 + bx_3 - ax_5 - cx_7 \\ -cx_1 + ex_3 + bx_5 + dx_7 \\ -bx_1 - cx_3 - dx_5 - ex_7 \end{bmatrix} = \begin{bmatrix} Odd_0 \\ Odd_1 \\ Odd_2 \\ Odd_3 \end{bmatrix}$$

Fig.3 Expressions for $U \cdot X_E$ and $V \cdot X_O$ 图 3 $U \cdot X_E$ 和 $V \cdot X_O$ 的详细表达式

3) 通过定制处理单元的硬件电路结构, 节省面积开销。

2D-IDCT/FDCT 在计算过程中涉及到大量的乘法运算, 如果直接通过乘法器来实现乘法运算, 那么整个阵列将需要 64 个乘法器, 这将造成巨大的面积开销。为节省面积开销, 可以以移位和加法的方式代替乘法。同时, 采用累加单元, 来减小加法器的数目, 实现降低面积开销的目的。

4) 引入“阶段级”的流水线结构, 进一步提升计算效率, 并降低对输入输出数据带宽和 I/O 数目需求

本文所涉及的结构目的是在实现多标准 8×8 离散余弦变换的前提下, 尽可能地降低整个系统的开销。数据是按位输入到整个结构中, 每隔 8 个系统周期为整个结构的一个计算周期。整个系统以计算周期作为“阶流水”周期, 整个计算过程理解为一个包含三级的流水线结构。这样设计不仅可以降低对输入输出数据带宽和 I/O 数目需求, 而且利用流水线结构在加速执行方面的特性, 可以进一步提升整个结构的计算效率。

3 详细设计

基于上一节对 $U \cdot X_E$ 和 $V \cdot X_O$ 计算共同特点的总结, 在图 1(a)所示的流水结构框架内, 设计了一款低开销的 DCT 硬件结构。总体上, 本文提出的结构符合图 4 的结构, 是由 2 个完全相同的 1D-FDCT 模块和 1 个转置模块组成。整体结构形成一个以 8 为单位的“阶流水”结构。以下几节将对各个模块进行详细介绍。

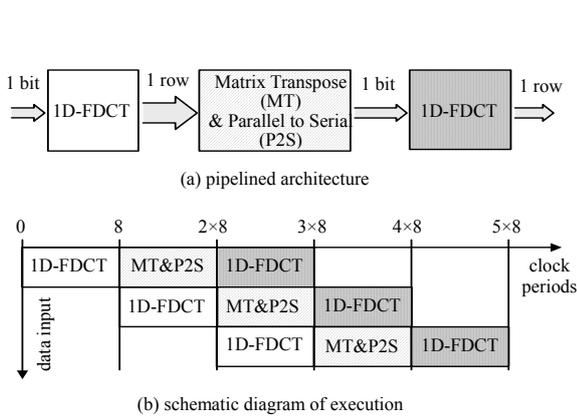


Fig.4 Architecture
图 4 结构图

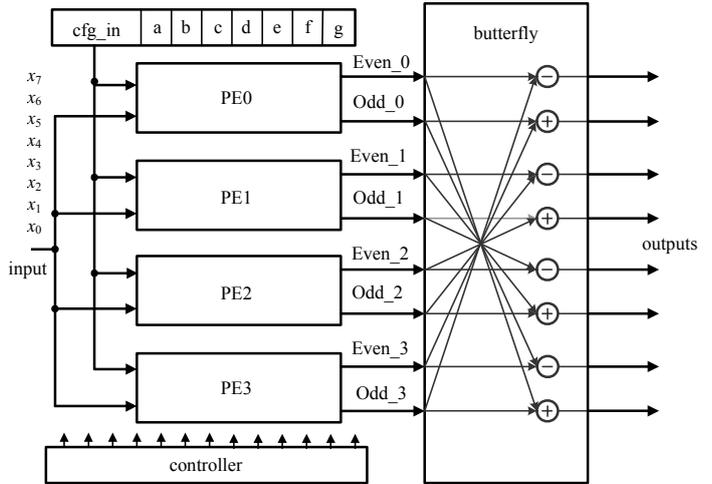


Fig.5 Architecture of 1D-FDCT
图 5 1D-FDCT 的整体结构图

3.1 针对 DCT 共享计算资源的 1D-FDCT 结构

为了实现低开销的目的，定制实现了共享资源的 1D-FDCT 结构，如图 5 所示。该定制结构是由 4 个处理单元(Processing Element, PE)和一个蝶形变换网络(Butterfly Network, BN)组成。输入信号包括待处理的视频像素和经过编码的视频标准系数(cfg_in)。这些信号被分发到各个处理单元中进行并行计算，得到的计算结果经过蝶形变换网络变换之后便完成了 1D-FDCT 的操作。所得到的结果可作为下一阶段处理计算的输入信号。整个计算过程在控制模块的控制下进行，保证数据按照 8-clock 进行阶段流水。

为更加详细地对该结构进行说明，以下分别从处理单元、蝶形变换网络以及控制时序等方面对该 1D-FDCT 结构进行详细介绍。

3.1.1 定制处理单元结构

针对 $U \cdot X_E$ 和 $V \cdot X_O$ 共有属性，为尽可能地共享计算资源，定制实现了如图 6(a)所示的处理单元结构。该结构由一个常系数乘法器(图 6(b))和 2 个如图 6(c)所示的累加单元组成。

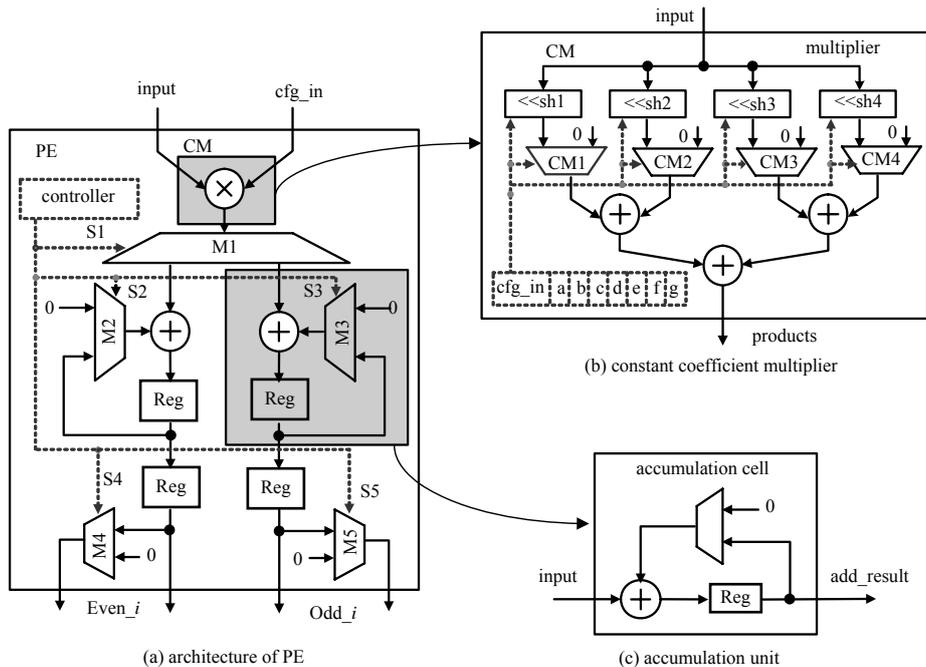


Fig.6 Architecture of PE
图 6 处理单元结构

结合表 1, 常系数乘法器(Constant Multiplier, CM)的结构如图 6(b)所示, 图像的像素串行输入到常系数乘法器中, 对视频标准的系数进行编码, 实现对移位器(sh1,sh2,sh3,sh4)和 2 选 1 的多路选择器(CM1,CM2,CM3,CM4)进行控制。

累加单元的结构如图 6(c)所示, 包括一个加法器、寄存器和一个 2 选 1 的多路选择器。通过多次累加, 对常系数乘法器输出的结果进行了累加求和, 减少了完成整个计算所需要的加法器的数目, 为整个系统实现低开销提供了可能。

处理单元整体上的工作流程是一个奇、偶交替计算的过程。像素信号采用串行的方式进入到常系数乘法器中, 经过计算, 按序产生了奇、偶相间的乘积结果; 这些结果被分发到对应的 2 个累加单元中, 再经过累加计算, 完成了计算, 得到 $U \cdot X_E$ 和 $V \cdot X_O$ 。

3.1.2 蝶形变换网络的结构

1D-FDCT 的最终结果是通过蝶形变换网络得到。为适应上述处理单元结构, 所设计的蝶形变换模块结构如图 7(a)所示。输入信号是各个处理单元产生的计算结果(Even_{*i*} 和 Odd_{*i*} 对应于 $U \cdot X_E$ 和 $V \cdot X_O$)。基于蝶形变换模块结构, 总体的蝶形变换结构如图 7(b)所示。

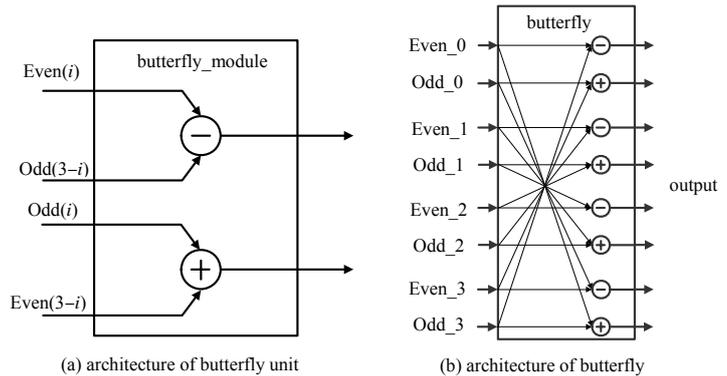


Fig.7 Architecture of butterfly net
图 7 蝶形变换网络的结构

本文提出的 1D-FDCT 结构的整体工作过程是并行的。4 个处理单元中的操作是完全同步的。奇、偶操作交替进行, 完成一次运算需要 8 个时钟周期。采用这种方式, 1D-FDCT 能够连续不断地以 8 个时钟作为周期进行运算。实现了加法器和乘法器的共享, 减小了用于矩阵运算所需要的逻辑资源, 实现了系统的低开销。

3.2 转置操作和并转串

为能够复用 1D-FDCT 结构, 本设计实现完成了矩阵操作和数据的并转串结构。所设计的结构如图 8 所示。每隔 8 个周期, 1D-FDCT 结构产生的计算结果直接输入到转置模块的串行移位寄存器。经过 8×8 个周期, 串行移位寄存器的结果将“更新”到更新寄存器阵列中, 在下一次串行移位寄存器填满之前(共需要 64 个周期), 更新寄存器阵列中的数据将通过在数据分发模块, 按照转置的形式串行输出到下一个共享计算资源的 1D-FDCT 的结构中。

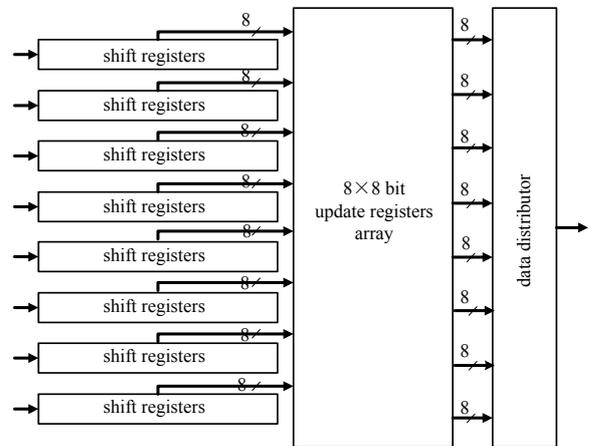


Fig.8 Architecture of Transposed and Parallel to Serial (P2S)
图 8 转置操作和并转串操作结构

3.3 整个流程

本文提出的 2D-FDCT 电路结构整体工作上符合前面提出的“阶”流水过程的: a) 基于行的 1D-FDCT:

通过 8 个时钟周期, 计算得到 8×8 尺寸大小的像素块的 1 行像素计算结果; b) 矩阵转置阶段: 在接收到计算结果输出的信号后, 行 FDCT 变换后的结果将输入到移位寄存器的最左端, 经过 8×8 个时钟周期, 移位寄存器填满, 同时将数据更新到数据更新寄存器, 最后通过数据分发模块按照转置操作的形式将转置后的数据串行输出到下一个基于列变换的 1D-FDCT 模块; c) 基于行的 1D-FDCT: 工作过程和基于行变换的一样, 每隔 8 个时钟周期, 产生一次计算结果, 经过 8×8 个时钟周期, 就可以完成一个 8×8 尺寸大小的像素块的 2D-FDCT 计算过程。

总体来讲, 本文提出的结构通过共享乘法器和加法器, 减少了完成 1D-FDCT 所需要的逻辑开销。通过“阶”流水的转置结构, 实现了 1D-FDCT 结构的复用, 同时, “阶”流水结构能够使整个结构处理数据的速度有大的提升, 用于保证满足不同视频标准的要求。

4 实验结果与比较

本文所提出的结构通过硬件描述语言 Verilog HDL 进行实现。通过和 MATLAB 所产生的数据进行验证比较, 保证其实现的正确性。同时, 本设计也采用 Synopsys EDA^[15]工具链对其进行了综合实现。为和现有的结构进行相应的比较, 本设计和现有的 5 种设计进行了比较, 表 2 给出了相应的比较结果。

本设计支持 2D-FDCT, 同时也能支持现有的 H.264, VC-1, AVS 和 HEVC 视频标准。设计初衷是为了在低开销的前提下支持现有的主流视频标准。从实验结果来看, 当时钟频率为 200 MHz, 电源电压为 1.35 V 时, 本设计能够实现 200 M Pixels/Sec 的吞吐率。而且, 本设计能够支持仍处于发展阶段的 HEVC 标准。

表 2 本文提出结构与已有结构的性能比较

	[15]	[9]	[14]	[16]	[17]	proposed
process/nm	180	180	180	180	180	130
clock frequency/MHz	200.8	250	125	125	66.7	200
equivalent gate count	39.4	17.7	95.1	53.3	62.7	22.0
voltage/V	3	1.8	N/A	N/A	N/A	1.35
power/mW	29.9	54	58.01	27.93	12.5	10.08
parallelism(Pixels/Cycle)	1	4	8	8	8	1
throughput(M Pixels/Sec)	200.8	1 000	1 000	1 000	533.6	200
types of DCT	1D-IDCT	2D-DCT	2D-IDCT	2D-FDCT	1D-IDCT;2D-DCT; 2D-IDCT	2D-DCT
standards	A/H/V/E	H	H/V/A	H/V/A	N/A	A/H/V/E

2D-DCT: 2D-FDCT/IDCT; H:H.264/AVC; V:VC-1; A:AVS; E:HEVC

在面积开销方面, 文献[9]的开销优于本文设计, 这是因为文献[9]是针对特定的视频标准进行优化实现, 其并不支持多标准。对于能够支持多标准的结构, 本设计相对于开销最小的文献[15], 在等效门数上也有近 44% 的减小。功耗方面, 由于本设计的存储单元完全是由寄存器实现的, 相对于功耗最小的文献[17], 本设计只有 20% 的下降。

帧率指每秒处理某种尺寸的视频序列的帧数。如式(3)所示, 最高帧率与吞吐率成正比, 吞吐率越高, 最高帧率越高。通过计算, 本文所提出的结构在工作频率是 187 MHz 的时候, 能够对格式为 4:2:0 的 Full-HD 和 WQXGA 的视频序列进行实时处理。事实上, 通过提高工作频率, 本文所提出的设计能够实现最高近 330 M 的吞吐率, 将能够更为高效地实现视频的变换。

$$\text{最高帧率} = \frac{\text{吞吐率(M Pixels / Sec)}}{\text{视频宽带} \times \text{视频高度} \times \text{格式系数(Pixels)}} \quad (3)$$

5 结论

本文在经典的通过矩阵分解计算 DCT 的基础上, 总结了分解后矩阵的共同特点。针对这些共同特点, 遵循硬件共享的思路, 本文提出了一种低开销的能够支持多标准的 DCT 变换结构。该结构通过定制处理单元、蝶形变换网络结构和转置结构, 实现了附带有“阶流水”结构的高效率计算结构。通过实现比较, 本文所提出的结构, 除了能够支持现有的视频标准 H.264, VC-1 和 AVS 之外, 还能够对仍处于发展阶段的 HEVC 标准进行较好的支持。而且, 相比于现有的设计, 逻辑资源开销方面有将近 44% 的下降, 功耗有近 20% 的减小。同时, 本设计也能够对格式为 4:2:0 的 Full-HD 和 WQXGA 的视频序列进行实时处理。

参考文献:

- [1] SULLIVAN G J, OHM J, HAN W J, et al. Overview of the high efficiency video coding(HEVC) standard[J]. IEEE Trans. on Circuits and Systems for Video Technology, 2012, 22(12): 1649-1668.
- [2] SZE V, BUDAGAVI M, SULLIVAN G J. High Efficiency Video Coding(HEVC): Algorithms and Architectures[M]. [S.l.]: Springer, 2014.
- [3] YU L, CHEN S, WANG J. Overview of AVS-video coding standards[J]. Signal Processing Image Communication, 2009, 24(4): 247-262.
- [4] SMPTE 421M-2006. Standard for Television: VC-1 compressed video bitstream format and decoding process[S].

- [5] AHMED A, SHAHID M U, REHMAN A U. *N* point DCT VLSI architecture for emerging HEVC standard[J]. VLSI Design, 2012. doi:10.1155/2012/752024.
- [6] HONG Liang, HE Weifeng, ZHU Hui, et al. A full-pipelined 2-d IDCT/IDST VLSI architecture with adaptive block-size for HEVC standard[J]. IEICE Electronics Express, 2013, 10(9):20130210.
- [7] CHEN W H, SMITH C, FRALICK S. A fast computational algorithm for the discrete cosine transform[J]. IEEE Transactions on Communications, 1977, 25(9):1004–1009.
- [8] KANEKO T, NAKAJIMA Y, NISHIYAMA K, et al. 50.1: Innovative 5-inch FHD and 7-inch WQXGA displays for next generation smartphones and tablets[J]. Sid Symposium Digest of Technical Papers, 2013, 44(1): 693–696.
- [9] RICHARDSON I E. Video Codec Design: Developing Image and Video Compression Systems[M]. UK: John Wiley & Sons, 2002.
- [10] CHEN Y H, CHANG T Y, LU C W. A low-cost and high-throughput architecture for H.264/AVC integer transform by using four computation streams[C]// 13th International Symposium on Integrated Circuits. Singapore: IEEE, 2011: 380–383.
- [11] YU S, SWARTZANDER E E. DCT implementation with distributed arithmetic[J]. IEEE Transactions on Computers, 2001, 50(9):985–991.
- [12] CHEN Y H, CHEN J N, CHANG T Y, et al. High-throughput multistandard transform core supporting MPEG/H.264/VC-1 using common sharing distributed arithmetic[J]. IEEE Transactions on Very Large Scale Integration Systems, 2014, 22(3): 463–474.
- [13] QI H, HUANG Q, GAO A W. A low-cost very large scale integration architecture for multistandard inverse transform[J]. IEEE Transactions on Circuits and Systems—II: Express Briefs, 2010, 57(7):551–555.
- [14] FAN C P, FANG C H, CHANG C W, et al. Fast multiple inverse transforms with low-cost hardware sharing design for multistandard video decoding[J]. IEEE Transactions on Circuits and Systems—II: Express Briefs, 2011, 58(8):517–521.
- [15] MARTUZA M, WAHID K A. Low cost design of a hybrid architecture of integer inverse DCT for H.264, VC-1, AVS, and HEVC[J]. VLSI Design, 2012. doi:10.1155/2012/242989
- [16] CHANG C W, HSU S J, FAN C P. Efficient fast transform processor with cost-effective hardware sharing architecture for multi-standard video encoding[C]// 5th International Congress on Image and Signal Processing. Chongqing, China: IEEE, 2012: 14–18.
- [17] HUANG H, XIAO L Y. CORDIC based fast radix-2 DCT algorithm[J]. IEEE Signal Processing Letters, 2013, 20(5): 483–486.
- [18] HUANG H, XIAO L Y, LIU J. CORDIC-based unified architectures for computation of DCT/IDCT/DST/IDST[J]. Circuits, Systems, and Signal Processing, 2014, 33(3):799–814.

作者简介:



贾 瑞(1987–), 男, 山西省吕梁市人, 在读博士研究生, 主要从事可重构计算方面的研究. email: jiaruihit8@163.com.

冯光朗(1979–), 男, 成都市人, 高级工程师, 主要从事数字信号处理相关方面的研究.

林 郁(1982–), 男, 广东省珠海市人, 博士, 助理研究员, 主要研究方向为 FPGA 架构开发、FPGA 的 CAD 辅助设计、FPGA 高层综合、高性能计算.

郭珍红(1989–), 女, 湖北省襄阳市人, 硕士, 主要研究方向为数字 IP 核技术.

杨海钢(1960–), 男, 上海市人, 研究员, 博士生导师, 中国科学院“百人计划”引进国外杰出人才, 主要从事可编程芯片与系统、数模混合信号可编程 SoC 等方面的研究.