

文章编号: 2095-4980(2016)01-0131-06

应用于高速高精度流水线 ADC 参考电压缓冲器

陈亮^{a,b}, 谢亮^{a,b}, 金湘亮^{a,b}

(湘潭大学 a.物理与光电工程学院; b.微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105)

摘要: 通过分析流水线数字转换器(ADC)中参考电压缓冲器的工作过程, 提出了相应的负载模型, 并推导出缓冲器的指标, 设计了一种能用于高速高精度流水线ADC的参考电压缓冲器。该缓冲器采用了改进的开环结构, 降低了设计复杂度、功耗和面积, 同时采用增强型源跟随结构, 提高了缓冲器驱动能力和稳定性。该参考电压缓冲器采用华力55 nm CMOS工艺进行电路和版图设计, 版图面积为320 μm ×260 μm 。Spectre后仿真结果表明, 参考电压缓冲器功耗为3 mA, 建立时间为4.3 ns, 成功应用于60 MS/s 12 bit流水线ADC。

关键词: 参考电压缓冲器; 流水线数字转换器; 增强型源跟随

中图分类号: TN792

文献标识码: A

doi: 10.11805/TKYDA201601.0131

A reference buffer used in high-speed high-precision pipelined ADC

CHEN Liang^{a,b}, XIE Liang^{a,b}, JIN Xiangliang^{a,b}

(a.Faculty of Materials, Optoelectronics and Physics; b.Hunan Engineering Laboratory for Microelectronics, Optoelectronics and System on A Chip, Xiangtan University, Xiangtan Hunan 411105, China)

Abstract: The load model and the index requirements are proposed through analyzing the working process of reference buffer in pipelined Analog to Digital Converter(ADC) in the paper. Finally a reference buffer used in high-speed high-precision pipelined ADC is designed. The buffer adopts an improved open loop structure to induce design complexity, power consumption and area. Moreover an enhanced source follower structure is used to improve driving capability and stability. The design of schematic and layout is based on Huali Microelectronics Corporation(HMLC) 55 nm Complementary Metal-Oxide-Semiconductor (CMOS) technology, and layout area is 280 μm ×240 μm . The post simulation result shows that the power of buffer is 3mA and the setting time is 4.3 ns. The buffer can be used in 60 MS/s 12 bit pipelined ADC.

Key words: reference voltage buffer; pipelined ADC; enhanced source follower

流水线型 ADC 的数字输出是通过输入信号与参考电压进行逐级比较而得出, 参考电压的精确度、建立时间等指标直接影响 ADC 的转换性能。作为参考电压源负载的动态开关电容, 将给参考电压源带来比较大的干扰。高速高精度流水线 ADC 需要参考电压源有高精度和高的驱动能力。现有低速低精度流水线应用中, 基准电压多直接由片外提供, 或采用片外大电容使其稳定^[1-2], 但在高采样频率下, 大电容和封装线键合电感会带来谐振^[3-4], 严重影响了基准电压的稳定性。

使用集成单位增益运放^[5-7], 相比用大电容稳定的方法, 它不受封装线键合电感的影响, 但应用于高速高精度流水线 ADC 时, 参考电压源缓冲器等效输出电阻需要设计得很小, 运算放大器的单位增益带宽需要设计得很大, 设计难度大且需要较大的功耗。文献[8]提出的结构输出级处于环路外, 输出阻抗不受限于闭环运放。输出阻抗和功耗相对于普通单位增益运放结构改善了很多, 但电路设计比较复杂。本文提出的缓冲器结构在此基础上进行了改进, 并提出一种输出阻抗更小的输出级结构。整个参考电压缓冲器结构简单, 功耗更小, 不需要增加端口来引入片外大电容, 同时具有驱动能力强、输出阻抗小等特点, 能够为高速高精度流水线 ADC 提供精准的参考电压。

收稿日期: 2015-04-22; 修回日期: 2015-05-31

基金项目: 国家科技重大专项基金资助项目(2011ZX05008-005-04-02); 教育部新世纪优秀人才支持计划基金资助项目(NCET-11-0975); 湖南省自然科学基金资助项目(12JJ4064)

1 参考电压源负载模型及指标

1.1 参考电压缓冲器负载

文献[9-10]描述了 12 bit 流水线 ADC 工作过程, 流水线 ADC 在两相非交叠时钟控制下工作, 参考电压缓冲器的负载是随着采样时钟跳变的动态开关电容。不同的时钟半周期, 连接到参考电压缓冲器上的流水线级不同, 采样电容数目和初始电压也不同。每一次时钟周期电荷都会重新分配, 导致参考电压发生波动。缓冲器的作用是快速稳定参考电压。通过 Matlab 建模证明^[11]: 12 bit 流水线 ADC 的参考电压达到 11 bit 以上精确度时, 性能与使用理想参考电压接近, 即要求 1/2 采样周期内参考电压恢复到 11 位精确度。

根据负载行为特征, 建立了图 1 所示缓冲器负载模型。S1 和 S2 为状态相反的开关, C_L 模拟采样电容, 电容值为奇数级或偶数级采样电容总和。开关 S1 导通时模拟采样阶段, 给 U_1 设置一个极端值作冗余考虑; 开关 S2 导通时模拟放大阶段, 采样电容连接到缓冲器。

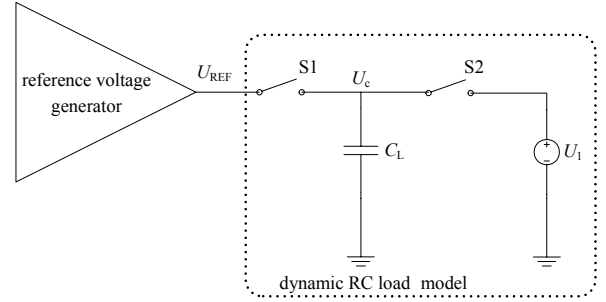


Fig.1 Model of reference voltage buffer
图 1 参考电压缓冲器负载模型

1.2 参考电压源指标要求

设计的流水线 ADC 参考电压需要 U_{REFP}, U_{REFN} 差分电压, $U_{REF} = U_{REFP} - U_{REFN}$ 。假设电压值分别为 2.0 V 和 1.3 V, U_{REF} 为 0.7 V。考虑极端情况, 图 1 中开关 S1 导通后, U_{REFP} 从 1.3 V 建立到 2.0 V, U_{REFN} 从 2.0 V 建立到 1.3 V。

电压恢复建立过程分为压摆建立和小信号建立, 假设压摆建立时间为 t_1 , 小信号建立时间为 t_2 , 要求 $t_1 + t_2$ 小于 1/2 采样周期。压摆过程通过大电流对负载电容进行充放电, 充放电平均电流分别为 I_{cha}, I_{dis} , U_{REFP} 压摆建立过程表示为:

$$U_{REFP}(t) = 1.3 + \frac{\bar{I}_{cha} t_1}{C_L} \quad (1)$$

U_{REFN} 压摆建立过程表示为:

$$U_{REFN}(t) = 2.0 - \frac{\bar{I}_{dis} t_1}{C_L} \quad (2)$$

压摆过程输出值与稳定值误差大小为:

$$\delta_1(t) = U_{REF} - U_{REF}(t) = 1.4 - \frac{(\bar{I}_{cha} + \bar{I}_{dis}) t_1}{C_L} \quad (3)$$

式(3)说明: 压摆越大, 规定时间内误差越小。

压摆率越大, 压摆建立到一定值时, 开始小信号建立(大信号与小信号建立过程并不是严格分开的, 为了计算方便, 一般选取 U_{REF} 前 90% 为大信号建立过程), 基准缓冲器 2 个输出端的输出阻抗都为 R_s , 那么时间常数 $\tau = C_L R_s$, 小信号建立表示为:

$$U_{REFP}(t) = 1.93 + 0.07 \left[1 - \exp\left(-\frac{1}{R_s C_L} t_2\right) \right] \quad (4)$$

$$U_{REFN}(t) = 1.37 - 0.07 \left[1 - \exp\left(-\frac{1}{R_s C_L} t_2\right) \right] \quad (5)$$

两式相减得:

$$U_{REF}(t) = 0.7 - 0.14 \exp\left(-\frac{1}{R_s C_L} t_2\right) \quad (6)$$

小信号建立过程输出与稳定值误差为:

$$\delta_2(t) = U_{REF} - U_{REF}(t) = 0.14 \exp\left(-\frac{1}{R_s C_L} t_2\right) \quad (7)$$

式(7)说明:缓冲器输出阻抗越小,规定时间内误差越小。

上述分析说明:在流水线 ADC 中参考电压缓冲器驱动开关电容负载需要高压摆率和低输出阻抗。

2 电路设计

2.1 参考电压源整体架构

图 2 是本文设计的参考电压源的整体架构,OP1 为主运放,采用折叠式共源共栅结构,提供高增益; $n1,n2$ 和 $p1,p2$ 是 2 对复制源跟随结构, $n1,n2$ 为 NMOS 源跟随, $p1,p2$ 为 PMOS 源跟随。OP1, $n1,n2$ 和电阻 $R_1 \sim R_4$ 组成差分反馈环路,将单端输入转换为双端差分输出。OP2 与 OP1, $n1,n2$ 和电阻 R_5,R_6 组成共模反馈环路,控制输出共模电压。 U_{REF_IN} 和 U_{CMO} 分别是差模输入信号和共模输入信号,由带隙基准电路和电平位移电路产生。主运放和输出级之间为一个无源低通滤波器。高时钟频率下,开关电容负载会给缓冲器引入高频回踢噪声,该无源滤波器可以有效抑制高频噪声,为 $n2$ 和 $p2$ 提供接近直流的输入电平,同时给系统环路引入一个低频主极点,增强了环路稳定性,环路相位裕度接近 90° 。无源滤波器的退耦电容大小为 50 pF 左右,可以直接在片内集成。

假设 R_1,R_2,R_3,R_4 的电阻值相等,运放增益为 A ,由运放的基本原理有下式关系:

$$U_{FBP} - U_{FBN} = A(U_{IN+} - U_{IN-}) = A\left(\frac{U_{REF_IN} + U_{FBN}}{2} - \frac{U_{FBP}}{2}\right) \quad (8)$$

假设运放的增益为无穷大,式(8)可以化简为:

$$U_{FBP} - U_{FBN} = U_{REF_IN} \quad (9)$$

如果 R_5 和 R_6 电阻值相等,可以得到下式:

$$(U_{FBP} + U_{FBN}) / 2 = U_{CMO} \quad (10)$$

2 式联合得出 U_{FBP} 和 U_{FBN} 的值。在允许范围内调节 U_{REF_IN} 和 U_{CMO} 可以满足不同的输出电压。本次设计的流水线 ADC 中, U_{REF_IN} 输入为 0.7 V , U_{CMO} 输入为 1.65 V 。

$p2,n2$ 使用源跟随 $p1,n1$ 相同的结构,产生参考电压提供给 ADC。分析源跟随的电流和输出电压,有如下关系式:

$$I_D = \frac{1}{2} \mu_{ox} \frac{W}{L} (U_{IN} - U_{OUT} - U_{TH})^2 (1 + \lambda U_{DS}) \quad (11)$$

因此有:

$$U_{OUT} = U_{IN} - U_{TH} - \sqrt{\frac{2I_D}{\mu_{ox} c_{ox} (W/L)} \cdot \frac{1}{(1 + \lambda U_{DS})}} = (U_{IN} - U_{TH}) - m \sqrt{\frac{I_D}{(W/L)}} \quad (12)$$

使得 $n2,p2$ 的漏极电流大小与管子尺寸比值与 $n1,p1$ 相等,输出电压将会相等。即 U_{REFP}, U_{REFN} 电压与 U_{FBP}, U_{FBN} 相等。

相对于采用单位增益闭环运放结构的参考电压缓冲器,图 2 所示采用复制源跟随结构的电压缓冲器的运放反馈环路不受输出负载的影响,从而能够降低运放的带宽指标要求,从而节省功耗和面积。

电压缓冲器的驱动能力主要取决于 $n2,p2$ 复制源跟随器的输出阻抗,如图 2 所示,可以通过直接调节电流大小和管子尺寸来控制输出阻抗大小。

2.2 驱动增强源跟随

图 3 为简单源跟随结构,当 U_{OUT} 高于稳定值时 $M1$ 漏电流减小,压摆电流大小为 $I_Q - I_{D(M1)}$, I_Q 保持不变,压摆率仅取决于 $I_{D(M1)}$ 的变化大小。图 4 为

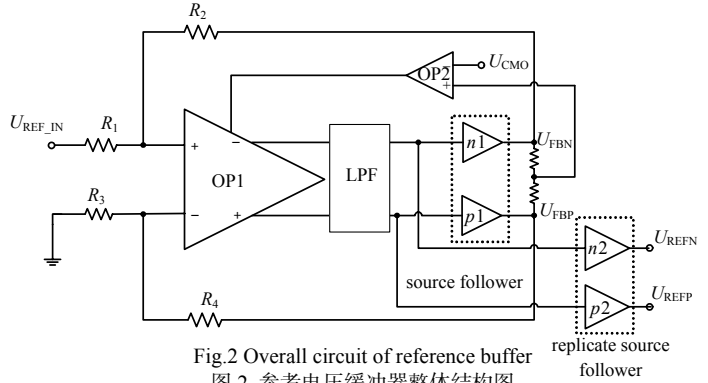


Fig.2 Overall circuit of reference buffer
图 2 参考电压缓冲器整体结构图

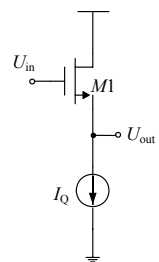


Fig.3 Simple source follower structure
图 3 简单源跟随结构

驱动增强源跟随结构, 它采用动态电流偏置代替图 3 中恒电流源。以图 4(a)NMOS 增强型源跟随为例, 源跟随输出连接图 1 所示负载模型, 开关 S1 闭合后 U_{out} 高于稳态值, M1 的漏电流减小, 分析 M2 与 M3, M4, M5, M6, M7 电流镜像关系, 可知 M2 电流将高于静态电流大小, 放电电流大小表示为:

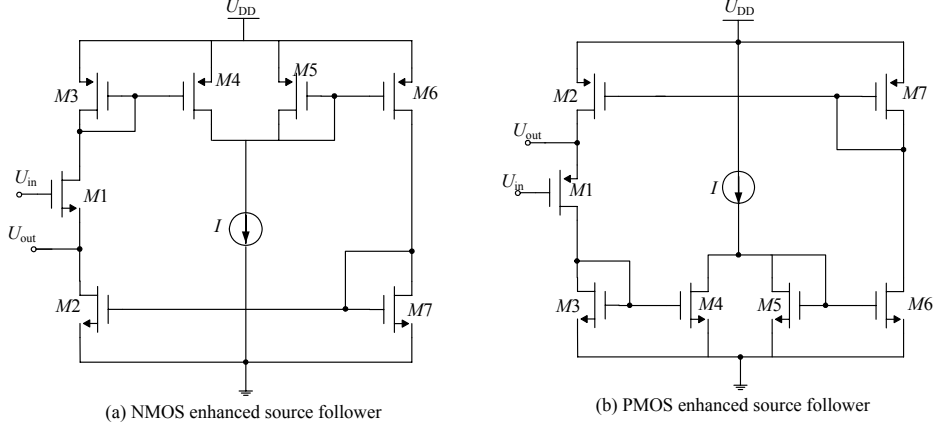


Fig.4 Enhanced source follower

图 4 增强型源跟随

$$I_{dis} = I_{D(M2)} \uparrow - I_{D(M1)} \downarrow \quad (13)$$

相比简单源跟随仅改变输入管的漏电流, 增强型源跟随上下电流都发生变化, 放电电流将显著增大, 提高了压摆速度。同理 PMOS 增强型源跟随也具有高压摆速度。

分析图 4(a)电路, M1 漏端和 M3 源端电压为 U_1 , 采用二极管连接的 M3 能够检测 M1 的漏电流, 并将其转化为该点电压, U_1 通过右边环路到 M2 漏电流的导电:

$$G_m = \frac{i_{m2}}{v_1} = \frac{g_{m2}g_{m4}g_{m6}}{g_{m5}[g_{m7} + sC_1]} \quad (14)$$

画出其等效小信号模型如图 5 所示。

忽略寄生电容影响, 写出节点 KCL 方程:

$$g_{m1}(v_i - v_o) + (v_1 - v_o)g_{ds1} = -v_1g_{m3} - v_1g_{ds3} \quad (15)$$

$$g_{m1}(v_i - v_o) + (v_1 - v_o)g_{ds1} = v_o / \left(\frac{1}{g_{ds2}} \parallel \frac{1}{sC_L} \right) + G_m v_1 \quad (16)$$

3 个 MOS 管 g_{ds} 远小于 g_m , 得出:

$$A(s) \approx \frac{g_{m1}g_{m2}g_{m4}g_{m6} + g_{m1}g_{m3}g_{m5}g_{m7}}{g_{m1}g_{m2}g_{m4}g_{m6} + g_{m3}g_{m5}g_{m7}[g_{m1} + sC_L]} \quad (17)$$

增强型源极跟随器的主极点可以表示为:

$$\omega_{3dB} \approx \frac{1}{C_L} g_{m1} \left(1 + \frac{g_{m2}g_{m4}g_{m6}}{g_{m3}g_{m5}g_{m7}} \right) \quad (18)$$

简单源跟随 3 dB 带宽 $\omega_{3dB} \approx g_{m1} / C_L$, 增强型源跟随和它相比, 3 dB 带宽增大了 $(g_{m2}g_{m4}g_{m6}) / (g_{m3}g_{m5}g_{m7})$ 倍, 相同负载电容下, 该结构相比简单源跟随输出阻抗减小了 $(g_{m2}g_{m4}g_{m6}) / (g_{m3}g_{m5}g_{m7})$ 倍。综合上面的分析可知, 功耗和面积相同的情况下, 增强型源跟随相对简单源跟随压摆速度和小信号建立速度都得到提升, 选取增强型源跟随作为图 2 输出级。

3 版图设计与仿真结果

本文基于华力 55 nm CMOS 工艺进行电路仿真和版图设计, 图 5 为缓冲器整体版图, 尺寸大小为 320 $\mu\text{m} \times$

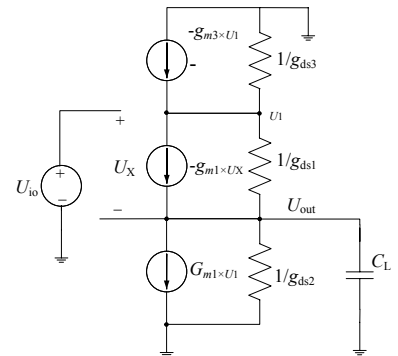


Fig.5 Small signal model of enhanced source follower

图 5 增强型源跟随等效小信号模型

260 μm 。图 7 是参考电压缓冲器建立时间后仿真,其中实线代表使用增强型源跟随的缓冲器,在 4.4 ns 时建立误差为 325 μV ,建立时间和精确度满足设计要求。虚线代表使用简单源跟随结构缓冲器建立时间仿真,它们的面积与功耗相同,但使用简单源跟随的缓冲器建立速度明显要慢。

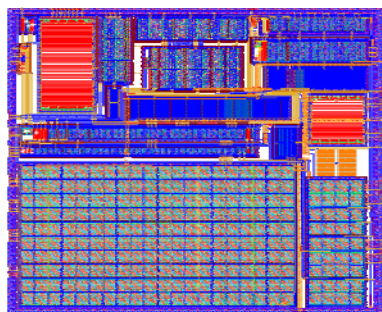


Fig.6 Layout of reference voltage buffer
图 6 参考电压缓冲器版图

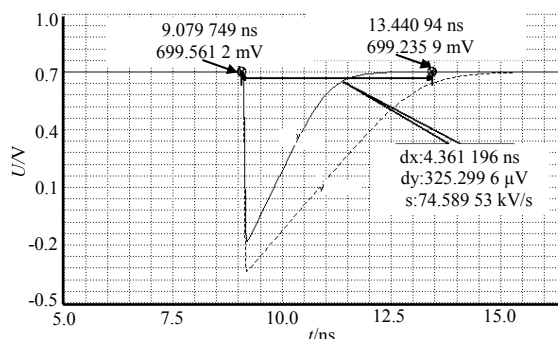


Fig.7 Setting time of the two source followers
图 7 两种源跟随的建立时间

设计的基准缓冲器在 27 $^{\circ}\text{C}$, TT, 3.3 V 电源下功耗为 3 mA, 各个 Corner 下最大功耗为 3.3 mA。将基准缓冲器应用于 12 bit-60 MS/s 流水线 ADC 中进行验证,采用本参考基准源的 ADC 的 SFDR 为 81.94 dB, SNDR 为 70.2 dB, 有效位数为 11.4 bit。性能相比使用理想参考电压的 ADC 相差很小。

4 结论

文章分析了流水线 ADC 中参考电压建立过程,提出了一种新型的参考电压缓冲器结构和增强型源跟随,设计的参考电压缓冲器具有稳定性高、驱动能力强、面积小、功耗低的特点。通过仿真验证,该电路能够很好地应用于 60 MPS 12 bit 流水线 ADC。

参考文献:

- [1] SINGER L, HO S, TIMKO M, et al. A 12b 65MSample/s CMOS ADC with 82 dB SFDR at 120 MHz[C]// Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International. San Francisco, CA, USA: [IEEE], 2000:38–39.
- [2] JIANG J, YIN W J, XU J, et al. A voltage reference for pipeline A/D converter and its output buffer[J]. Microelectronics, 2006, 36(6):806–809.
- [3] NIEMINEN T, HALONEN K. Reference voltage generation in high-speed pipelined Analog-to-Digital Converters[C]// Electronics Conference (BEC). 2010 12th Biennial Baltic: IEEE, 2010:93–94.
- [4] RUIZ-AMAYA J, DELGADO-RESTITUTO M, RODR Í GUEZ-V á AQUEZ A. Device-level modeling and synthesis of high-performance pipeline ADCs[M]. Berlin: Springer, 2011.
- [5] CHO Y J, LEE S H. An 11b 70 MHz 1.2 mm² 49 mW 0.18 μm CMOS ADC with on-chip current/voltage references[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, 2005, 52(10):1989–1995.
- [6] CHO Y J, BAE H H, LEE M J, et al. An 8b 220 MS/s 0.25 μm CMOS pipeline ADC with on-chip RC-filter based voltage references[C]// Advanced System Integrated Circuits 2004. Proceedings of 2004 IEEE Asia-Pacific Conference on. [S.l.]: IEEE, 2004:90–93.
- [7] JI C, SMITH K M, SMEDLEY K M. Cross regulation in flyback converters: solutions[C]// Industrial Electronics Society, 1999. IECON'99 Proceedings. The 25th Annual Conference of the IEEE. [S.l.]: IEEE, 1999:174–179.
- [8] CAO Z, YAN S. A study on voltage reference buffers for low voltage switched capacitor data converters[C]// Circuits and Systems, 2006. MWSCAS'06. 49th IEEE International Midwest Symposium on. [S.l.]: IEEE, 2006:502–506.
- [9] WENG-IENG MOK I, PUI-IN MAK, SENG-PAN U, et al. Modeling of noise sources in reference voltage generator for very-high-speed pipelined ADC[C]// The 2004 47th Midwest Symposium on Circuits and Systems. [S.l.]: IEEE, 2004:5–8.
- [10] ZHAO L. Research on key technologies of 16 bit high-speed CMOS pipelined analog to Digital Converter[M]. Xi'an: Xidian University, 2013.
- [11] HU X Y, ZHOU Y M, WANG H. A voltage reference buffer for 12 bit 100 MHz pipelined A/D converter[J]. Microelectronics, 2008, 38(1):133–136.

(下转第 147 页)