

文章编号: 2095-4980(2017)05-0867-07

一种支持高效加法的 FPGA 嵌入式 DSP IP 设计

王楠^{1,2}, 黄志洪¹, 杨海钢^{1,2}, 丁健¹

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院 中国科学院大学, 北京 100049)

摘要: 提出了一种支持可变位宽高效加法的现场可编程逻辑门阵列(FPGA)嵌入式数字信号处理(DSP)单元知识产权(IP)硬核结构, 相比于 Altera 公司的 Stratix-III DSP 结构, 基于本文提出的优化结构可以更高效地实现加法、乘加以及累加等多种应用。利用软件对不同数据类型和位宽的输入实现数据预处理, 减小了硬件资源的开销, 并进一步提升了电路性能。同时在 DSP 结构中加入了乘法旁路器和二级符号位扩展的加法电路, 在减小 DSP 实现面积的同时, 支持超高位宽、高速的流水线型加法运算, 扩展了 DSP 的应用范围。采用 TSMC 55 nm 标准 CMOS 工艺设计并完成了所提出的 DSP IP 核的电路实现, 可实现包括 72 位可变位宽加法及 36 位可变位宽乘法等在内的 9 种运算模式。

关键词: 现场可编程逻辑门阵列(FPGA); 嵌入式 DSP; 加法运算; 乘法旁路器; 符号位扩展
中图分类号: TN914.42 **文献标志码:** A **doi:** 10.11805/TKYDA201705.0867

A design of FPGA embedded DSP IP core supporting efficient addition

WANG Nan^{1,2}, HUANG Zhihong¹, YANG Haigang^{1,2}, DING Jian¹

(1.System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;
2.University of Chinese Academy of Sciences, Chinese Academy of Sciences, Beijing 100049, China)

Abstract: An embedded Field-Programmable Gate Arrays(FPGA) Digital Signal Processor(DSP) core's architecture which supports efficient width variable addition is presented. Compared with the Stratix-III DSP core of Altera corporation, the optimized architecture will give higher efficiency to a variety of applications such as addition, multiply-addition and accumulation. It can not only reduce the circuit area but also improve the circuit performance by using software to pre-process the data with different types and bit-width. Meanwhile, a multiply-bypass circuit and two-stage sign extensional addition circuit are added to the DSP core, which implements a high bit-width, high-speed pipelined operation and reduces the circuit area as well. The design of DSP IP(Intellectual Property) core utilizes TSMC 55 nm CMOS technology, which supports nine-operation modes including 72 bit addition and 36 bit multiplication for variable width inputs.

Keywords: Field-Programmable Gate Arrays(FPGA); embedded DSP; addition; multiply-bypass circuit; sign extension

现场可编程逻辑门阵列(FPGA)低成本、可编程及并行运算等突出优势, 在通信、科学计算、人工智能、大数据加速等领域得到广泛应用^[1-3]。新领域的应用也使得 FPGA 向着实现更高精确度、更高速率的方向发展, 这使得 FPGA 通常要实现大位宽乘法、加法等运算。目前当 FPGA 需要实现大位宽的乘法运算(如 64 位 FFT 算法)时, 通常将大位宽数据拆成多个小位宽数据, 相乘得到部分积, 再把部分积相加得到最后的结果。因此, 高效加法运算成为决定 FPGA 实现高速数学运算的关键因素之一^[4-5]。同时嵌入式数字信号处理(DSP)单元作为 FPGA 的一部分, 需要能实现不同位宽下的多种数学运算, 满足客户在不同应用下的运算需求, 提高 FPGA 的资源利用率^[6-7]。主流的 FPGA 产品中基本都集成了可编程数字信号处理模块。但在实现大位宽加法运算时, Altera 公司的 Stratix 系列 FPGA 通过芯片内部已有的进位链构成行波进位加法器, 该方法结构最工整, 布局布线简单, 占用资源少, 易大规模集成, 但在实现大位宽算法时速度较慢^[8]。Xilinx 公司的 DSP48 系列 DSP 能实现 48 位以内的加法运算, 可以满足一般算法的要求, 但在处理高位宽加法运算时则需要调用多个 DSP 单元,

收稿日期: 2017-01-09; 修回日期: 2017-03-16

增加了 FPGA 布局布线的难度^[9]。学术界中的嵌入式 DSP IP 核则主要针对浮点运算,这使得此类 DSP IP 核无法实现定点运算,降低了 FPGA 内资源的利用率^[6,10-11]。

本文提出了一种支持可变位宽高效加法的 DSP 结构,该结构利用软件进行数据预处理以实现可变位宽的数学运算。同时,该结构中还含有乘法旁路器和一级流水线寄存器、加法进位链及加法进位寄存器等关键模块,通过乘法旁路器旁路和专用高速加法运算器,降低了 DSP 实现加法运算的延迟,以实现高速加法运算。最后,本结构相较于 Altera 公司的 Stratix 系列 DSP 新增加了直接加法、二次加法、乘加和累加等新功能。

1 主流 FPGA 器件 DSP 结构分析

目前,主流 FPGA 提供商的 Altera 公司的 FPGA 多采用 Stratix 系列 DSP IP 核。Stratix-III DSP IP 核作为该系列的第 3 代产品,可以实现乘法、双乘加、四乘加、乘累加等多种运算^[12],下面以 Stratix-III DSP 为例对 Stratix 系列 DSP 结构进行分析。

图 1 所示为 Altera Stratix-III DSP IP 核结构示意图,在 Stratix-III DSP 核中,所有的数据必须经过乘法运算后才能作为加法模块的输入,因此该 DSP 结构无法直接实现加法、累加、乘加等功能,如果利用将加数乘以 1 的方式实现乘法,则最多只能实现 18 位加法,使得 DSP IP 核的利用效率降低,因此 Altera 公司的 DSP 不适合直接进行加法运算^[12-14]。

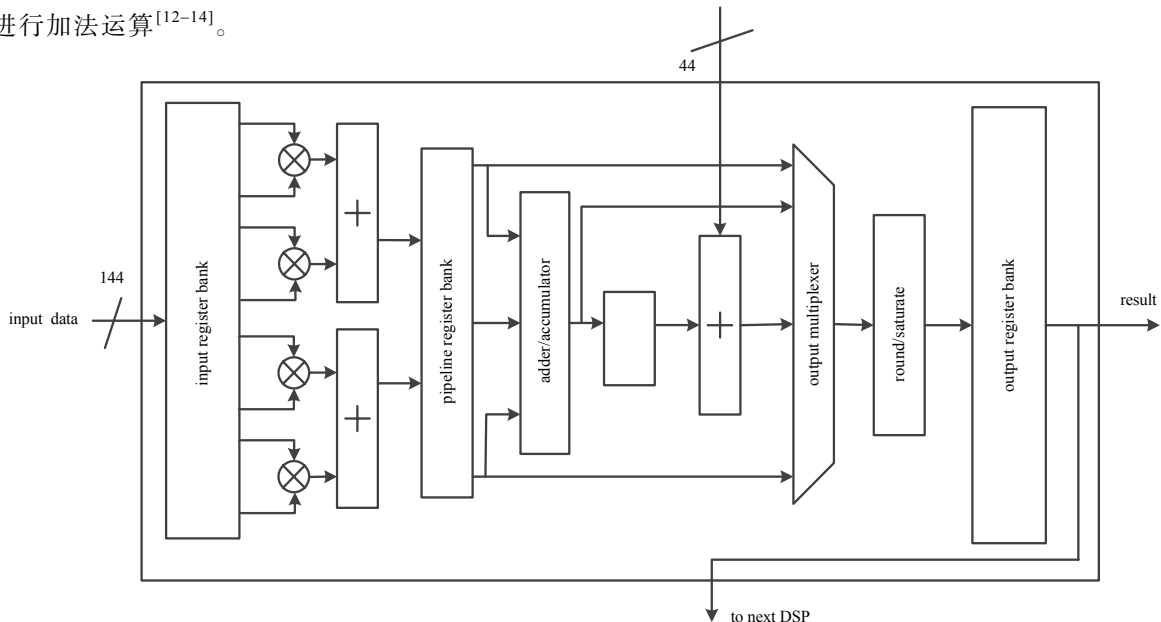


Fig.1 DSP's architecture of Altera Stratix-III
图 1 Altera Stratix-III 嵌入式 DSP IP 核

在 FPGA 中,由于嵌入式 IP 核中已有的乘法器的位宽是固定的,要实现 2 个任意位宽的乘数相乘,需要将数据的位宽补满至和已有乘法器的输入位宽一致,因此,在数据输入到乘法器前需要对数据进行预处理。

目前在 Altera 公司的嵌入式数字处理模块设计中,在实现不同位宽的乘法运算时采用了高位对齐,低位补零的方法对数据进行预处理,如图 2 所示,该预处理方法电路实现简单,只需根据位宽利用软件对低位无效的数据置零即可。由于该方法数据有效位都在高位,而加法运算要求数据低位对齐,因此不能对不同位宽的加法输入直接进行相加,在多个 DSP 的结果相加应用中需要先对数据进行移位,使数据低位对齐后才进行相加,这无疑会增加电路的消耗和延时。同时,由于高位对齐、低位补零的方式对加法器的输入加数和被加数的位宽要求极严,因此即使在 Altera 的 DSP 中加入乘法旁路器也会大大限制 DSP 数据运算的适用范围,该结构类型的 DSP IP 核不适合直接进行加法、累加运算。

另一种处理不同位宽的办法是低位对齐,高位补符号位。该方法首先根据输入数据确定数据符号位的值,然后将乘法器输入的值补满。如图 3 所示,在实现 9 位有符号乘法运算时,其中 1 个 5 位操作数为 1_0011,将该数补为 9 位宽操作数 1_1111_0011,同理,将另一个数 0100 补为 0_0000_0100,便可以计算 10011 与 0100 相乘的值,计算结果完全一致。利用该方法可以处理不同位宽加数和被加数相加的应用,拓宽了 DSP IP 核的数据处理范围。但使用该方法时需要根据乘数和被乘数的位置来确定最高位的位置,才能正确进行符号位扩展,采用硬件电路实现该方法需要比第 1 种方式占用更多的电路开销,相应的延迟也会增加。

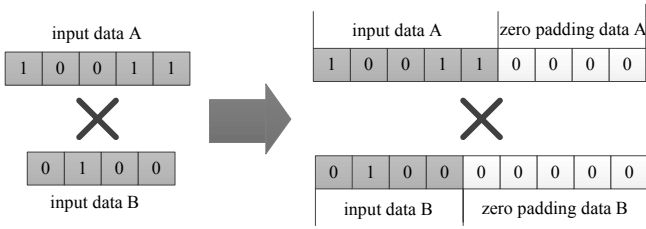


Fig.2 Realization of bit allocated high alignment and low zero-padding
图 2 数据高位宽对齐，低位补零的实现方法

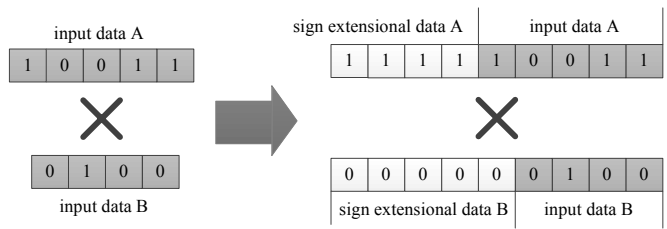


Fig.3 Realization of bit allocated low alignment and high sign extension
图 3 数据低位对齐，高位补符号位的实现方法

2 支持可变位宽高效加法 DSP

为了有效利用 DSP 内部的高速并行加法器，扩展 DSP 的应用范围，提出了一种支持可变位宽加法的 DSP 结构，与主流 FPGA 中 DSP 结构相比，增加了乘法旁路器以实现对内部高速并行加法电路的有效应用，同时根据 DSP 各工作模式下的数据通路，采用二次符号位扩展的方法实现了一种新的符号位扩展电路，可以有效减少电路规模。此外，还提出一种利用软件根据输入数据类型进行预处理的方式配合支持硬件电路结构，以进一步提升 DSP IP 核的性能。下面首先对软件数据预处理方法进行介绍。

2.1 数据预处理方法

FPGA 作为一种软硬件结合的可编程芯片，巧妙利用并优化软件在综合阶段对算法的处理结果，可以减少硬件设计时的电路开销。本文提出一种利用软件对数据进行预处理的方法，该方法根据用户选择的输入数据类型，完成对数据的预处理，使新 FPGA 架构在与 Stratix-III 系列 FPGA 同样的电路开销下，实现低位对齐、高位补符号位的数据预处理。

数据的类型分为 3 类：无符号数、有符号数和符号位可变的数(即数据可根据算法的需要切换为有符号数或无符号数)，下面以 12 位乘法为例，分别介绍软件在综合后对不同类型数据的处理方式。

如图 4 所示，无符号数，只需要将符号位补零即可，可以利用软件直接将高位置为零。如：对于 12 位乘法，可以直接将高六位置为零。如图 5 所示，对于有符号乘法，可以利用软件将最高位数据同时赋给高位。如：对于 12 位乘法，可以直接将最高位 D11 同时置给高七位。

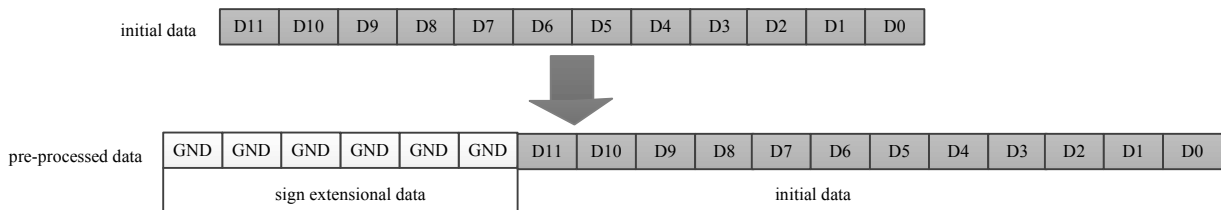


Fig.4 Data preprocessing for unsigned algorithm
图 4 无符号算法数据处理

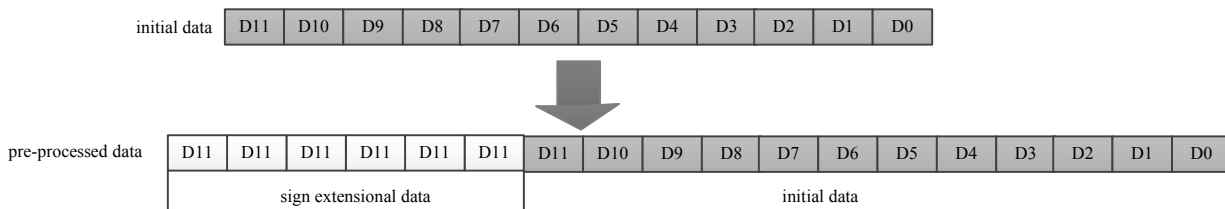


Fig.5 Data preprocessing for signed algorithm
图 5 有符号算法数据处理

如图 6 所示，符号位可变的数，则可预先利用 LUT 预先进行处理，再将值赋给高位。例如对于 12 位乘法，可以先将 D11 与 SIGN 相与，再同时赋给高六位。在使用此方法时，由于需要利用 LUT 对符号位进行预处理，会增加布线延迟，因而稍微影响到算法性能。但由于在实际数字信号处理应用中，绝大部分的算法都是符号位固定的算法，且预处理引起的延迟通常也很微小，因此对 DSP 的性能影响极小。

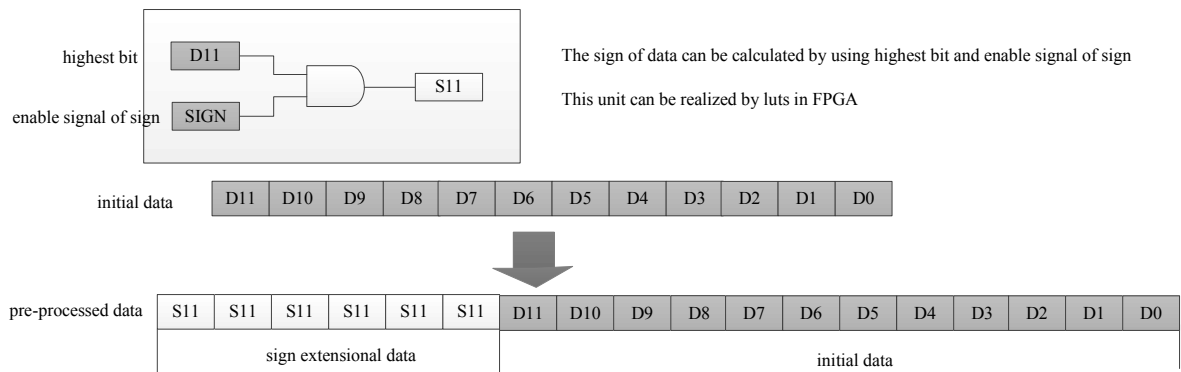


Fig.6 Data preprocessing for variable sign algorithm
图 6 符号位可变量算法数据处理图

2.2 支持可变位宽加法的 DSP IP 核结构设计

如图 7 所示为本文提出的可变位宽高效加法 FPGA 嵌入式 DSP 结构图，该 DSP 由输入级寄存器、乘法器及乘法旁路器、一级流水线寄存器、一级加法器、二级流水线寄存器、二级加法器和舍入饱和功能模块、输出寄存器、级联加法器及级联寄存器几个部分组成。与 Stratix-III 的 DSP 结构相比，图中的灰色部分均不相同。

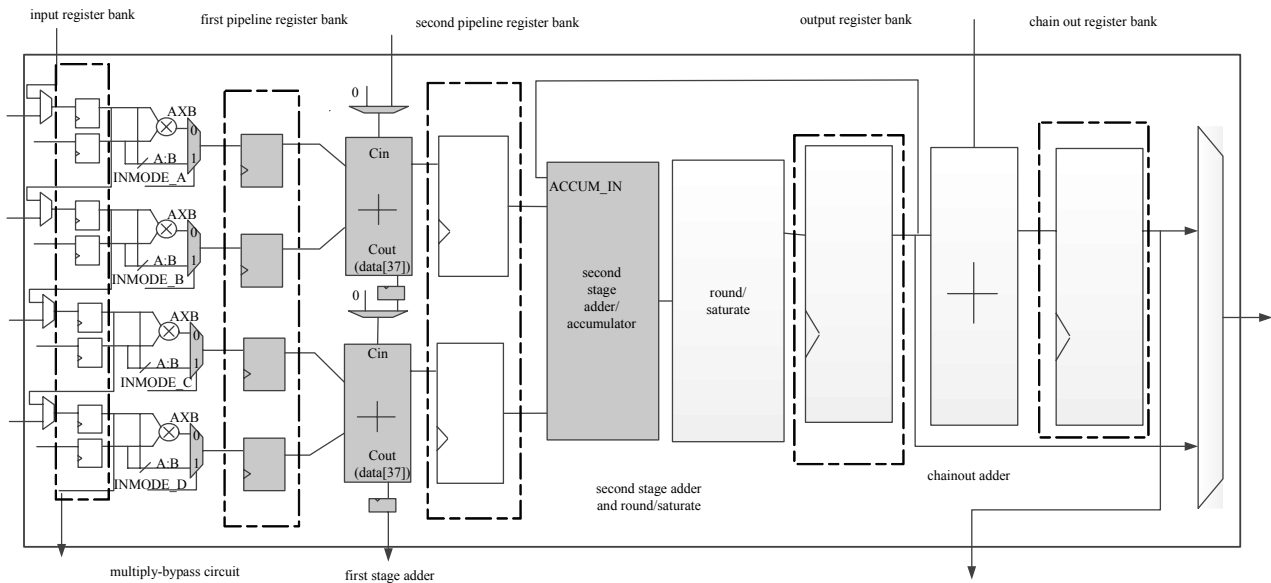


Fig.7 Embedded DSP's architecture supporting efficient addition for variable bit-width inputs
图 7 可变位宽高效加法 FPGA 嵌入式 DSP 结构

2.2.1 乘法旁路器设计

将 DSP 的输入数据直接作为加法器的输入需要对乘法器运算结果旁路，可以通过在电路中加入乘法旁路器实现，如图 7 所示，在本文中每个 DSP IP 核一共加入了 4 个乘法旁路器，分别位于 4 个乘法器后。该乘法旁路器是一个二选一的多路选择器，它由 INMODE 信号控制且 4 个 INMODE 信号相互独立，可分别进行配置。当 INMODE 信号为 0 时，一级流水线寄存器的输入为乘数 A 和乘数 B 的乘积结果；当 INMODE 信号为 1 时，则是将 A 和 B 两信号拼接的结果。利用该设计，可以将输入作为加数和被加数直接使用 DSP 内部含有的高速加法器。并且由于各 INMODE 信号的相互独立性，可使 DSP IP 核实现任意方式的乘加和加法组合。如要实现乘加运算 $Y=A \times B+C$ ，只需赋给相应的 INMODE 信号相应的控制输入即可。如图 8 所示为一个 DSP IP 核利用乘法旁路器同时实现了 2 个乘加应用。

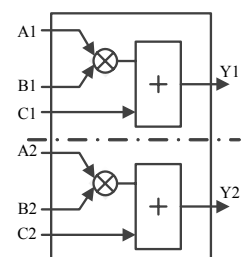


Fig.8 One DSP slice realizes two multiplication addition calculations by using multiply-bypass circuit
图 8 单个 DSP 核利用乘法旁路器实现两个乘加应用

2.2.2 两级数据扩展方式的一级加法器结构

在 Altera 的 Stratix-III 电路设计中，一级加法器和二级加法器都由 72 位加法器构成，因此在数据进入一级加法器时，都预先将数据扩充为 72 位后直接进行运算^[12-14]。其数据通路如图 9 所示。由于乘法器既要实现 18 位无符号运算，又要实现 18 位有符号运算，因此把乘法器设计为 19 位，在数据进入乘法器计算前将其位宽扩展为 19 位，数据经乘法计算后得到 38 位计算结果，将低 36 位结果截出后送到一级加法单元，由于这 36 位数据截出后丢失了符号位信息，因此在一级加法单元中进行符号位扩展时，还需要根据数据的类型、嵌入式 DSP 的工作模式以及数据最高位的值 3 个信号确定符号位信息，才能将数据扩展为 72 位。

但事实上，19 位有符号乘法运算结果的高两位数据已经含有符号位信息，若保留其中一位便可以直接进行符号位扩展；同时一级加法器只有在处理双精度模式和 36 位乘法模式时才需要用到一个 54 位宽的加法器，其他工作模式下加法位宽都少于 40 位，采用 72 位宽的加法器会造成资源的浪费。因此，本文采用两级数据符号位扩展方式，具体做法如下。图 10 所示为本文 DSP 结构采用的二级数据符号位扩展方法，在乘法计算后取低 37 位作为有效数据，其中第 37 位数据含有符号位信息，在数据扩展 I 模块中，可以将第 37 位数据作为符号位，直接进行数据扩展，与 Stratix-III DSP 电路相比，不仅省去了符号位判定电路，同时还节省了因符号位传递引起的拓展电路。本文的第一级加法器的位宽为 55 位，其中第 55 位数据也保留了原计算中的符号位信息，在数据进行第一级加法运算后，直接将运算结果的第 55 位数据作为符号位进行扩展，最终数据扩展至 72 位输入第二级加法单元。

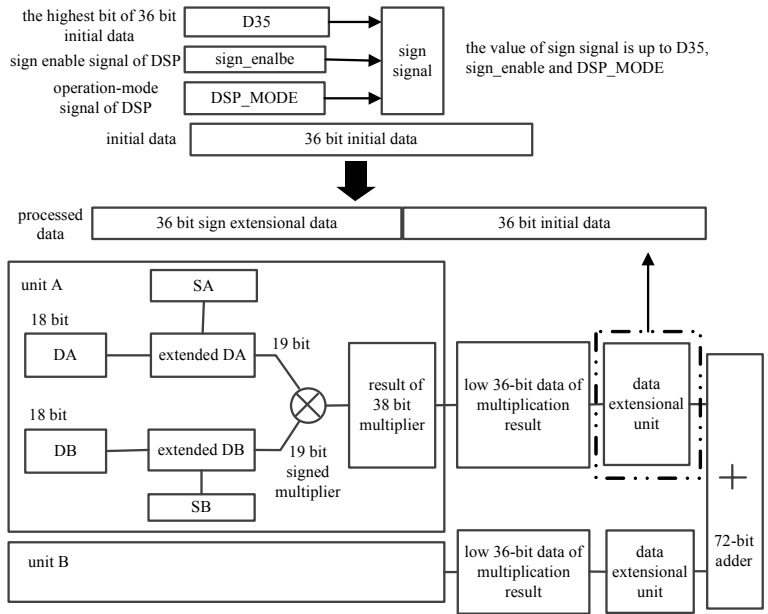


Fig.9 Data extensional circuit of Altera Stratix-III
图 9 Altera Stratix-III 数据扩展电路

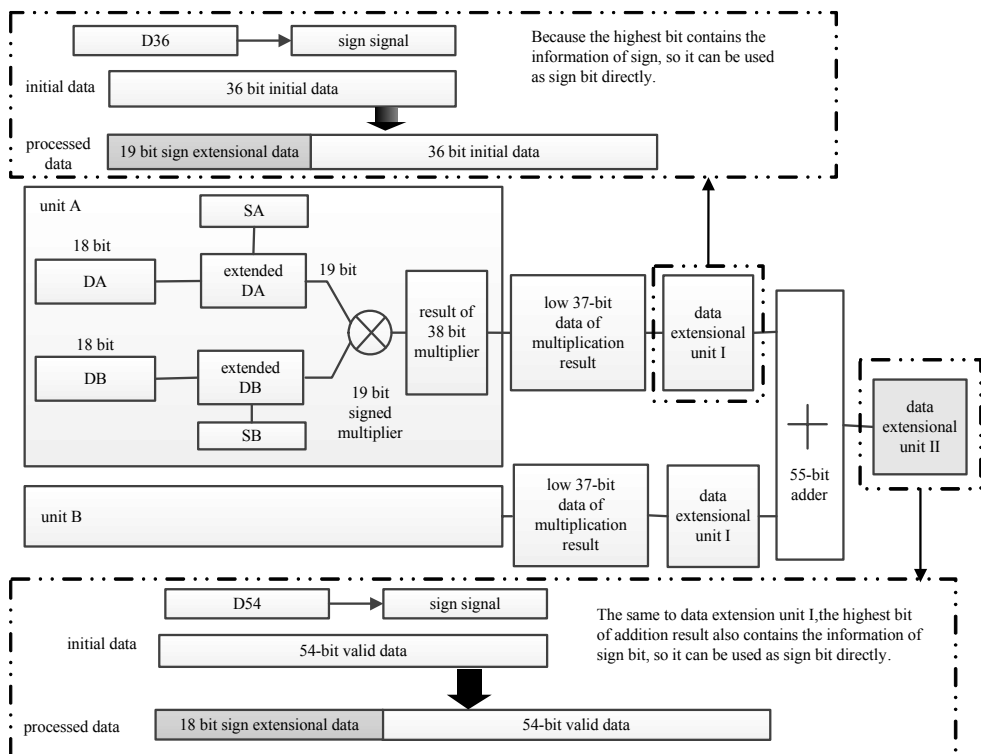


Fig.10 Two-stage sign extensional addition circuit
图 10 二级数据符号位扩展电路

由于本文中实现加法时，上半区只有 72 个输入，只能实现 36 位的加法，要实现更高位宽的加法，就必须在一级加法器间引入进位级联链，使 DSP 可以通过多个一级加法器模块级联实现超高位宽的加法运算。同时，多个一级加法器级联会增加加法模块的延时，为了减少加法运算进位传播延时，本文 DSP 在一级加法器间加入了进位寄存器。因此，通过二级数据扩展的一级加法模块，本文 DSP 可实现高位宽、高速的流水线型加法器。图 11 为本文 DSP 实现 72 位二级流水线加法运算示意图。

综上所述，本文提出的支持可变位宽高效加法 DSP IP 核结构与 Altera 公司 Stratix-III DSP 结构相比，具有以下优点：1) 增加了乘法旁路器，使 IP 核的输入能够通过该旁路器直接到达加法器的输入端完成加法；2) 采用了两级符号位扩展的一级加法器，降低了电路开销，在一级加法器间加入了进位和进位寄存器，使 DSP IP 核实现大位宽的加法成为可能。

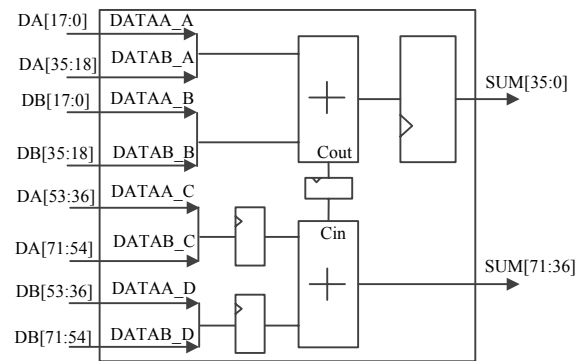


Fig.11 Implementation of 72-bit two-stage pipeline adder
图 11 72 位二级流水线加法实现

3 实现与比较

本文采用标准 TSMC 55 nm 1P9M CMOS 工艺，并利用 Synopsys DC 和 ICC 工具完成所提出的支持可变位宽高效加法 DSP IP 核的电路实现，通过综合和布局布线，最终所得的整体面积为 139 554.6 μm^2 ，关键延时路径为 2.13 ns。为了在同一平台和工艺上与现有的 Stratix-III DSP IP 核进行比较，本文根据已有的 Stratix-III 的数据手册及该 DSP 相应的设计文档^[12-14]，采用相同的设计方法和流程完成了其 DSP IP 核设计，称为 Altera DSP，该 IP 核整体面积为 143 938.8 μm^2 ，关键延时路径为 2.59 ns。表 1 和表 2 是 Altera 已有的 Stratix-III DSP, Altera DSP 和本文提出的支持可变位宽高效加法的 DSP IP 核的比较。

表 1 DSP 的面积、性能比较

Table1 Comparison of DSP's area and performance

	Stratix-III DSP	Altera DSP	DSP IP core supporting efficient addition
process technology	65 nm	55 nm	55 nm
area	no data	143 938.8	139 554.6
critical path delay	1.85 ns	2.59 ns	2.13 ns
maximum operating frequency	550 MHz	386 MHz	470 MHz

从表 1 可以看到，三者中，Stratix-III 已有的 DSP 关键路径的延时最小，最高工作频率达到 550 MHz；而根据 Altera 已有的资料设计出的 Altera DSP 性能最差，这是因为对于该款 DSP 而言，关键路径为输入经过乘法器和一级加法单元模块的延时，其中乘法器延时为 1.87 ns，一级加法器延时为 0.72 ns，因此，关键路径延时为 2.59 ns。而改进的 DSP 模块由于在乘法器和一级加法器单元间多加入了一级寄存器，该关键路径的延时下降为 2.13 ns，因此在所有寄存器都寄存的情况下，最高工作频率有所提升。从表 1 和表 2 可以发现，本文提出的支持可变位宽高效加法 DSP 模块与相同条件下实现的 Altera DSP 的面积相近，同时本文的 DSP 模块不仅实现了 Stratix-III DSP 核的所有功能，同时还额外增加了 18 位乘加模式、36 位和 72 位独立加法模式、36 位和 72 位累加等多种模式。新模式的增加使得 FPGA 能够更高效地实现加法运算等应用。

表 2 DSP 功能比较

Table2 Comparison of DSP's function

mode	multiplier in width	the number of application that can be implemented within a single DSP block		
		Stratix-III DSP	Altera DSP	DSP IP core supporting efficient addition
independent multiplier	9 bit	8	8	8
	12 bit	6	6	6
	18 bit	4	4	4
	36 bit	2	2	2
	double mode	2	2	2
multiplier adder	18 bit	not support	not support	4
two-multiplier adder	18 bit	4	4	4
four-multiplier adder	18 bit	2	2	2
multiply accumulate	18 bit	2	2	2
shift	36 bit	2	2	2
independent adder	36 bit	not support	not support	4
	72 bit	not support	not support	2
accumulate (four numbers)	36 bit	not support	not support	2
accumulate	72 bit	not support	not support	2

4 结论

本文提出一种通过软件对不同位宽、不同模式的输入数据进行预处理的方法。基于该方法提出了一种支持可变位宽的高效加法的DSP结构,与Altera公司的Stratix系列DSP相比,该DSP结构中含有乘法旁路器和二级符号位扩展的一级加法单元,在减小电路面积的同时还有效利用了DSP内部已有的高速并行加法单元实现了高速高位宽流水线型加法运算。与Altera公司的Stratix-III相比,本文提出的DSP结构可以实现独立加法、乘法、累加等多种模式,可以实现可变大位宽加法的高效运算。

参考文献:

- [1] CHUNG Ching-Che,LIU Chun-Kai,LEE Dai-Hua. FPGA-based accelerator platform for big data matrix processing[C]// IEEE International Conference on Electron Devices and Solid-State Circuits. Singapore:IEEE, 2015,1(4):221-224.
- [2] ANEESH R,SREEKUMARI B,JIJU K. Design and implementation of bluetooth MAC core with RFCOMM on FPGA[C]// Annual IEEE India Conference. Kochi,India:IEEE, 2012:422-426.
- [3] HASHIMOTO K,ITO Y,NAKANO K. Template matching using DSP slices on the FPGA[C]// 1st International Symposium on Computing and Networking. Matsuyama,Japan:IEEE, 2013:338-344.
- [4] PERRI S,CORSONELLO P,COCORULLO G. A high-speed energy-efficient 64-bit reconfigurable binary adder[J]. IEEE Transaction on Very Large Scale Integration (VLSI) Systems, 2003,11(5):939-943.
- [5] LANGHAMMER M,PASCA B. Design and implementation of an embedded FPGA floating point DSP block[C]// IEEE 22nd Symposium on Computer Arithmetic. Lyon,France:IEEE, 2015:26-33.
- [6] 余洪敏,陈陵都,刘忠立. FPGA中专用可重构乘法器的设计[J]. 半导体学报, 2008,29(11):2218-2225. (YU Hongmin, CHEN Lingdu,LIU Zhongli. Design of a dedicated reconfigurable multiplier in an FPGA[J]. Journal of Semiconductors, 2008,29(11):2218-2225.)
- [7] TOHID Morady,AMIN Khalilzadegan,KHAYROLLAH Hadidi. A developed adding and latency reducing method for high speed pipelined adders[C]// 19th Iranian Conference on Electrical Engineering. Tehran,Iran:IEEE, 2011.
- [8] Xilinx Inc. 7 series DSP48E1 Slice User Guide[R/OL]. [2017-03-16]. http://www.xilinx.com/support/documentation/user_guides/ug479_7Series_DSP48E1.pdf.
- [9] Altera Corporation. Stratix-V Device Handbook[R/OL]. [2017-03-16]. https://www.altera.com/en_US/pdfs/literature/hb/stratix-v/stx5_core.pdf.
- [10] PFAENDER Oliver A,PFLIEDERER Hans-Joerg. EMMA - a suggestion for an embedded multi-precision multiplier array for FPGAs[C]// International Conference on Field Programmable and Logic Applications. Heidelberg,Germany:IEEE, 2008:434-437.
- [11] CHONG Yee Jern,PARAMESWARAN Sri. Configurable multimode embedded floating-point units for FPGAs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2011,19(11):2033-2044.
- [12] Altera Corporation. Stratix-III device handbook[R/OL]. [2017-03-16]. https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stx3/stratix3_handbook.pdf.
- [13] Altera Corporation. Stratix-III DSP megafunction EDA functional description[R/OL]. [2017-03-16]. https://www.altera.com/zh_CN/pdfs/literature/ug/ug_altmult_complex.pdf.
- [14] Altera Corporation. Stratix-III DSP EDA functional description[R/OL]. [2017-03-16]. <https://www.altera.com/documentation/hco1421847945390.html>.

作者简介:



王楠(1992-),男,云南省红河州人,在读硕士研究生,主要研究方向为大规模数字集成电路设计.email:ucas_wn@163.com.

黄志洪(1984-),男,福建省莆田市人,博士,助理研究员,主要研究方向为可编程芯片设计技术.

杨海钢(1960-),男,江苏省常州市人,博士,研究员,主要研究方向为数模混合信号集成电路设计、超大规模集成电路设计.

丁健(1969-),男,安徽省怀宁县人,博士,高级工程师,主要研究方向为大规模集成电路设计.