

文章编号: 2095-4980(2017)06-1060-06

高压大电流单片 DC/DC 的抗总剂量加固技术

胡永贵^{a,b}, 王健安^{a,b}, 魏亚峰^{a,b}, 张振宇^b, 孙毛毛^b

(中国电子科技集团公司, a.模拟集成电路国家级重点实验室; b.第二十四研究所, 重庆 400060)

摘要: 采用电流模、电压模双环控制结构, 结合峰值电流采样等关键技术, 实现了一款功率集成的单片 DC/DC 变换器。设计的峰值电流采样、斜率补偿大大提高了系统的稳定性, 提高了系统的快速瞬态响应能力; 针对高压低压差线性稳压器(LDO)、电流采样等高压模块电路, 通过采样齐纳二极管、高压 NJFET 代替高压厚栅 MOSFET 等的设计方法, 从总体上降低高压器件的数量, 在基于 30 V BCD(Bipolar-CMOS-DMOS)工艺上, 结合特殊器件的版图设计方法, 制作出一款输入电压 5.5~17 V, 电压调整率小于 10 mV, 电流调整率小于 25 mV, 输出电流大于 5 A, 系统静态电流小于 25 mA, 最高工作效率为 93% 的高效单片 DC/DC, 其抗总剂量能力大于 100 krad(Si)。

关键词: 单片 DC/DC; 峰值电流采样; 斜率补偿; 总剂量

中图分类号: TN406

文献标志码: A

doi: 10.11805/TKYDA201706.1060

Total dose radiation hardness technology of high-voltage high-current monolithic DC-DC converter

HU Yonggui^{a,b}, WANG Jian'an^{a,b}, WEI Yafeng^{a,b}, ZHANG Zhenyu^b, SUN Maomao^b

(a.Science and Technology on Analog Integrated Circuit Laboratory;

b.Sichuan Institute of Solid-State Circuits, Electronics Technology Group Corp., Chongqing 400060, China)

Abstract: A power-integrated monolithic DC-DC converter is realized by using current-mode, voltage-mode dual-loop control architecture as well as the key technologies such as peak current sampling. Designed peak current sampling and slope compensation improve the system stability greatly, and improve the fast transient response capability of system. Aiming at the high-voltage module circuits such as high-voltage Low Dropout regulator(LDO), current sampling, the DC-DC converter increases high-voltage LDO radiation-hardening capability by using Zener diode, by replacing high-voltage thick-gate MOSFET with N-channel Junction Field-Effect Transistor(NJFET), and by reducing the number of high-voltage devices on the whole. The high-efficiency monolithic converter with input voltage of 5.5-17 V, voltage regulation of less than 10 mV, current regulation of less than 25 mV, output current of greater than 5 A, system quiescent current of less than 25 mA, maximum operating efficiency of 93% and total dose of more than 1×10^5 rad(Si) is developed in 30 V BCD(Bipolar-CMOS-DMOS)-based process technology, compared with radiation-hardening layout for special devices.

Keywords: monolithic DC-DC; peak current sampling; slope compensation; total dose radiation

随着电源技术不断向大电流、小型化发展, 高压大电流单片 DC/DC 更是电源技术领域的新课题, 广泛用于移动通信、笔记本电脑、手提医用设备以及野外用的便携式设备等^[1-4]。在军用上更为重要, 如卫星上的电源管理, 需要通过输入电压对不同的板级实行分布式供电, 电池在能源一定的情况下, 供电时间越长, 那么卫星在太空中的运行时间就越长, 对卫星的寿命具有重要意义^[5-7]。因此, 在进行分布式供电中, 高压、高效大电流单片 DC/DC 就显得尤为重要, 在对不同的输出电压的变换中, 要求电流尽量大, 效率尽量高, 体积更小等。同时, 在卫星的运行中, 要受到各种射线、离子的辐射, 使器件的阈值电压漂移, 造成器件失效。因此对高压大电流单片 DC/DC 核心芯片的总剂量加固显得非常重要^[8-10]。据此, 采用 30 V BCD 工艺, 在电路设计上, 采用电流膜、电压膜结合的降压型 DC/DC 的拓扑结构, 结合峰值电流采样、斜率补偿等关键技术, 提高了系统的稳

收稿日期: 2015-07-06; 修回日期: 2016-06-02

定性和快速瞬态响应能力；基于 30 V BCD 工艺，电路结构优化通过结合齐纳二极管、NJFET 等代替高压器件，提升电路整体抗总剂量加固能力；在基于 30 V BCD 工艺上，通过采用元胞的功率管设计、器件隔离、降低关键单元模块间干扰等措施^[10-13]，做出一款功率集成的高压大电流的单片 DC/DC 降压型开关电源转换器，其输入电压范围为 5.5~17 V，电压调整率小于 10 mV，电流调整率小于 25 mV，输出电流大于 5 A，系统静态电流小于 25 mA，且其总剂量水平可达 1×10^5 rad(Si) 以上。

1 系统设计和电路设计

电流模式的脉宽调制(Pulse Width Modulation, PWM)控制技术是针对电压模式的 PWM 控制技术的缺点发展起来的。它除保留了电压控制型的输出电压反馈外，又增加了一路电流反馈环节^[14]。利用负载电压反馈为外环，而电感电流瞬时值反馈作为内部控制环，引入斜坡补偿技术改善系统的稳定性，实现在逐个开关周期内对电感电流峰值的控制，这种 PWM 控制技术称为峰值电流控制模式。文中提出的系统结构如图 1 所示，它包含了 DC/DC 核心芯片，低边同步整流管 N1、自举充电电容、电感、反馈电阻等。其中输出电压可表示为：

$$U_{out} = \frac{R_1 + R_2}{R_2} \times U_{FB} \quad (1)$$

式中： $U_{FB} = 0.808$ V，选择 R_1, R_2 的值，可得不同的输出电压，电路的工作电压范围为 5.5~17 V，输出电压范围为 0.8~12 V，输出电流 5 A。

该系统结构简单，外围器件少，有利于系统的小型化，大电流高效单片 DC/DC 为该系统的核心芯片，其电路框图如图 2 所示，包括：LDO、带隙基准源、振荡器、误差放大器、PWM 比较器、峰值电流采样放大器、电平变换及驱动、高边功率管等单元电路。其中，LDO、峰值电流采样、自举电路、电平位移、功率管为高压模块，LDO 为整个系统的低压模块供电，由于高压器件抗总剂量比较薄弱，因此做好 LDO 等这几个高压模块的优化设计，对于提高整个系统的抗辐射加固能力具有重要作用。

1.1 高压 LDO

一般的 LDO，由误差放大器、基准源、恒流源、反馈电阻、调整管组成，对于高压的 LDO，通常采用 PNP 为调整管双极工艺进行设计。由于受工艺限制，只能采用高压 PMOS 为调整管，为了提高 LDO 的抗剂量加固的能力，将电路图设计为如图 3 所示，在误差放大器中引入结型场效应管 NJ2, NJ3，由 NJ2, NJ3 承受高压，同时，在误差放大器的输出端增加齐纳二极管到输入的反偏连接，利用齐纳二极管的钳位作用，将调整管的栅、源电位差钳位，这样调整管可采用薄栅 LDMOS 器件，误差放大器的电流镜可采用低压 PMOS 器件，这样，可大大提升高压 LDO 的抗总剂量辐照的能力。再者，将误差放大器输入管由 NMOS 改为 NPN 管，减小了误差放大器的失调，同时双极器件抗总剂量能力强于 MOS 器件，因而从总体上提升了高压 LDO 的抗总剂量加固的能力，在图 3 中，C4 是补偿

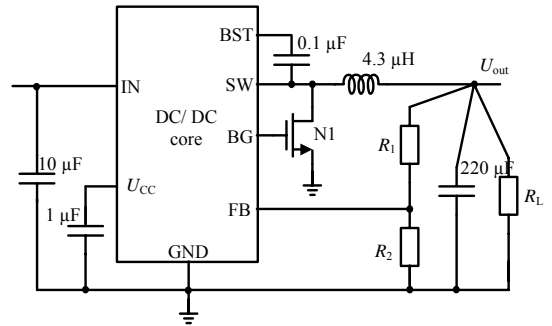


Fig.1 DC/DC general topology structure
图 1 DC/DC 总体拓扑结构图

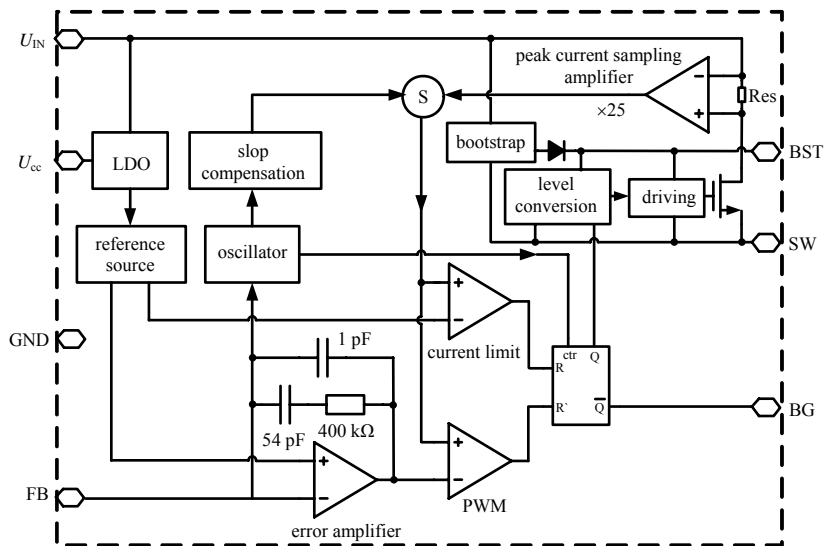


Fig.2 Block diagram of DC/DC core chip
图 2 DC/DC 核心芯片框图

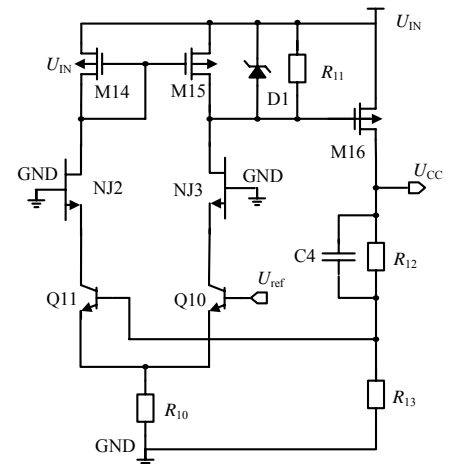


Fig.3 Schematic diagram of high-voltage LDO
图 3 高压 LDO 电路图

电容，降低输出电压的纹波，其输出电压由式(2)确定，本设计的 LDO 输出电压为 5 V，基准电压为 1.23 V。

$$U_{cc} = \frac{R_{12} + R_{13}}{R_{13}} \times U_{ref} \quad (2)$$

1.2 峰值电流采样放大器

在电流模开关电源转换器中，每个开关周期内需要对电流采样，使得在不同电源电压和不同负载下，控制信号的占空比，以获得稳定的输出。精确的电流采样能准确控制输出电压，由于开关管是由 $p \times n$ 个结构完全相同的 DMOS 管并联而成，本文从这个阵列中分出的一行作为采样管，检测采样管漏极铝线电压降，这个压降就是采样到的信号。

由于检测到 R_{es} 上的电压信号幅度太小，所以需要经过放大器放大后才能参与信号的处理。本系统对放大器的要求：1) 采样到的电压的交流小信号地为电源电压，这就要求放大器的共模输入电压接近电源电压；2) 检测到的信号频率很高(开关频率)，需要足够宽带宽的放大器来放大这个高频信号；3) 系统要求放大器增益灵敏度高，增益不随器件参数变化。为了不增加额外的功耗，采样功率管漏极上铝的电位信号，然后经过图 4 的峰值电流采样放大器进行放大，进行后级的比较、控制处理。该模块为高压，因此在结构上引入了结型场效应管 NJ1,NJ2，以及 LDMOS 器件 M1,M2,M3,M4，通过这些器件来承受高压，同时提升该模块的抗总剂量辐照的能力。在图 4 的电流采样放大器设计中， U_{ref} 为 Q4 提供偏置，设计了放大器的直流工作点，P1,P4 为差动输入管，Q1,Q2 为电流镜，P3,Q3 组成射极跟随器作为输出级，R2,C1,C2 为放大器补偿网络，则该电流采样放大器的放大倍数，可由式(3)获得：

$$U_{sense} = \left(\frac{U_{IN} - \frac{U_{sample}}{R_4}}{R_5} \right) \times R_3 \quad (3)$$

设计中 $R_4=R_5$ ，其中 I_i 为流过功率管采样铝线上的电流， R_{res} 为铝线上等效电阻，则放大器放大倍数如式(4)所示，本项目的电流采样放大倍数大约为 25。

$$A_v = \frac{U_{sense}}{U_{IN} - U_{sample}} = \frac{R_3}{R_4} \quad (4)$$

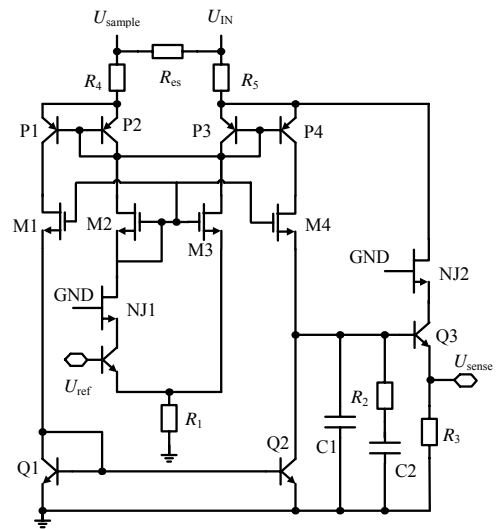


Fig.4 Peak current sampling amplifier
图 4 峰值电流采样放大器

1.3 自举电路

在开关电源中，自举电路非常重要，由于 N 沟的功率管具有导通电阻小、输出电流能力强等特点，但是选择 N 沟功率管为高边输出管时，必须将栅压进行自举，即高边功率管的栅极驱动电平比输入电压提高一个 U_{CC} (5 V 左右)，本自举电路如图 5 所示，在电路结构中增加了结型场效应管、齐纳二极管来承担耐压和钳位。工作原理如下：当高边功率管关断时，SW 为 0 V，此时，P 管 M4 导通，M3 通过二极管对 BST 充电，BST 比 SW 高一个 U_{CC} ；当高边功率管导通时，SW 为 U_{IN} ，此时由于 BST 与 SW 间的电容作用，导致 BST 电位比 SW 高 U_{CC} ，即 BST 电位为 $U_{IN}+U_{CC}$ ，自举幅度如式(5)所示，本项目设计的自举幅度为 5 V。

$$U_{BST} - U_{SW} = \frac{R_1 + R_2}{R_2} \times U_{ref} \quad (5)$$

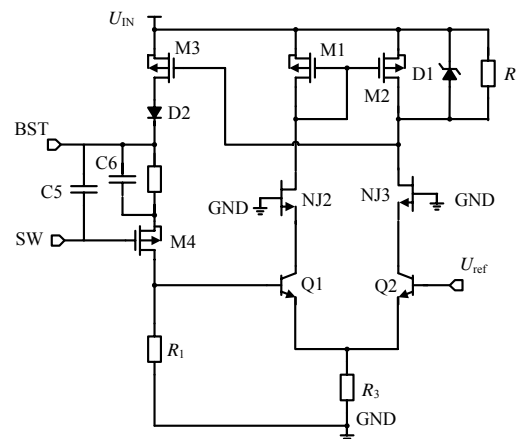


Fig.5 Bootstrap circuit
图 5 自举电路

1.4 OSC 振荡电路

振荡器电路通过给一个时常数电容在设定的阈值电压和零电压之间进行充放电，控制电压比较器的输出，产生振荡。图 6 所示为本文所设计振荡器的电路图，上半部分为振荡器的主体电路，下半部分是控制信号 A5 的逻辑部分，下半部分电路完成的功能是当 A1 信号在上升沿时 A5 产生一个脉冲信号，控制 A1 导通。假设比较器 comp1 的输入为 U_L ，comp2 的输入为 U_H 。在初始值， U_{SAW} 电压为 0，CLK,A1 都为 0。NMOS 管 M1 截

止，由 M2,M3 组成的恒定电流源的电流全部流向电容 C1，给 C1 充电，使得 U_{SAW} 的电压逐渐升高。当 U_{SAW} 的电压值达到 U_L 时，比较器 comp1 翻转，CLK 输出高电平。 U_{SAW} 电压继续升高到 U_H 时，比较器 comp2 翻转，A1 输出高电平，在 A1 出现上升沿时，通过脉冲信号 A5 的产生电路，产生 A5 的一个脉冲信号，A5 控制的 M1 导通并迅速放电，把 U_{SAW} 电压下拉到地，比较器 comp1,comp2 输出为低电平，振荡器工作的一个周期结束，如图 7 所示。振荡器工作是通过电容的充放电实现的。振荡频率可以通过计算估计，当电容充电时， U_{SAW} 电压上升的斜坡速率与恒流源电流值成正比，与电容 C1 的值成反比。

在图 7 的振荡器输出波形示意图中，当 U_{SAW} 从 0 V 上升到 U_L 时，CLK 输出高电平，此时得到： $I_1 t_1 = C_1 U_L$ ，当 U_{SAW} 继续保持原来的斜率升高，CLK 保持高电平，当 U_{SAW} 从 0 V 上升到 U_H 时， U_{SAW} 瞬间下拉到地，CLK 变为低电平，得到 $I_1 t_2 = C_1 (U_H - U_L)$ ，为一个振荡周期。周期 T 、频率 f 及 CLK 的占空比 D 分别如下：

$$T = t_1 + t_2 = \frac{C_1 U_H}{I_1} \tag{6}$$

$$f = \frac{I_1}{C_1 U_H} \tag{7}$$

$$D = \frac{t_2}{T} = 1 - \frac{U_L}{U_H} \tag{8}$$

本设计的振荡器频率为 420 kHz，最大占空比为 90%。

1.5 电平位移电路

随着开关电源技术的发展，功率密度不断提高，开关电源朝着更高开关频率的方向发展，要保证功率管有足够快的开关速度，就必须增大其栅极的驱动电流。当功率管导通、关断时，驱动电路要能在足够短的时间内完成对寄生栅源电容进行充电或放电，以保证功率管能及时响应栅端的控制脉冲的变化。同时为了防止高边功率管和低边同步管的共态导通，需要设置一定死区时间。本项目中，通过将低边栅极信号、高边栅极信号各自反馈到 level_up,level_down，死区时间通过门延迟实现，死区时间大致为 10~25 ns，电路框图如图 8 所示。

2 总体版图设计

开关电源的版图设计非常重要，既有高压模块单元，又有低压如带隙基准、OSC 等低压单元，由于 OSC 频率较高，同时集成的大电流功率管的开关工作，本身对其他电源电路有影响，因此版图设计的重点如下：1) 误差放大器的输入级采用交叉对偶设计，以消除误差放大器的失调；2) 电阻的匹配设计，精确匹配电阻放置在一个独立的岛内，采用宽电阻对称放置，同时电阻外围采用宽底线设计，以降低开关信号对电阻的影响；3) 抗辐射加固器件结构设计，在总剂量电离辐射作用下，导致器件阈值电压漂移，漏电流增加，尤其是场区漏电流，为了降低场区漏电，从器件版图结构上，采用环栅设计，降低总剂量辐照下的场漏电；4) 总体版图设计，整个芯片采用功率地、模拟地分开设计；各单元间采用宽环隔离设计，同时版图的衬底接触充分；功率管采用多岛并联方式，以提升总体电路的抗闭锁能力。如图 9~11，结合环栅结构器件版图设计，本总体版图布局如图 11。

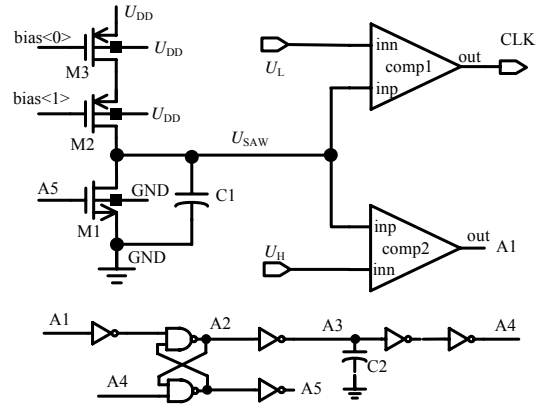


Fig.6 Oscillation circuit
图 6 振荡电路

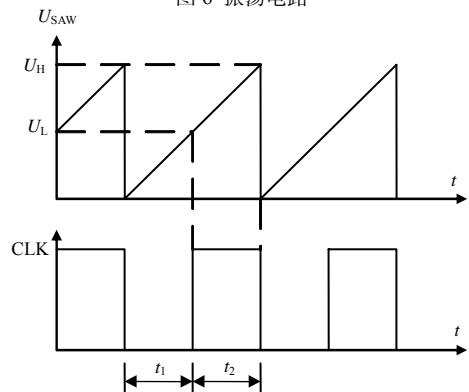


Fig.7 Schematic diagram of oscillator output waveform
图 7 振荡器的输出波形示意图

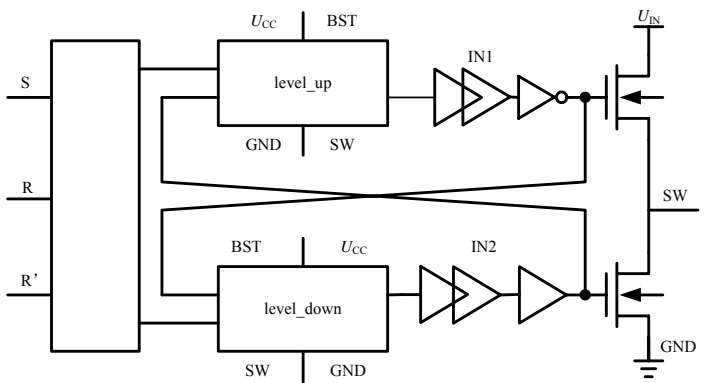


Fig.8 Level shift circuit
图 8 电平位移电路

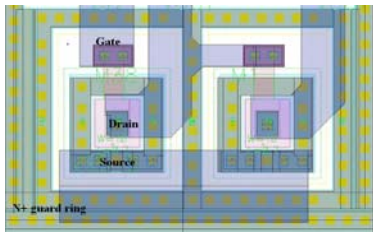


Fig.9 Ring-gate MOSFET layout
图 9 环栅 MOSFET 结构设计

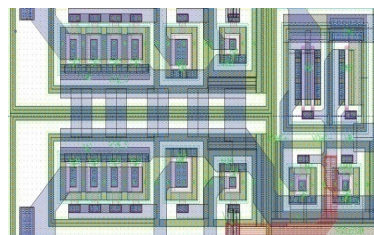


Fig.10 Unit circuit ring-gate layout
图 10 单元电路环栅布局设计

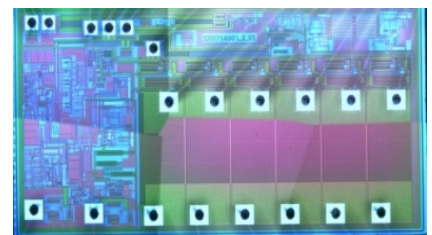


Fig.11 General layout
图 11 总体版图设计

3 测试及辐照结果

如图 12~14 及表 1 所示, 采用以上设计技术的改进, 基于 30 V BCD 工艺的版图优化设计措施, 实现了输入电压范围 5.5~17 V, 峰值输出电流大于 5 A, 最高工作效率大于 93%, 且其总剂量水平可达 1×10^5 rad(Si)以上。辐照测试结果表明, 该大电流单片 DC/DC 输出电流大于 5 A, 最高工作效率大于 93%, 在 100 krad(Si)总剂量辐照下, 输出电压漂移小于 1%。



Fig.12 Evaluation board
图 12 评估版

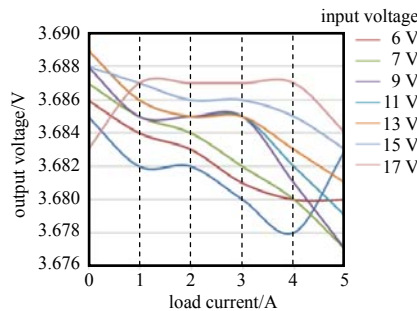


Fig.13 Output voltage vs. load current
图 13 输出电压与负载电流曲线

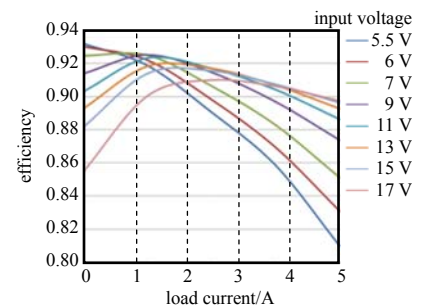


Fig.14 Efficiency vs. load current
图 14 效率与负载电流曲线

表 1 高压大电流单片 DC/DC 辐照前后测试表

Table1 Measured parameters of a high-voltage high-current buck DC-DC converter

Conditions	input voltage/V	maximum output current/A	output voltage/V	voltage regulation/mV	load regulation/mV	static current/mA	ripple peak-peak value /mV	efficiency/%
specification value	5.5-17	5	3.5-3.7	≤ 10	≤ 10	≤ 10	≤ 10	≥ 10
pre-radiation	1# 0	5.5-17	3.682	2.5	22	19	18	92.3
	2# 0	5.5-17	3.688	1.8	20	20	18	93.0
post-radiation	1# 5×10^4 rad(Si)	5.5-17	3.676	3.5	29	22.3	22	91.2
	2# 5×10^4 rad(Si)	5.5-17	3.680	3.2	27	22.8	22	91.8
	1# 1×10^5 rad(Si)	5.5-17	3.692	4.8	45	23.2	24	90.6
	2# 1×10^5 rad(Si)	5.5-17	3.682	3.5	42	32.0	25	90.4

4 结论

采用基于 30 V BCD 工艺设计了一款高压大电流单片 DC/DC 转换器, 并进行了测试及辐照试验。针对高压 LDO、电流采样等高压模块电路, 提出的采用齐纳二极管、高压 NJFET 代替高压厚栅 MOSFET 等的设计方法, 从总体上降低高压器件的数量, 做出了一款输入电压 5.5~17 V, 电压调整率小于 10 mV, 电流调整率小于 25 mV, 输出电流大于 5 A, 系统静态电流小于 25 mA, 最高工作效率为 93% 的高效单片 DC/DC, 其抗总剂量能力可达 100 krad(Si)以上, 可广泛用于航空、航天等电源管理领域。

参考文献:

[1] ZHOU Siyuan,RINCON-MORA G A. A high efficiency, soft switching DC-DC converter with adaptive current-ripple control for portable applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006,53(4):319-323.
[2] BALLAN H,DECLERCQ M. High voltage devices and circuit in standard CMOS technologies[M]. Dordrecht,Netherland: Kluwer Academic Publisher, 1999:52-75.

- [3] ZHANG Bo. Power semiconductor devices and smart power ICs[R]. Chengdu,China:University of Electronic Science and Technology of China, 2001.
- [4] ZHANG M T,JOVANOVIĆ M M,LEE F C. Design considerations for low-voltage on-board DC/DC modules for next generations of data processing circuits[J]. IEEE Transactions on Power Electronics, 1996,11(2):328-337.
- [5] PAN Huadian,HESS H L,BUCK K M. Method to improve total dose radiation hardness in a CMOS dc-dc boost converter[C]// Twentieth Annual IEEE Applied Power Electronics Conference and Exposition. Austin,TX,USA:IEEE, 2005, 3:1491-1495.
- [6] GASIOT J. Radiation effects on device: Total Ionizing Dose, displacement effect, single event effect[R]. University de Montpellier II,France:CERN Training, 2003.
- [7] ADELL P C,SCHRIMPF R D,CHOI B K,et al. Total-dose and single-event effects in switching dc/dc power converters[J]. IEEE Transactions on Nuclear Science, 2002,49(6):3217-3221.
- [8] TAN F D. Series of radiation-hardened, high efficiency converters for high voltage bus[J]. IEEE Transactions on Nuclear Science, 2002,38(4):1324-1334.
- [9] LIU Zhi,NING Hongying,YU Hongbo,et al. Design of a total-dose radiation hardened monolithic CMOS DC-DC boost converter[J]. Journal of Semiconductors, 2011,35(7):97-102.
- [10] ADELL P C,SCHRIMPF R D,HOLMAN W T,et al. Total-dose and single-event effects in DC/DC converter control circuitry[J]. IEEE Transactions on Nuclear Science, 2003,50(6):1867-1872.
- [11] NARASIMHAM B,GAMBLES J W,SHULER R L,et al. Quantifying the effect of guard rings and guard drains in mitigating charge collection and charge spread[J]. IEEE Transactions on Nuclear Science, 2008,55(6):3456-3460.
- [12] LU Lingjuan,LIU Ruping,LIN Min,et al. Performance comparison of radiation-hardened layout techniques[J]. Journal of Semiconductors, 2014,35(6):119-122.
- [13] FAN Xue,LI Ping,LI Wei,et al. Gate-enclosed NMOS transistors[J]. Journal of Semiconductors, 2011,35(8):084002-1-084002-6.
- [14] 曾会平,金湘亮,周阿铖. 峰值电流型 PWM 调制 buck DC-DC 的建模与仿真分析[J]. 太赫兹科学与电子信息学报, 2015,13(6):967-970. (ZENG Huiping,JIN Xiangliang,ZHOU Acheng. Modeling and simulation analysis of peak current-mode controlled PWM buck DC-DC converter[J]. Journal of Terahertz Science and Electronic Information Technology, 2015,13(6):967-970.)

作者简介:



胡永贵(1968-),男,重庆市人,学士,研究员级高级工程师,主要研究方向为电源管理电路设计、模拟集成电路的抗辐射加固电路设计、版图设计以及辐照效应的分析等工作.email:huyonggui9490@163.com.

王健安(1982-),男,重庆市人,学士,高级工程师,主要研究方向为模拟集成电路抗辐射加固应用评估、验证.

魏亚峰(1985-),男,陕西省宝鸡市人,学士,工程师,主要研究方向为 ADC/DAC 集成电路的测试.

张振宇(1984-),男,陕西省寿光市人,学士,高级工程师,主要研究方向为模拟集成电路抗辐射加固设计.

孙毛毛(1981-),女,吉林省辽源市人,硕士,高级工程师,主要研究方向为电源管理电路设计.