

文章编号: 2095-4980(2018)03-0436-04

基于现场可更换组件结构的宽带波形产生设计

陈 勇, 谭剑美

(中国电子科技集团公司 第三十八研究所, 安徽 合肥 230088)

摘 要: 给出了一种基于现场可更换组件(LRM)结构的 4 通道宽带波形产生板卡设计。板卡上集成了一款高性能的现场可编程逻辑阵列(FPGA)以及 4 片高速数模转换器(DAC)芯片。DAC 和 FPGA 之间为高速低电压差分信号(LVDS)接口, 板卡输入输出接口选用标准二代 LRM 连接器。DAC 采样率为 4 Gsps, 在 2.4 GHz 中频(IF)上瞬时带宽达到了 1.2 GHz, 信噪比(SNR)优于 50 dB。该设计可广泛应用于电子战和宽带雷达系统中。

关键词: 数模转换器(DAC); 现场可更换组件(LRM); 宽带波形产生; 现场可编程逻辑阵列(FPGA)

中图分类号: TN975

文献标志码: A

doi: 10.11805/TKYDA201803.0436

Design of wideband wave generation based on the LRM framework

CHEN Yong, TAN Jianmei

(No.38 Research Institute, China Electronic Technology Group Corporation (CETC), Hefei Anhui 230088, China)

Abstract: A design of 4-channel wide band wave generation based on the Line Replaceable Module (LRM) framework is presented. The card integrates a high performance FPGA and 4 Digital Analog Converter(DAC) chips. The DAC and FPGA connect each other by the Low Voltage Differential Signaling (LVDS) interface. The input and output interface of the board utilizes a 2nd generation LRM connector. The DAC sampling rate is 4 Gsps. The instantaneous bandwidth is up to 1.2 GHz at 2.4 GHz Intermediate Frequency(IF) output, and the Signal-to-Noise Ratio(SNR) is better than 50 dB. It can be applied to the radar EW and the wideband digital receiver.

Keywords: Digital to Analog Converter(DAC); Line Replaceable Module(LRM); Ultra Wideband Waveform Generation(UWG); Field-Programmable Gate Array(FPGA)

现场可更换组件(LRM)结构有着非常明显的特点和其独特的优势。在电信方面其模块功能独立化, 在结构方面模块具有尺寸互换性, 连接配合等部分的几何参数独立化, 必须能通用、互换或兼容。要满足该要求, 首先电讯设计上要高度集成化; 其次在结构上也一改原来外场可更换单元(Line Replaceable Unit, LRU)的结构形式, 以新的结构模块及各种模块技术来使结构设计达到新的台阶, 以实现与国外先进的模块技术同步发展。该结构已在联合标准化航电系统架构协会广泛采用。

1 宽带波形产生简介

宽带波形产生是一种通过特定算法实时产生波形数据, 数据通过高速 D/A 转换器转换为宽带模拟信号的技术^[1-5]。该技术的主要特点: 具有任意波形产生能力(并行直接数字合成(Direct Digital Synthesizer, DDS)算法)、超高的捷变速度(<50 ns)、极高的分辨力(Hz 量级)和连续性的相位特性; 其输出信号的频率稳定度及相位噪声等指标基本取决于转换时钟的指标。要实现先进的多通道宽带任意波形产生, 必须有效解决高速数模转换技术、算法并行处理和高速数据传输 3 大难题。本文以一个典型的波形产生为例, 介绍电子战领域中一款宽带任意波形产生电路的设计^[6-9]。

2 硬件设计

4 通道宽带波形产生板主要由 4 片 DAC、1 个高性能 FPGA、2 个光纤模块和 1 个第 2 代 LRM 连接器组成。其功能框图如图 1 所示。

2.1 LRM 连接器

盟军标准航空电子结构委员会 (Allied Standard Avionics Architecture Council, ASAAC) 标准的模块通常选用标准 LRM 连接器, 根据项目的具体情况, 须满足射频、光口、控制口等需求。本设计方案选用 LRM 的二代产品, 型号为 LRMS2-A135G2-B72T12-T2, 主要的性能指标: A 腔 135 芯 $\Phi 0.4$ 差分接触件, 2 个光纤 MT 模块; B 腔 72 芯 $\Phi 0.4$ 差分接触件; 12 芯射频接触件 RF(F)-12J3506E, 适配射频线缆为 Gore CXN3506, 内导体直径为 0.5 mm, 外导体直径为 2.0 mm; 差分接触件弯式焊接印制板, 光纤接触件采用甩线, 射频接触件采用焊线。差分部分最大传输速率为 6.25 Gbps, 单芯额定工作电流为 1 A, 耐压为 AC 100 V; 光纤插入损耗 ≤ 1.5 dB; 射频特性阻抗为 50 Ω 。适配印制板厚度 ≤ 3.3 mm。

2.2 高速 DAC

宽带波形产生的核心器件是高速 DAC 芯片, 这里选择 EUVIS 公司的 MD653D。如图 2 所示, 该芯片为单通道 4.0 Gbps 的 DAC; 分辨力 12 bit; 芯片功耗 2.9 W; 输出功率最大 -5 dBm; 其输入接口为 LVDS 接口电平。具有输出第 2 奈奎斯特及第 3 奈奎斯特频段的归零模式。

2.3 高性能 FPGA

宽带波形的数字信号是由 FPGA 实时生成的。FPGA 首先要在内部通过坐标旋转数字计算方法(Coordinate Rotation Digital Computer, CORDIC)等算法来产生波形数据, 然后通过 48 对 LVDS 高速信号线把数据送给 DAC 完成数模变换, 产生模拟波形。如果用在电子对抗上, 还需要把基带 IQ 信号进行宽带数字上变频(Digital Up Converter, DUC)运算、频谱搬移等过程, 这都需要大量的乘法器和逻辑资源, 根据实际资源评估, 本方案选用 XILINX 的大规模 FPGA VC7VX690TFFG1927。主要资源信息如表 1 所示。

表 1 FPGA 资源信息

Table 1 FPGA resource information

IQ resource	GTH	MMCM+PLL	RAM	multiplier	logic resource
640	80(12.5 Gbps)	20	52 920	3 600	693 120

3 软件设计

本系统有 2 个工作模式: DUC(数字上变频)和 DDS(直接数字合成), 如图 3 所示。

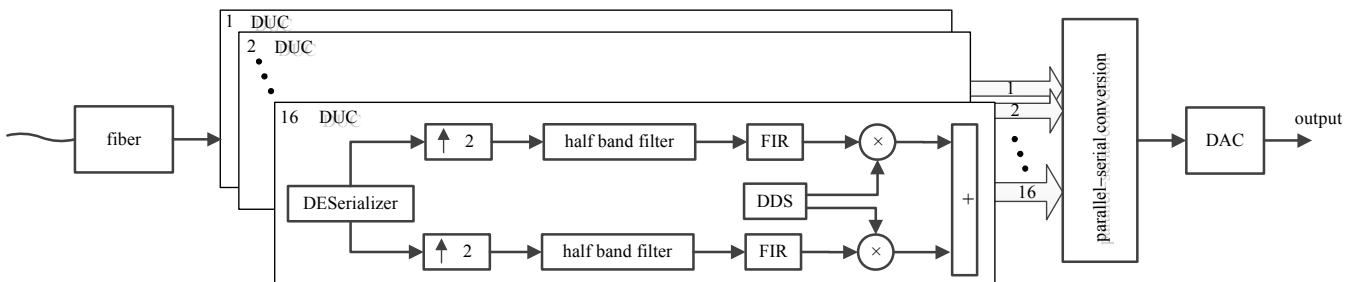


Fig.3 Programming flow of ultra wideband waveform generation
图 3 超宽带波形产生软件流程图

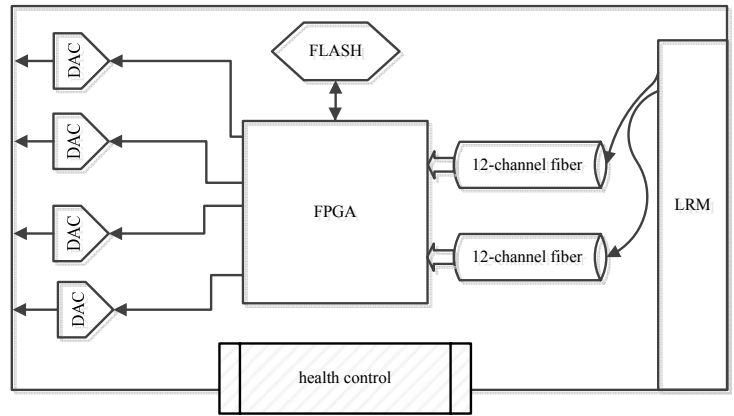


Fig.1 Block diagram of the digital board
图 1 数字板卡组成框图

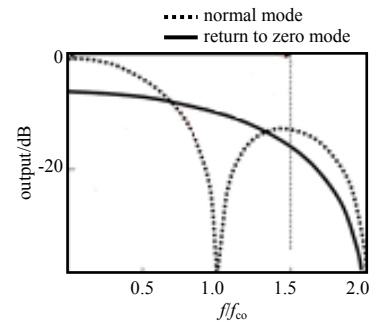


Fig.2 Output characteristics of normal mode and return to zero mode
图 2 DAC 正常模式/归零模式输出特性

工作在 DDS 模式下, DDS 不经过乘法器直接输出, 当工作在 DUC 模式下, DDS 提供 \sin 和 \cos 的本地数字振荡器分别同 I、Q 输入数据流相乘, 产生正交调制数据流之后相加, 实现 DUC 功能。

在具体应用过程中, 既要具有任意波形产生灵活、捷变控制特点, 又要具有干扰形式任意性。本方案在 FPGA 内部, 采用软件方法实现 DDS、DUC、插值滤波器、并串转换等功能。由 DDS 和 DUC 的原理, 要想提高输出信号带宽, 必须提高 DDS 和 DUC 的工作频率 f_c , 但在用 FPGA 实现 DDS 和 DUC 的情况下, 需要通过并行处理的方法。

3.1 数据解串调理

原始数据和控制信号传输方式为光纤, IQ 原始数据模块从光纤中恢复出 1.6 GHz 的信源数据, 并进行数据时延和时序调整。

3.2 半带镜像滤波器

由于最终 DUC 和 DDS 数据运行在 3.2 GHz 速率, 因此基带数据必须进行插值滤波, 倍数为 2。

如图 4 所示。当半带滤波器设计为 32 阶(17 个有效系数), 如果 FPGA 采用 100 MHz 时钟、32(=3 200/100)倍降速并行处理实现, 半带滤波器需要的乘法器资源为: 32(降速倍数) \times 2(I/Q 两个支路) \times 17=1 088 个, 正交调制需要的乘法器数量是 32 \times 2=64 个, 因此宽带并行 DUC/DDS 需要的乘法器共 1 152 个, 两路共 2 304 个。如果 FPGA 采用 200 MHz 时钟、16(=3 200/200)倍降速并行处理实现, 则需要乘法器 544+32=576 个, 两路共用乘法器 576 \times 2=1 152。综合考虑, 方案采用 16 通道并行处理, 处理时钟选择为 200 MHz。

3.3 高速宽带 DUC MATLAB 仿真

输入基带信号带宽和采样率都比较高, 内插比为 2, 因此可以采样半带滤波器来实现, 乘法器资源可降低一半; 预失真补偿滤波器用于补偿模拟通道的非线性幅相失真, 设计时可以和镜像抑制滤波器合并设计; 整个算法模块处理时钟为 200 MHz, DUC 部分采 16 倍降速并行处理来实现 1 600 MHz 的 FIR 镜像抑制滤波器, 内插后获得 3 200 MHz 的高速基带信号, DDS 部分采用 16 倍降速并行处理来实现 3 200 MHz 的 DDS/NCO 核, DUC 和 DDS 输出结果经过数字乘法和加法实现数字正交调制输出。

仿真时镜像抑制半带滤波器阶数为 32 阶(17 个有效系数), 仿真结果如图 5 所示。

4 实现指标与仿真对比

DAC 输出波形的性能和数模转换速度、输出波形频率、电源质量、采样时钟质量等诸多因素密切相关。衡量波形产生的性能一般包括几个方面: 1) 输出频率。该指标给出其波形所能产生的频率范围。这里 DAC 最高工作频率为 4 Gsps, 其又具有跨奈奎斯特输出模式, 所以理论上, P/L/S 波段能射频直出。2) 瞬时带宽。该指标衡量输出波形输出带宽的能力, 对电子战和宽带雷达系统意义重大。得益于高的转换速度, 本波形产生的瞬时带宽可达 1.2 GHz 以上。3) 带外抑制。雷达发射机或电子战干扰机都会对波形输出的带外抑制制度提要求。由于在软件上实现了 DUC 功能, 所以由数字运算带来的镜像频率需要通过数字滤波器来滤除。而由于 DAC 非线性等不确定因素引入的带外杂散信号, 则需要通过在 DAC 输出端通过中频滤波器来滤除。测试结果如表 2 和图 6 所示。

测试时使 DAC 工作在 3.2 Gbps, 输出信号载频为 2.4 GHz, 输出信号瞬时带宽 1.2 GHz。可以看到, 滤波器对内插后产生的镜像数字频谱的抑制优于 60 dB。实测的波形输出对带外镜像抑制也优于 60 dB。说明 Matlab 算法仿真可行、有效。

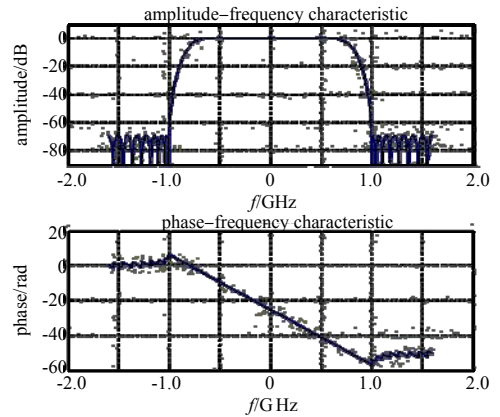


Fig.4 Amplitude and phase characteristics of half band filter
图 4 半带滤波器幅频和相频特性

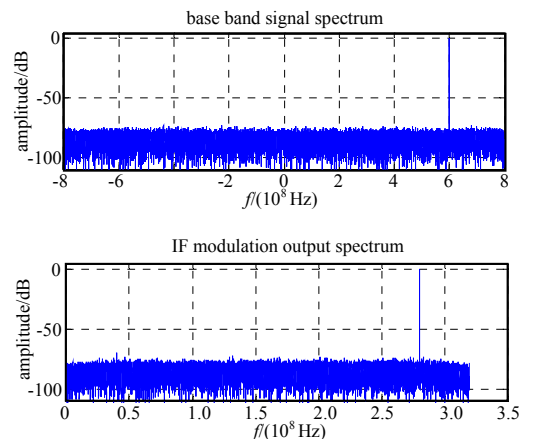


Fig.5 Base band signal and IF output spectrum
图 5 基带信号和中频输出频谱

表 2 DAC 测试结果

Table 2 Testing results of the DAC

index	requirement	actual specification
amplitude/dBm	(-10 \pm 2)	(-10 \pm 1)
bandwidth/ GHz	\geq 1.2	\geq 1.2
SNR/dB	\geq 45	\geq 50
image rejection/dB	\geq 55	\geq 60 dB

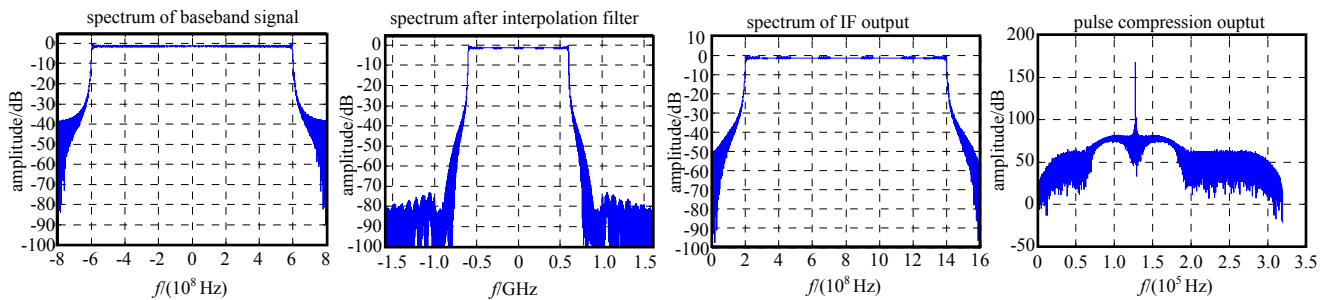


Fig.6 Spectrum of LFM signal and pulse compression output

图 6 LFM 信号中频频谱和脉压输出

5 结论

作为雷达、电子对抗装备的核心部件，装备对波形产生的要求也越来越高。随着高速 DAC 芯片技术的不断发展，波形产生的瞬时带宽及处理能力将会得到进一步提高。本文给出的基于 LRM 结构的宽带波形产生模块采用模块化、标准化设计，以满足不同平台的需求。大大缩短项目的研发周期并降低成本，并且能有效控制开发风险，提高产品设计开发的成功率。该模块已在某机载型号装备上得到成功应用。

参考文献：

- [1] 杨杰,杨光,蒋国琼,等. 基于 DDS 激励 PLL 宽带低杂散频率合成器[J]. 太赫兹科学与电子信息学报, 2013,11(5): 757-761. (YANG Jie,YANG Guang,JIANG Guoqiong,et al. Frequency synthesizer with wideband and low spurious based on Direct Digital Synthesis driving Phase Locked Loop[J]. Journal of Terahertz Science and Electronic Information Technology, 2013,11(5):757-761.)
- [2] 吴兵,张飞,伍小保. 宽带数字波形产生中的广义多项滤波[J]. 雷达科学与技术, 2016,14(4):376-400. (WU Bing, ZHANG Fei,WU Xiaobao. Generalized polyphase filtering in wideband digital waveform generation[J]. Radar Science and Technology, 2016,14(4):376-400.)
- [3] 杨杰,杨光,蒋国琼,等. 基于 DDS 的低杂散捷变频频率合成器设计[J]. 太赫兹科学与电子信息学报, 2011,9(4):501-504. (YANG Jie,YANG Guang,JIANG Guoqiong,et al. Design of a frequency agility synthesizer with low spurious using DDS technology[J]. Journal of Terahertz Science and Electronic Information Technology, 2011,9(4):501-504.)
- [4] 陈诚,秦立涛. 基于 FPGA 的 DDS 信号源设计与实现[J]. 电脑与信息技术, 2010,18(2):10-12. (CHEN Cheng,QIN Litao. Implementation of DDS signal source based on FPGA[J]. Computer and Information Technology, 2010,18(2):10-12.)
- [5] 杨威,左月明,刘洋. 利用 FPGA 实现 DDS 信号发生器的研究[J]. 山西农业大学学报(自然科学版), 2007,27(3):329-332. (YANG Wei,ZUO Yueping,LIU Yang. The research on using FPGA to realize DDS signal generator[J]. Journal of Shanxi Agriculture University (Natural Sciences Edition), 2007,27(3):329-332.)
- [6] 温锡怀,元泽怀. 基于 Nios II 的 DDS 数控信号源研究[J]. 肇庆学院学报, 2012,33(5):14-17. (WEN Xihuai,YUAN Zehuai. Design of a DDS digital controlled signal generator based on the Nios II[J]. Journal of Zhaoqing University, 2012, 33(5):14-17.)
- [7] 王木有,汪德如. 基于 FPGA 的 DDS 信号发生器系统的设计[J]. 电子技术, 2009,41(12):143-148. (WANG Muyou, WANG Deru. Design of DDS signal generator system based on FPGA[J]. Electronic Technology, 2009,41(12):143-148.)
- [8] 曾云,韩顺峰. 基于 FPGA 的 DDS 信号源设计及误差分析[J]. 舰船电子工程, 2009,29(2):73-75,143. (ZENG Yun,HAN Shunfeng. Design and error analysis of DDS signal generator based on FPGA[J]. Ship Electronic Engineering, 2009,29(2): 73-75,143.)
- [9] 崔智军,张瑜. 基于 FPGA 的 DDS 双相信号发生器设计[J]. 太赫兹科学与电子信息学报, 2015,13(3):520-524. (CUI Zhijun,ZHANG Yu. Design of DDS dual signal generator based on FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2015,13(3):520-524.)

作者简介：



陈 勇(1978-), 男, 湖北省京山市人, 硕士, 高级工程师, 主要研究方向为电子战中的接收机、宽带信号波形产生及高速采集.email: chen_pan_yy@163.com.

谭剑美(1972-), 女, 贵阳市人, 学士, 研究员级高级工程师, 主要研究方向为雷达收发系统、电子战接收系统的设计。