

文章编号: 2095-4980(2018)03-0547-05

应用于 Sigma-Delta ADC 中的高性能前置放大器

陆序长^{1,2}, 张虎龙³, 谢亮^{*1,2}, 金湘亮^{1,2}

(1.湘潭大学 物理与光电工程学院, 湖南 湘潭 411105; 2.湘潭大学 微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105;
3.比亚迪汽车工业有限公司 密封件工厂研发部, 广东 深圳 518116)

摘要: 设计了一种高性能的全差分型折叠式共源共栅放大器。一方面, 电路中使用了斩波技术和 AB 类推挽技术, 以提高放大器的精确度和动态性能; 另一方面, 放大器中的电流源采用自级联结构, 可以进一步提高电路的电压裕度和鲁棒性。本电路基于华润上华 CMOS 0.35 μm 工艺实现, 版图面积为 $640 \mu\text{m} \times 280 \mu\text{m}$, Spectre 后仿真结果表明, 在电源电压为 5 V 且斩波频率为 156.25 kHz 的情况下, 等效输入噪声为 $1.11 \text{ nV}/\text{Hz}^{1/2}$, 失调电压为 $61.5 \mu\text{V}$, 功耗为 1.22 mW。

关键词: 斩波技术; AB 类推挽技术; 折叠式共源共栅运放

中图分类号: TN722.7⁺¹

文献标志码: A

doi: 10.11805/TKYDA201803.0547

Design of a high performance pre-amplifier for Sigma-Delta ADC

LU Xuchang^{1,2}, ZHANG Hulong³, XIE Liang^{*1,2}, JIN Xiangliang^{1,2}

(1.School of Physics and Optoelectronics, Xiangtan University, Xiangtan Hunan 411105, China;
2.Optoelectronics and System on A Chip, Hunan Engineering Laboratory for Microelectronics, Xiangtan University, Xiangtan Hunan 411105, China; 3.Seal Factory R & D Department, BYD Auto Co.,Ltd, Shenzhen Guangdong 518116, China)

Abstract: A high performance fully differential folded-cascode amplifier is designed. On the one hand, in order to improve the amplifier's precision and dynamic performance, the chopper and class-AB push-pull technique are applied in the circuit; on the other hand, to further improve the voltage margin and robustness in the circuit, the self-cascode current source is applied in the amplifier. The circuit is realized based on the CSMC 0.35 μm CMOS technique, and the layout area is about $640 \mu\text{m} \times 280 \mu\text{m}$. The simulation results show: at a power supply of 5 V and the chopping frequency of 156.25 kHz, the equivalent input noise is $1.11 \text{ nV}/\text{Hz}^{1/2}$, the offset voltage is $61.5 \mu\text{V}$ and the power consumption is 1.22 mW.

Keywords: chopper technique; class-AB push-pull; folded-cascode amplifier

Sigma-Delta ADC 以其高分辨力、高可靠性、易于集成等优点在各个领域得到广泛应用^[1]。由于 ADC 处理的输入信号一般都十分微弱, 所以前置运算放大器是模数转换过程中必要存在的, 其性能要求也非常严格。一方面, 前置放大器起放大和传递信号的作用, 其精确度好坏直接影响整个 Sigma-Delta ADC 性能的好坏; 另一方面, Sigma-Delta ADC 中调制器模块的输入是开关电容型输入, 每一次时钟切换都会引入较大的电压波动, 因此前置运算放大器的输出端应具有很强的驱动能力, 使信号能够快速建立, 保证信号的真实度。

为了提高运算放大器电路的精确度, 用于降低失调和噪声的斩波技术^[2-7]越来越被人们关注。文献[5]提出的结构中, 通过斩波技术降低了电路中的失调和 $1/f$ 噪声, 但是运放输出级为单端输出结构, 存在输出摆幅小、共模干扰大等缺点; 文献[6]提出了一种带斩波技术的全差分型运算放大器, 但输出级是共源放大结构, 而且高阻节点, 所以此类放大器的电压驱动能力很差; 文献[7]提出的电路结构中, 通过斩波技术提高了电路的精确度, 输出级采用 class-AB 推挽结构, 提高了输出端的驱动能力, 但该文献是单端输出结构, 还是存在共模抑制比小、信号摆幅小的缺陷。为了克服以上文献的不足, 本文设计了一种带斩波技术和 AB 类推挽技术的全差分型运算放大器电路, 另外, 运放共源共栅级电流源采用自级联结构(self-cascode), 在保证高电路精确度和驱动能力的前提下, 进一步增大电路的电压裕度。

收稿日期: 2016-09-29; 修回日期: 2017-01-16

基金项目: 中国国家自然科学基金资助项目(61274043,1233010); 湖南省自然科学基金资助项目(2015JJ1014)

*通信作者: 谢亮 email: xieliang@xtu.edu.cn

1 电路设计

1.1 整体电路

前置运算放大器整体电路如图 1 所示, 主要包括折叠式输入级、共源共栅级、AB 类推挽输出级、共模反馈模块和偏置电路等五大模块, 其中, CH1 至 CH3 为斩波开关电路, 斩波技术的原理及作用将在 1.2 节中作详细分析。差分输入对管及其尾电流源都为 PMOS 管自级联式结构, 即 PM3 与 PM5 串联, PM4 与 PM6 串联构成差分输入对电路, PM1 与 PM2 串联为差分对电路提供电流。共源共栅级的 N 型电流源和 P 型电流源皆为自级联式电流源, 即 NM1 与 NM3 串联, NM2 与 NM4 串联作为共源共栅级的 N 型电流源, PM9 与 PM11 串联, PM10 与 PM12 串联作为共源共栅级的 P 型电流源。差分输出级采用了共源型 AB 类推挽结构, 相比共漏型 AB 类推挽结构提高了输出摆幅以及增益; 跨导线性环电路^[8-9]分别为 AB 类推挽结构中的 NMOS 管和 PMOS 管提供偏置电压, 可节省功耗并扩大线性工作范围; 以 NM7 和 PM13 为例, NM17, NM18, NM6 和 NM7 组成一个跨导线性环, PM18, PM17, PM8 和 PM13 组成另一个跨导线性环。采用电阻分压式共模反馈电路来稳定输出共模电平, R1 和 R2 检测输出共模电压, C1 和 C2 可以起滤波效果; 检测到的共模电压连接到误差放大器 A1 的反相输入端, 与连接在 A1 同相输入端的参考电压 U_{ref} 作比较, 从而控制输出电压大小, 进而控制 NM9, NM10 的电流大小; NM9 和 NM10 电流改变会使节点 A, B 的电压发生改变, 从而调整 2 个输出电压值的大小, 最终使输出共模电平达到动态平衡。R3~R6 为调零电阻, C3~C6 为米勒电容, 它们作为 Miller 补偿^[10]使整体电路稳定性增强。

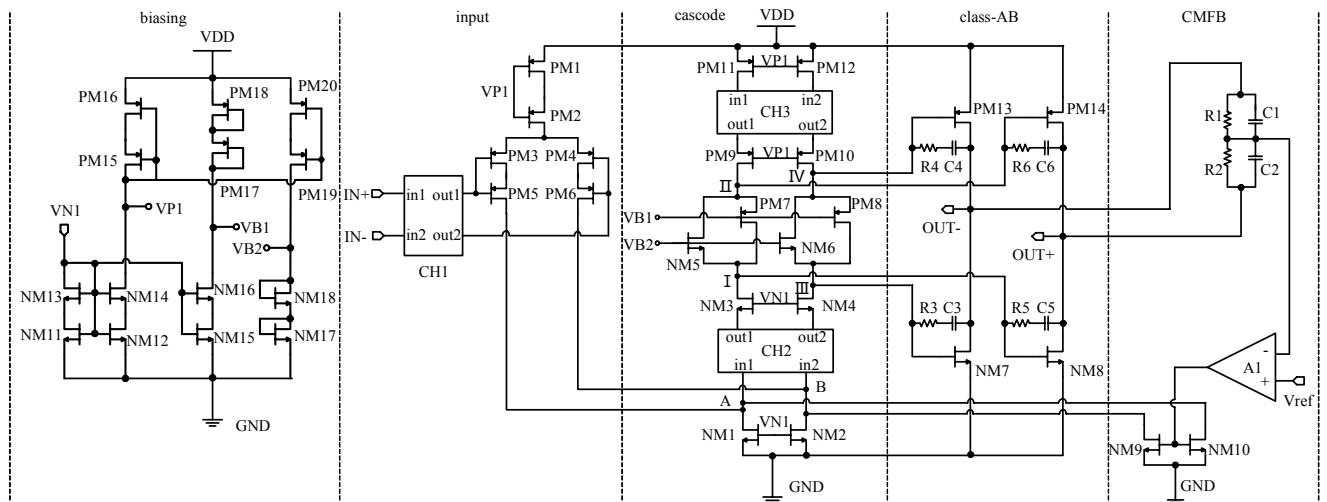


Fig.1 Overall operational amplifier circuit

图 1 整体运算放大器电路

做等效输入噪声分析时, 将电路看成两级折叠式共源共栅结构, 在低频应用条件下, 共源共栅级中的共栅管所产生的噪声对输出的贡献极低, 可以忽略不计, 即不考虑 NM3/4, PM9/10, NM5/6 及 PM7/8 的噪声; 余下的主要噪声源有输入对管, 以及 NM1/2, PM11/12, NM7/8, PM13/14。令 class-AB 输出级中的 P 管和 N 管跨导皆为 $g_{m,out}$, 假设斩波技术将全部 $1/f$ 噪声消除, 得到第 1 级总输出噪声和第 2 级总输出噪声之和为:

$$\overline{U_{n,out}^2} \approx 2 \times (4kT \frac{2g_{m,PM11,12}^2}{3g_{m,PM11,12}} R_{out1}^2) + 2 \times (4kT \frac{2g_{m,NM1,2}^2}{3g_{m,NM1,2}} R_{out1}^2) + 4 \times (4kT \frac{2g_{m,out}^2}{3g_{m,out}} R_{out2}^2) \quad (1)$$

式中: R_{out1} 表示第 1 级输出阻抗; R_{out2} 表示第 2 级输出阻抗; k 为玻尔兹曼常数; T 为温度值。所以, 加上输入对管产生的噪声, 得到总的等效输入噪声为:

$$\overline{U_{n,in}^2} \approx 8kT \left(\frac{2}{3g_{m,in}} + \frac{2g_{m,PM11,12}}{3g_{m,in}^2} + \frac{2g_{m,NM1,2}}{3g_{m,in}^2} + \frac{1}{3g_{m,in}^2 R_{out1}^2 g_{m,out}} \right) \quad (2)$$

式(2)中的 $g_{m,in}$ 为输入对管的跨导。结合上述理论, 降低等效输入噪声可通过: 1) 增大输入对管的跨导, 通过分配较大电流给其尾电流源或者增加输入对管的宽长比来实现; 2) 降低共源共栅级中电流源 NM1/2, PM11/12 的跨导, 即分配较小的支路电流给共源共栅级或者减小 NM1/2, PM11/12 的宽长比; 3) 增大共源共栅级的等效输出阻抗 R_{out1} ; 4) 增大 class-AB 输出级管 NM7/8, PM13/14 的跨导。值得注意的是, 在设计电路时, 应充分考虑噪声性能与增益、带宽、电压裕度等其他性能指标的折衷关系。

1.2 斩波技术原理与作用

图 2 为斩波技术的原理框图，S1 和 S2 代表斩波开关电路； $m_1(t), m_2(t)$ 是占空比 50% 且周期为 $1/f_{chop}$ 的方波信号，其中， f_{chop} 为斩波频率； U_{in} 为输入信号， U_{out} 为输出信号； U_{os} 为直流失调电压， U_n 为 $1/f$ 噪声， $A(f)$ 为运放的增益，LPF 为低通滤波器。其斩波技术的原理如下：输入信号 U_{in} 经过 S1 后，其频谱被调制到 f_{chop} 的奇次谐波上，再通过放大器放大 $A(f)$ 倍后被 S2 解调回基带； U_{os} 和 U_n 通过放大器后，其频谱被 S2 调制到 f_{chop} 的奇次谐波上。最后可由低通滤波器将大于信号带宽的频率部分滤除，实现降低 $1/f$ 噪声和失调的效果。

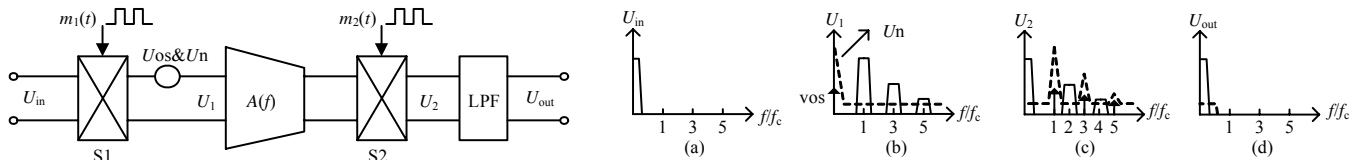


Fig.2 Chopping technique principle

图 2 斩波技术原理

图 1 运放结构中的斩波由图中第 1 至第 3 斩波开关电路 CH1, CH2, CH3 实现，开关电路的具体电路结构如图 3 所示。CH1 置于运放输入端位置，将输入信号调制到斩波频率的奇次谐波上，再经由输入级放大，CH1 选用小尺寸的管子，旨在减小电子注入和时钟馈通的影响。CH2 和 CH3 都位于共源共栅级的低阻节点，因此可以适当增大 CH2 和 CH3 的管子尺寸以减小其线性导通电阻，减小电压摆幅限制。CH2 的作用是将解调被调制的输入信号，将其频谱搬到基带和偶次谐波上，同时将 NM1, NM2 以及输入对管的失调和噪声调制到斩波频率的奇次谐波上；CH3 则是将 PM11, PM2 的失调和噪声调制到斩波频率的奇次谐波上。

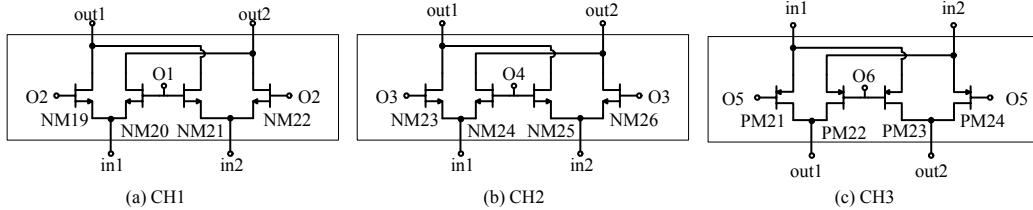


Fig.3 Chopper switch circuit

图 3 斩波开关电路

1.3 自级联结构的作用

两管自级联结构如图 4 所示。假定设置好电压偏置，很容易证明靠近地电位的管子一定处于线性区，另一个则处于饱和区。令 N_5, N_6 和 N_7 的阈值电压都为 U_{th} ，且定义 $K_i = u_n c_{ox} (W/L)_i$ ，其中， u_n 为迁移率， c_{ox} 为单位面积的栅氧化层电容， W/L 为管子宽长比，可得：

$$I_D = \frac{1}{2} K_6 (U_G - U_X - U_{th})^2 \tag{3}$$

$$I_D = \frac{1}{2} K_5 [2(U_G - U_{th})U_X - U_X^2] \tag{4}$$

通过电流相等，消去 V_X 得：

$$I_D = \frac{1}{2} \frac{K_5 K_6}{K_5 + K_6} (V_G - V_{th})^2 = \frac{1}{2} K_7 (V_G - V_{th})^2 \tag{5}$$

假设 N_6 的宽长比为 N_5 的 m 倍，则 $K_6 = mK_5$ ，可以得到 N_5 和 N_7 的如下关系：

$$K_7 = \frac{K_5 K_6}{K_5 + K_6} = \frac{m}{m+1} K_5 \tag{6}$$

由式(6)可知，一个宽长比为 W/L 的管子与一个宽长比为 $m(W/L)$ 的管子串联，可以等效得到一个 $mW/((m+1)L)$ 的管子，可见等效管子的宽和长都成倍增加，大大增加了等效面积。

本设计中分别在输入级和共源共栅级用到了两管自级联结构，给电路带来几个好处：1) 靠近电源或地的管子的漏端被钳位，有益于电流匹配；2) 增加了等效面积，有利于版图匹配，降低非线性干扰；3) 由于 AB 类推挽电路采用了浮动电压源做偏置，如果电流源为共源共栅形式，电压裕度将会受限，容易受环境变化或者瞬时脉冲的影响，使某个管子偏离正常工作区，导致电路鲁棒性变差。由于自级联式电流源中有一个处于线性区，可以在保证电路精确度的情况下，提高电路的电压裕度。

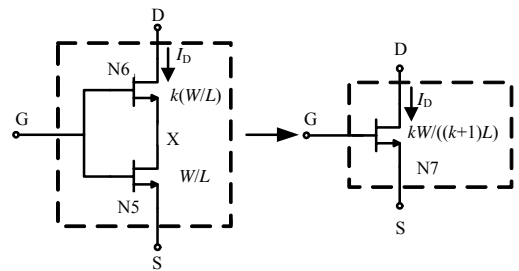


Fig.4 Self-cascade of two NMOS tubes

图 4 两个 NMOS 管自级联

2 版图设计与后仿真结果

本放大器电路应用于 Sigma-Delta ADC 芯片中, 基于华润上华 CSMC 0.35 μm 工艺进行整体版图设计及流片。整体芯片版图如图 5, 白框部分为前置放大器版图。具体的前置放大器版图如图 6, 面积为 $640 \mu\text{m} \times 280 \mu\text{m}$ 。

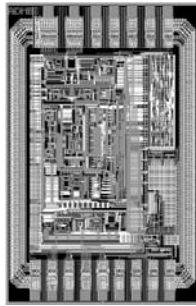


Fig.5 Overall layout
图 5 整体版图

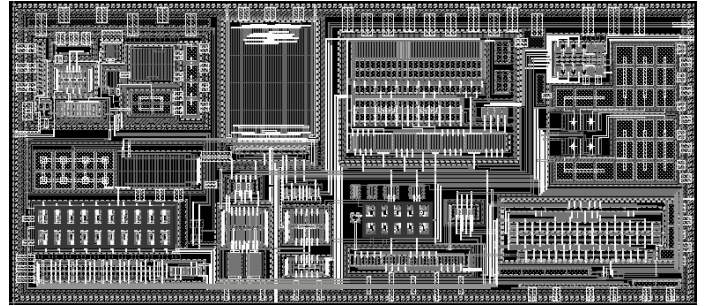


Fig.6 Layout of pre-amplifier
图 6 前置放大器版图

后仿真时, 为了体现实际情况, 将前置放大器放入了 ADC 整体电路, 其输出端接带宽为 70 MHz 的单位增益缓冲器, 单位增益缓冲器的输出端接采样频率为 10 MHz 的开关电容电路, 且电容值为 2.4 pF。仿真环境采用典型工艺角及 27 $^{\circ}\text{C}$, 5 V 典型情况, U_{ref} 接 2 V 的零温漂电压, f_{chop} 取 156.25 kHz。

图 7 为放大器稳定性仿真波特图, 其直流增益为 81 dB, 相位裕度为 64.7 $^{\circ}$, 单位增益带宽为 4.13 MHz, 可以很好保证电路能稳定工作。图 8 为等效输入噪声的仿真结果, 对比有、无斩波时对等效输入噪声的影响, 由图 8 可知, 运放中加斩波后, 低频噪声显著下降, 在频率为 5 kHz 处, 等效输入噪声仅为 1.11 $\text{nV}/\text{Hz}^{1/2}$ 。电路采用斩波技术后可明显降低噪声, 与理论相符。

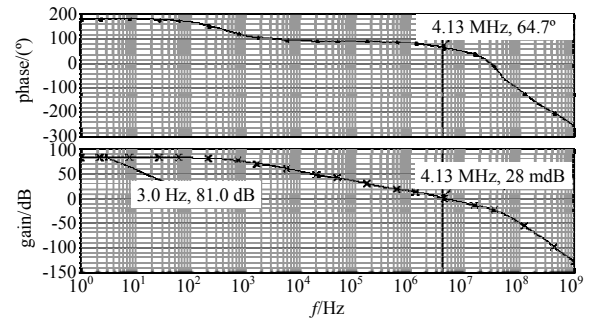


Fig.7 Gain and phase curves of amplifier
图 7 放大器的增益和相位曲线

图 9 为前置放大器失调电压的蒙特卡洛仿真结果, 对比了加斩波和不加斩波时放大器失调电压的大小, 仿真环境以及仿真次数都一致。仿真结果表明, 不加斩波时, 放大器失调平均值的绝对值约为 1.48 mV; 加斩波后, 放大器失调平均值的绝对值约减小为 61.5 μV , 说明斩波技术起到了降低失调电压的效果。

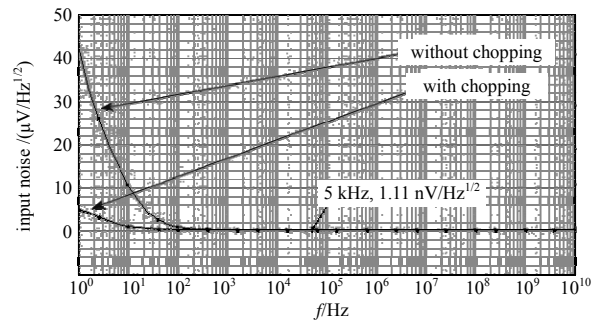


Fig.8 Simulation results of equivalent input noise
图 8 等效输入噪声仿真结果

在放大器输入端加 1 V 的阶跃信号, 输出端接 0.2 pF 的负载电容。仿真发现, 当输入信号发生跃变, 输出端流经负载电容的电流约为 506 μA , 其中, 静态时, class-AB 输出级的支路电流为 48 μA , 放大器电路的总电流为 244 μA , 总功耗为 1.22 mW。电路在较低静态功耗的情况下, 具有较强驱动能力, 满足应用要求。

表 1 比较了本文设计放大器电路与国内外相关研究的主要性能指标。本电路在适中的斩波频率下可实现很低的等效输入噪声、较低的失调电压性能, 而且电路结构原理简单, 将其应用于 18 bit 的 Sigma-Delta ADC 芯片中, 综合性能良好。

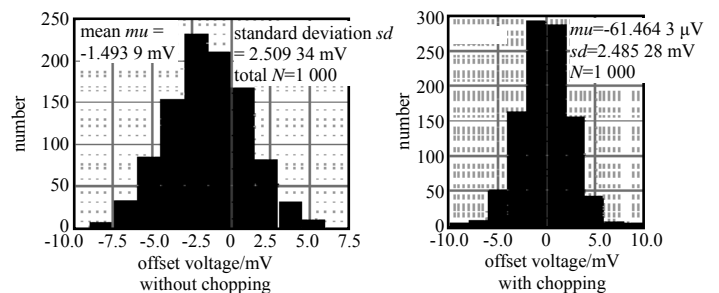


Fig.9 Amplifier's offset of Monte Carlo simulation results
图 9 运放失调的蒙特卡洛仿真结果

表 1 放大器的主要性能指标对比

Table1 Comparison of the main performance indexes of the amplifier

Parameter	Ref. [4]	ref. [5]	ref. [6]	ref. [7]	this paper
CMOS technology/ μm	0.50	0.35	0.18	0.50	0.35
gain/dB	52.0	83.9	84.0	91.0	81.0
GBW/MHz	0.2	10.1	4.0	1.8	4.1
equivalent input noise/($\text{nV}\cdot\text{Hz}^{-1/2}$)	15.00	19.20	5.00	37.00	1.11
offset voltage/ μV	1.5	93.7	120.0	1.0	61.5
f_{chop} /MHz	<0.001 50	$\leq 2.000\ 00$	<0.300 00	<10.000 00	$\leq 0.156\ 25$
power/mW	1.30	—	—	1.56	1.22

3 结论

提出了一种结合斩波技术和 AB 类推挽技术的全差分型运算放大器电路,使放大器具有高精确度和高驱动能力等特点,而且输入对管以及电流源采用了两管自级联式结构,进一步提高了电压裕度和鲁棒性,也改善了版图匹配性。仿真表明,在电源电压为 5 V 且斩波频率为 156.25 kHz 情况下,等效输入噪声为 $1.11 \text{ nV/Hz}^{1/2}$,失调电压为 $61.5 \mu\text{V}$,功耗为 1.22 mW,达到设计指标要求。

参考文献:

- [1] RANJBAR M. Power efficient continuous-time delta-sigma modulator architectures for wideband analog to digital conversion[D]. Amherst,Massachusetts,USA:University of Massachusetts Amherst, 2012,29(2):111-128.
- [2] ENZ C C,TEMES G C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling and chopper stabilization[J]. Proceedings of the IEEE, 1996,84(11):1584-1614.
- [3] ENZ C C,VITTOZ E A,KRUMMENACHER F. A CMOS chopper amplifier[J]. IEEE Journal of Solid-State Circuits, 1987, 22(3):335-342.
- [4] MENOLFI C,HUANG Q. A low-noise CMOS instrumentation amplifier for thermoelectric infrared detectors[J]. IEEE Journal of Solid-State Circuits, 1997,32(7):968-976.
- [5] 尹韬,杨海钢,刘珂. 一种适用于微传感器读出电路的低噪声低失调斩波放大器[J]. 半导体学报, 2007,28(5):797-801. (YIN Tao,YANG Haigang,LIU Ke. A low noise and offset chopping amplifier for microsensor readout circuit[J]. Chinese Journal of Semiconductors, 2007,28(5):797-801.)
- [6] 陈铖颖,黑勇,胡晓宇. 一种适用于传感器信号检测的斩波运算放大器[J]. 微电子学, 2012,42(1):17-24. (CHEN Chengying,HEI Yong,HU Xiaoyu. A chopper-stabilized operational amplifier for sensor signal detection[J]. Microelectronics, 2012,42(1):17-24.)
- [7] SANDULEANU M A T,TUIJL A J M V,WASSENAAR R F,et al. Low power low voltage chopped amplifier with a new class AB output stage for mixed level applications[C]// ProRISC/IEEE Benelux Workshop on Circuits, Systems and Signal Processing. Mierlo,Netherlands:Integrated Circuit Design, 1997:451-456.
- [8] HOGERVORST R,TERO J P,HUIJSING J H,et al. A compact power efficient 3 V CMOS rail to rail input/output operational amplifier for VLSI cell libraries[J]. IEEE Journal of Solid-State Circuits, 1994,29(12):1505-1513.
- [9] LOSADA D R,PETERSEN C. Single input class-AB rail-to-rail output stage: US Patent 9,071,205 B2[P]. 2015-06-30.
- [10] ALLEN P E,HOLBERG D R. CMOS 模拟集成电路设计[M]. 2 版. 冯军,李智群,译. 北京:电子工业出版社, 2011:198-353. (ALLEN PE,HOLBERG D R. CMOS analog circuit design[M]. 2nd ed. Translated by FENG Jun,LI Zhiqun. Beijing:Publishing House of Electronics Industry, 2011:198-353.)

作者简介:



陆序长(1992-),男,湖南省怀化市人,在读硕士研究生,主要研究方向为模拟集成电路设计.email:luxuchangyy@163.com.

张虎龙(1982-),男,山西省运城市人,学士,助理工程师,主要研究方向为电气、制造工艺技术。

谢亮(1983-),男,湖南省郴州市人,博士,副教授,主要研究方向为 ASIC 设计、ADC、红外传感。

金湘亮(1974-),男,湖南省邵阳市人,博士,教授,主要研究方向为 CMOS 图像传感器和 SOC 设计。