

文章编号: 2095-4980(2018)03-0552-06

## 一种低功耗高精度 SERDES 发送机

朱迪<sup>1,2</sup>, 尹韬<sup>1,2</sup>, 许晓冬<sup>1,2</sup>, 杨海钢<sup>\*1,2</sup>

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100049)

**摘要:** 介绍了一款高速串行接口发送机芯片。均衡器采用多抽头前馈均衡结构, 且各阶均衡系数均可调, 增大了均衡调谐范围, 提高了均衡精确度; 驱动器采用H树型电流模结构, 提高了电流利用率, 降低了功耗。设计采用TSMC 55 nm CMOS工艺, 电源电压为1 V, 输出数据率范围为550 Mb/s~6.25 Gb/s。在最高工作速率6.25 Gb/s下, 发送机整体功耗约20 mW, 结果表明发送机均衡精确度较高, 功耗较低。

**关键词:** 串行数据收发; 发送机; 串化; 均衡; 驱动

**中图分类号:** TN47

**文献标志码:** A

**doi:** 10.11805/TKYDA201803.0552

## A low power and high precision SERDES transmitter

ZHU Di<sup>1,2</sup>, YIN Tao<sup>1,2</sup>, XU Xiaodong<sup>1,2</sup>, YANG Haigang<sup>\*1,2</sup>

(1.Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2.University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** A high speed serial interface transmitter chip is described. The equalizer adopts the multi-tap feed forward equalizer structure and the tuning coefficient of each tap can be adjusted, which increases the range of the balanced tuning and improves the balance precision. H-tree driver is utilized to transmit the serial signal, which improves the current utilization coefficient and reduces the power consumption. The transmitter is designed in TSMC 55 nm CMOS technology with 1 V power supply, and the output data rate range is from 550 Mb/s to 6.25 Gb/s. The overall power consumption is approximately 20 mW at the highest rate of 6.25 Gb/s. The results indicate that the transmitter possesses high balance precision and low power consumption.

**Keywords:** Serializer-Deserializer(SERDES); transmitter; serializer; equalizer; driver

随着信息产业的不断发展, 现代社会的信息量不断增大, 一方面要求提高信息处理单元的信息处理速度, 另一方面要求提高信息处理单元间的信息交互速度。随着 CMOS 工艺技术飞速发展, 电路的集成度以及时钟频率不断提高, 信息处理速度得到显著提高, 因此对于信息处理单元间的信息交互速度提出了更高要求。庞大数据量的高速传输已成为支撑信息产业发展的关键环节, 而不同电路单元或系统之间信息的传输交互需要高速接口电路来保障。

信息产业的不断发展提出了发展高速接口技术的迫切需求。传统并行传输方式已经难以达到数据传输速率需求, 高速串行数据收发(SERDES)技术由于其优良的抗噪声与抗干扰特性、低功耗、低成本、节省设计空间、应用灵活等优势<sup>[1]</sup>, 极大提高了通信速率, 成为高速接口技术发展的一个标志性里程碑。由于高速串行收发技术的显著优点, 它在众多领域得到广泛应用, 其最早用于广域网(Wide Area Network, WAN)通信, 也用于存储区域网(Storage Area Network, SAN), 如光纤信道以及局域网(Local Area Network, LAN)通信等领域, 并在计算机 I/O 接口中起到了重要作用。随着空间技术的发展, 对空间数据信息的传输速度不断提出更高的要求, 高速串行数据收发芯片已成为航天工程的必要关键模块。现场可编程门阵列(Field Programmable Gate Array, FPGA)也提出了集成串行通信模块以提升数据传输速率的要求。FPGA 性能好, 处理速度快, 处理能力强大, 应对不同需求的解决方案设计灵活, 设计周期较短, 设计成本较低, 具有较强的可靠性与较高的集成度, 成为数字系统设计的重要

收稿日期: 2016-11-30; 修回日期: 2017-02-08

基金项目: 国家自然科学基金资助项目(61474120); 国家重点基础研究发展计划资助项目(2014CB744600)

\*通信作者: 杨海钢 email:yanghg@mail.ie.ac.cn

工具, 并得到日益广泛的应用。嵌入在 FPGA 中的高速接口需要满足多种协议, 如 PCI Express, XAUI, GIGE, SONET/SDH, CEI-6G, CPRI, Serials Rapid IO 等, 不同协议所要求的电气特性不同。FPGA 嵌入式应用对高速串行接口提出了宽数据率范围、低功耗、高精度等要求。信息社会离不开信息的传输, 信息传输需要接口电路的保障, 因而高速串行接口拥有十分可观的应用前景<sup>[2]</sup>。

面向 FPGA 对高速串行接口芯片的需求, 设计了一款数据率范围为 550 Mb/s~6.25 Gb/s 的低功耗 SERDES 发送机芯片。概括介绍了发射机总体电路框架, 之后对发射机的各模块原理、结构和功能进行描述, 并给出仿真验证结果。

## 1 电路架构与设计

高速串行接口系统采用半速率时钟结构<sup>[3]</sup>。半速率时钟结构的时钟周期为 2 个串行传输数据信号周期。从时钟信号处理电路的角度来看, 半速率时钟策略相对于多相位时钟策略而言, 降低了对时钟信号处理电路的设计要求, 传输数据的极限速率也得到提高。从功耗角度来看, 半速率时钟策略相对于全速率时钟策略而言, 时钟频率降低至全速率策略的一半, 由时钟信号作为激励的触发器等电路模块工作频率较低, 从而降低了功耗。

发送机主要包括串化器、均衡器、驱动模块 3 个部分。发送机整体结构如图 1 所示。

所设计的发送机可实现 20:1, 16:1, 10:1, 8:1 并串转换模式。通过控制位信号改变部分并串转换单元的使能状态从而决定发射机的功能模式。时钟分频模块输入时钟信号的频率为串行信号数据率的一半, 分频处理后传送给串行器模块以作采样、使能和锁存时钟。以 20:1 转换模式为例, 20 路低速并行数据经第 1 级串化器实现 20:10 并串转换, 经第 2 级串化器实现 10:2 并串转换, 并经过第 3 级串化器转换为高速串行差分信号并移相产生 4 阶数据信号。使能控制模块产生数据使能状态控制信号, 权重控制模块通过逻辑电路运算处理产生均衡器权重系数控制信号, 以此进行均衡处理。为满足更多传输协议, 发送机最终驱动输出数据率范围为 550 Mb/s~6.25 Gb/s 的高速串行差分信号。

在时钟信号处理模块及并串转换模块中, 设计延迟单元处理时钟信号, 使得在对数据信号进行多路选通处理时, 能保证时钟跳变沿与数据信号跳变沿之间有足够的余量以满足数据建立时间要求, 而数据维持时间又能满足触发器的传播延时要求。

### 1.1 串化器

串化器由三级并串转换模块组成<sup>[4]</sup>。为避免在串化过程中造成误码, 在数据信号与时钟信号各自的通路中, 增加必要的延时单元, 以保证时钟信号对数据信号采样于其稳定状态, 并留有时钟信号与数据信号的抖动容限, 有效避免误码。

第 1 级串化模块由 10 个 2:1 多路选择器(Multiplexer, MUX)单元并联组成。2:1 MUX 单元输入 2 路并行数据信号, 由同频时钟信号进行采样锁存, 而后分别在时钟信号的上升沿和下降沿对 2 路数据信号进行采样锁存, 从而实现 2:1 并串转换。

第 2 级串化模块由 2 组 5:1 转换模块并联组成, 即对 10 路输入数据信号分为 2 组, 各自进行并串转换, 对数据信号及对时钟信号的操作也均分组进行。发送机可实现的 20:1, 16:1, 10:1, 8:1 并串转换模式均由第 2 级转化电路中各模块的使能信号控制。20:1 模式下各模块均处于使能有效状态, 因而电路结构与时序关系最为复杂, 在 20:1 模式下数据信号分组进行移相, 时钟信号同时经过移相处理产生所需各个相位, 以作为采样时钟。数据信号和时钟信号均完成移相处理后, 用所得的 10 路时钟信号分别对 10 路数据信号进行采样。第 1 级串化模块中的 2:1 转换电路框图与第 2 级串化模块中的 5:1 转换电路框图如图 2 所示。

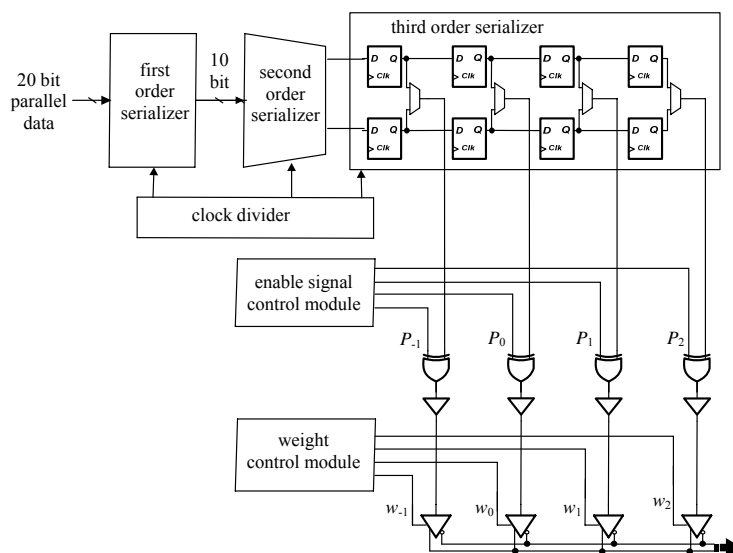


Fig.1 Transmitter structure diagram(20:1 conversion mode for example)

图 1 发送机结构框图(以 20:1 转换模式为例)

第 3 级延时处理模块为均衡器产生四阶数据信号,每一通道有 2 对差分数据信号,各通道数据信号间时间差为一个串行信号周期。通过最后一级 2:1 并串转换模块,形成高速差分数据信号,传递给均衡器进行均衡处理。

1.2 均衡器

由于损耗、反射、串扰等多种因素的影响,传输信道呈现低通特性,接口电路之间由于有损传输信道作用,数据信号的高频分量被衰减<sup>[5]</sup>。高速串行数据信号的高频分量非常丰富,经过传输信道后造成数据信号码间干扰而导致严重的失真和误码。因此,设计呈现高通效果的均衡器<sup>[6-7]</sup>,与传输信道的高频衰减互补,可有效避免由于信道衰减造成的信号失真和误码。

为达到较为理想的均衡效果,采用四阶前馈均衡器(Feed Forward Equalizer, FFE)结构<sup>[8]</sup>与最小均方误差算法<sup>[9]</sup>进行设计。均衡器设计有 4 个抽头,四阶输入信号是通过使数据信号经过不同的延时路径产生的,此功能在前述并串转换模块中实现,用于延时处理的数据信号为第 2 级并串转换完成后的信号而非串化器最终串化结果,从而降低延时路径中采样时钟频率,降低了器件工作频率,从而降低了功耗。均衡器结构如图 3 所示。

根据信道的传输特性可得到期望的均衡系数。将 FFE 的均衡系数  $w_n$ 、传输信道传输函数的系数  $h$ 、输入数据  $c$  分别扩展成矩阵形式  $\mathbf{W}, \mathbf{H}, \mathbf{C}$ ,  $n$  为 FFE 的抽头个数(FFE 阶数),则经过 FFE 均衡并通过传输信道输出后的数据信号  $\mathbf{Y} = \mathbf{H} \times \mathbf{W} \times \mathbf{C}$ 。定义  $\mathbf{Y}_{des}$  为期望得到的输出信号,则实际得到的输出信号  $\mathbf{Y}$  与期望输出  $\mathbf{Y}_{des}$  之间的误差为:

$$E = \mathbf{Y} - \mathbf{Y}_{des} = \mathbf{H} \times \mathbf{W} \times \mathbf{C} - \mathbf{Y}_{des} \quad (1)$$

误差的方差矩阵为:

$$\|E\|^2 = \mathbf{W}^T \mathbf{H}^T \mathbf{H} \mathbf{W} - 2\mathbf{Y}_{des}^T \mathbf{H} \mathbf{W} + \mathbf{Y}_{des}^T \mathbf{Y}_{des} \quad (2)$$

为得到均衡器系数,对方差以  $\mathbf{W}$  为变量进行求导分析,当导数为 0 时,均方误差最小,由此得到

$$\frac{d}{d\mathbf{W}} \|E\|^2 = 2\mathbf{W}^T \mathbf{H}^T \mathbf{H} - 2\mathbf{Y}_{des}^T \mathbf{H} = 0 \quad (3)$$

$$\mathbf{W}^T \mathbf{H}^T \mathbf{H} = \mathbf{Y}_{des}^T \mathbf{H} \quad (4)$$

$$\mathbf{W} = (\mathbf{H}^T \mathbf{H})^{-1} \mathbf{H}^T \mathbf{Y}_{des} \quad (5)$$

对所得计算结果进行归一化处理,得到均衡器系数

$$w_{norm}(n) = \frac{w(n)}{\sum |w(n)|} \quad (6)$$

根据此算法可确定 FFE 具体结构,包括权重系数及各阶使能状态,从而确定了均衡实现方案。设计采用的均衡器权重如表 1 所示。表 1 中权重值代表各阶对应均衡权重系数的相对比值大小。每一阶均有多个可控调谐开关,各阶开关的开闭组合状态控制各阶的权值,从而联合控制发送机均衡程度。各阶调谐开关控制电流镜的开闭状态,即控制各级驱动的偏置电流大小。由大量数字逻辑单元组成的使能控制模块可以独立控制各阶输入数据使能状态。如(1)阶共有 5 个调谐开关,所控制的电流镜产生的偏置电流大小比值为 40:40:20:10:10,设计控制信号的逻辑运算控制调谐开关,可组合形成 10,20,40,50,60,70,80,120 共 8 种权值,同理(0)阶、(-1)阶、(2)阶可分别产生 7 种权值。除了每阶内部可产生多个权值外,各阶之间也进行组合,且不同阶的偏置电流流向也可通过开关控制,如(2)阶既可产生具有预加重效果的 5 种不同大小的偏置电流,也可产生具有去加重效果的 5 种反向偏置电流。均衡器可调步长较小,可调开关数量较多,因而可提供大量不同程度的组合均衡系数,均衡程度最大可达

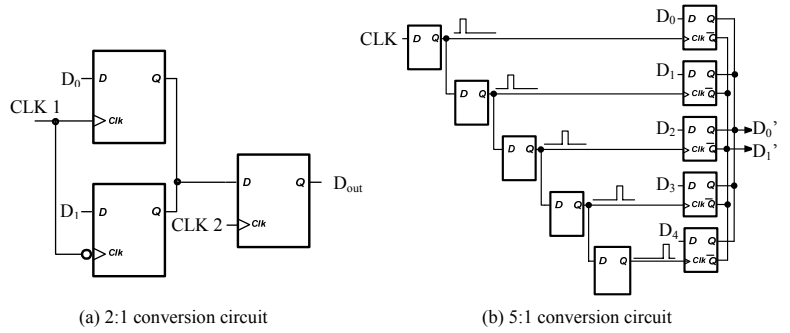


Fig.2 Serialization circuit structure  
图 2 并串转换电路框图

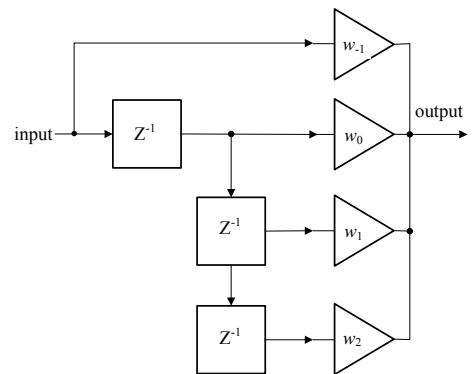


Fig.3 Schematic diagram of four-tap FFE structure  
图 3 四抽头 FFE 结构示意图

500%的预加重权值，均衡范围大，均衡精确度高。根据均衡权值的不同，发射机可提供不同的输出摆幅，摆幅范围约为 200 mV~1 V。

表 1 均衡器权重控制表  
Table1 Equalizer weight control table

	main(0)	post1(1)	post2(2)	pre(-1)
tuning switch number	7	5	4	4
switch corresponding weight	40,40,...,40	40,40,20,10,10	20,10,5,5	20,10,5,5
combination number	7	8	7	7
combination weight	40,80,120,160,200,240,280.	10,20,40,50,60,70,80,120	5,10,15,20,25,30,40	5,10,15,20,25,30,40
maximum weight	280	120	40	40
tuning step	40	10	5	5

### 1.3 驱动模块

电流模驱动器(Current Mode Logic, CML)驱动能力强，电路简单稳定，噪声低<sup>[10]</sup>。CML 作为一种高阻抗输出方式，其输出信号摆幅为偏置电流与负载电阻的乘积，可以通过控制偏置电流的大小来调节信号强度，电源电压的值与输出摆幅的大小没有必然联系，因此在电源电压较低的电路及系统中较为适用。电流模驱动器的上拉电阻与传输通道的阻抗相匹配，具有天然的匹配特性<sup>[11]</sup>。CML 由于具有众多适用于高速数据传输要求的优势而广泛用于高速数据收发系统。

为降低功耗，采用 H 树型结构的驱动器。传统 CML 结构与 H 树型结构如图 4 所示。与传统 CML 结构相比，H 树型结构仅用一半电流从正向支路经过负载流至负向支路，而传统 CML 结构的输出信号仅通过一条支路产生，另一条支路处于“三态”，因此 H 树型结构仅需传统 CML 结构的一半电流即可输出相同摆幅的信号，从而有效降低了功耗。

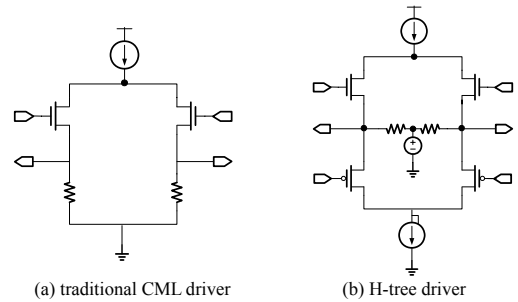


Fig.4 Driver structure  
图 4 驱动器结构

## 2 仿真验证

本文发送机基于 TSMC 55 nm CMOS 工艺进行设计。设计验证时，采用伪随机码向量 PRBS 作为并行输入数据，采用以太网的背板传输线模型<sup>[12]</sup>作为传输通道模型，采用抖动为 15 ps 的非理想时钟作为原始输入时钟信号进行后续分频处理，从而建立相对完善并符合实际工作情况的仿真验证环境。设计验证中使用的传输通道特性曲线如图 5 所示，呈现低通特性，频率为 3 GHz 时，衰减为 10 dB，频率为 6.25 GHz 时，衰减达到近 20 dB。

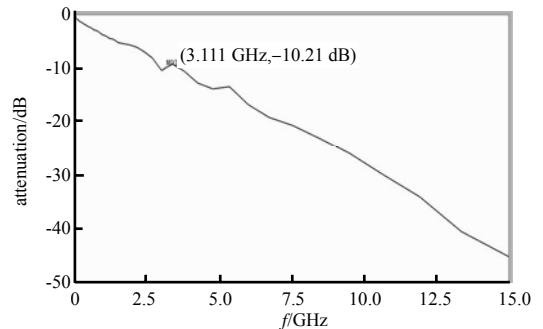


Fig.5 Transmission channel characteristic  
图 5 传输通道特性

根据传输通道特性，通过最小均方差算法设计均衡方案，在发送机输出端加入通道模型，并在不同的数据率条件下进行仿真测试<sup>[13]</sup>，观察经过发送机与传输通道后的信号眼图。图 6 给出了在室温 27 °C,tt 工艺角下串行信号数据率为 550 Mb/s,3 Gb/s,6.25 Gb/s 3 种情况下的仿真测试结果，对应通道终端信号眼图张开幅度分别为 720 mV,560 mV,480 mV。

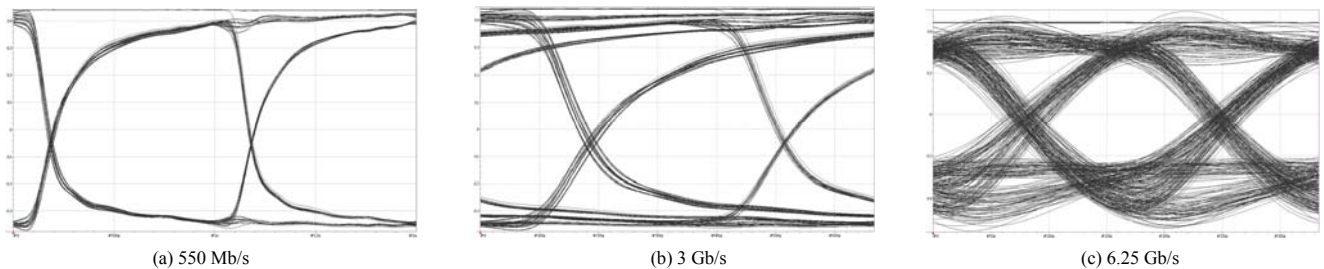


Fig.6 Channel terminal signal eye patterns at different data rates  
图 6 不同数据率下的通道终端信号眼图

发送机在各工艺角(tt,ss,sf,fs,ff)下通过了仿真, 仿真温度范围为 $-40\text{ }^{\circ}\text{C}\sim 120\text{ }^{\circ}\text{C}$ , 仿真数据率范围覆盖了设计目标  $550\text{ Mb/s}\sim 6.25\text{ Gb/s}$ 。在不同的数据率下, 串化器各模块并串转换结果均正确, 经均衡、驱动并通过沟道传输后的数据信号未失真, 发射机功能正常。发送机的输出信号通过传输沟道后眼图张开程度良好, 向相邻比特扩散产生干扰的现象得到明显抑制, 性能良好。

发送机电源电压为  $1\text{ V}$ , 数字电路部分功耗约为  $1.5\text{ mW/Gbps}$ , 模拟电路部分功耗视均衡程度、输出信号摆幅不同而有所不同, 当输出信号摆幅调至最大时功耗约为  $10\text{ mW}$ 。当发送机工作在最高速率和最大输出摆幅的条件下时, 整体功耗约为  $20\text{ mW}$ 。在最高工作速率  $6.25\text{ Gb/s}$  下, 发送机产生的抖动为  $13\text{ ps}$ 。输出信号摆幅范围约为  $200\text{ mV}\sim 1\text{ V}$ 。此外, 发送器的功能模式、均衡程度、片上匹配电阻均可编程, 从而适应不同传输信道特性与不同传输协议的要求。表 2 给出了本文工作与近几年国内外的相关典型文献<sup>[14-16]</sup>的性能对比。综合考虑功耗与可调均衡系数等方面的因素, 本文所设计的发送机体现出较好的性能。

表 2 发送机性能对比  
Table2 Transmitter performance comparison

	Ref. [7]	Ref. [14]	Ref. [15]	Ref. [16]	this work simulation results
technology /nm	65	65	45	28	55
supply voltage /V	1.2&2.5	1	1.08&0.93	1.2	1
data rate/(Gb/s)	5	9.6	7.4	4.488	0.55~6.25
output signal swing/V	0.8	—	0.8	0.88	0.2~1
equalizer structure	2tap FFE	4tap FFE	2tap FFE	2tap FFE	4tap FFE
power/mW	59	230	32	23	20
energy efficiency/(pJ/bit)	—	4.8	4.32	5.2	1.5

### 3 结论

本文基于 TSMC  $55\text{ nm}$  CMOS 工艺, 设计了一款数据率范围为  $550\text{ Mb/s}\sim 6.25\text{ Gb/s}$  的高速串行接口发送机。串化器设计为分级串化结构, 避免误码。均衡器设计为四阶可调 FFE 结构, 提高了均衡精确度。驱动电路设计为 H 树型结构, 降低了功耗。引入适用于以太网的背板传输线模型, 采用伪随机码 PRBS 作为输入数据, 非理想时钟作为原始输入时钟, 建立仿真测试环境。仿真测试结果表明, 发送机可工作于设计速率范围, 电路功能正常, 均衡效果显著, 功耗较低。

#### 参考文献:

- [1] LEE M-J E,DALLY W J,CHIANG P. Low-power area-efficient high-speed I/O circuit techniques[J]. IEEE Journal of Solid-State Circuits, 2000,35(11):1591-1599.
- [2] ROCKROHR J D,MOHAMMAD A,OGILVIE C R,et al. High speed SERDES devices and applications[M]. New York,NY: Springer, 2008.
- [3] LU H,SU C,LIU C N J. A tree-topology multiplexer for multiphase clock system[J]. IEEE Transactions on Circuits and Systems I:Regular Papers, 2009,56(1):124-131.
- [4] 孙焯辉,江立新,秦世才. 低电压低功耗 CMOS  $5\text{ Gb/s}$  串行收发器[J]. 半导体学报, 2007,28(8):1283-1288. (SUN Yehui, JIANG Lixin,QIN Shicai. Low voltage and low power  $5\text{ Gb/s}$  CMOS serial transceiver[J]. Chinese Journal of Semiconductors, 2007,28(8):1283-1288.)
- [5] LI M. Jitter,noise and signal integrity at high-speed[M]. Upper Saddle River,NJ,USA:Prentice Hall Press, 2008.
- [6] PALERMO S. Special topics in high-speed links circuits and systems[R]. Analog & Mixed-Signal Center,Texas A&M University, Spring 2011.
- [7] 吕俊盛,巨浩,叶茂,等. 一种应用于串行链路的  $5\text{ Gb/s}$  低功耗电流模预加重发送器[J]. 半导体学报, 2013,34(7):075002-1-075002-7. (LYU Junsheng,JU Hao,YE Mao,et al.  $5\text{ Gb/s}$  low power current mode pre-applied to a serial link transmitter increased[J]. Chinese Journal of Semiconductors, 2013,34(7):075002-1-075002-7.
- [8] LIN X,LIU J,LEE H,et al. A  $2.5\text{- to }3.5\text{-Gb/s}$  adaptive FIR equalizer with continuous-time wide-bandwidth delay line in  $0.25\text{ }\mu\text{m}$  CMOS[J]. IEEE Journal of Solid-State Circuits, 2006,41(8):1908-1918.
- [9] YEN R Y. Unbiased MMSE vs. biased MMSE equalizers[J]. Tamkang Journal of Science and Engineering, 2009,1(12):45-56.
- [10] NIA P P,MAGHAMI H,SHEIKHAEI S,et al. High speed CML latch using active inductor in  $0.18\text{ }\mu\text{m}$  CMOS technology[C]// 19th Iranian Conference on Electrical Engineering(ICEE). Tehran,Iran:IEEE, 2011:1-4.

- [11] USAMA M, KWASNIEWSKI T. New CML latch structure for high speed prescaler design[C]// Canadian Conference on Electrical and Computer Engineering. Niagara Falls, Ontario, Canada: IEEE, 2004: 1915–1918.
- [12] SAVOJ J, HSIEH K, UPADHYAYA P, et al. Design of high-speed wireline transceivers for backplane communications in 28 nm CMOS[C]// 2012 IEEE Custom Integrated Circuits Conference. San Jose, CA, USA: IEEE, 2012: 1–4.
- [13] 饶坤. 基于 DSP 和 FPGA 的串行 RapidIO 系统性能测试与分析[J]. 太赫兹科学与电子信息学报, 2012, 10(6): 680–684. (RAO Kun. Performance test and analysis of serial RapidIO system based on DSP and FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2012, 10(6): 680–684.)
- [14] YUAN S, WANG Z, ZHENG X, et al. A 4.8 mW/Gb/s 9.6 Gb/s 5+1-lane source-synchronous transmitter in 65 nm bulk CMOS[J]. IEEE Transactions on Circuits & Systems II: Express Briefs, 2014, 61(4): 209–213.
- [15] DETTLOFF W D, EBLE J C, LUO L, et al. A 32 mW 7.4 Gb/s protocol-agile source-series-terminated transmitter in 45 nm CMOS SOI[C]// Solid-State Circuits Conference Digest of Technical Papers. San Francisco, USA: IEEE, 2010: 370–371.
- [16] CHEN S, LI H, SHI X B, et al. A low-power high-swing voltage-mode transmitter[J]. Journal of Semiconductors, 2012, 33(4): 89–94.

#### 作者简介：



朱迪(1992–), 女, 浙江省嘉兴市人, 在读硕士研究生, 主要研究方向为超大规模集成电路设计、数模混合信号集成电路设计。email: judymemory@163.com.

尹韬(1980–), 男, 吉林省柳河市人, 副研究员, 主要研究方向为数模混合信号集成电路设计、MEMS 传感器高性能接口电路设计。

许晓冬(1985–), 男, 安徽省安庆市人, 助理研究员, 主要研究方向为数模混合信号集成电路设计。

杨海钢(1960–), 男, 上海市人, 研究员, 主要研究方向为数模混合信号集成电路设计、超大规模集成电路设计。