

文章编号: 2095-4980(2018)04-0676-06

## 基于 Phase-Refining 技术的微波宽带频率合成器

李智鹏<sup>1</sup>, 王平<sup>1</sup>, 曾荣<sup>1</sup>, 龙双<sup>1</sup>, 鲍景富<sup>2</sup>

(1.中国工程物理研究院 电子工程研究所, 四川 绵阳 621999; 2.电子科技大学 电子工程学院, 四川 成都 611731)

**摘要:** 为改善宽带频率合成器的相位噪声, 提出一种基于 Phase-Refining 技术的微波宽带频率合成器结构与一种对其相位噪声的准确分析方法。首先, 根据线性传递函数与叠加原理得到该频率合成器的相位噪声解析模型, 通过对振荡器实测相位噪声谱型进行曲线拟合并带入模型中来准确预测其相位噪声性能。分析表明, 在级联偏置锁相环中, 整个输出频率范围内都可通过将反馈分频比最小化来改善其环路带宽内的相位噪声。实验结果表明, 该频率合成器的输出频率范围为 2.1~5.6 GHz, 频率步进为 1 Hz, 当输出为 2.1 GHz 与 5.6 GHz 时, 在频偏 10 kHz 处的相位噪声分别为 -114.7 dBc/Hz 与 -108.2 dBc/Hz, 其相位噪声测试结果与分析计算结果相吻合。

**关键词:** 频率合成器; 锁相环; 相位传递函数; 相位噪声; 级联偏置

**中图分类号:** TN911.8

**文献标志码:** A

**doi:** 10.11805/TKYDA201804.0676

## A wideband frequency synthesizer based on Phase-Refining technology

LI Zhipeng<sup>1</sup>, WANG Ping<sup>1</sup>, ZENG Rong<sup>1</sup>, LONG Shuang<sup>1</sup>, BAO Jingfu<sup>2</sup>

(1.Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621999, China;

2.School of Electronic Engineering, University of Electronic Science and Technology of China, Chengdu Sichuan 611731, China)

**Abstract:** A wideband frequency synthesizer employing Phase-Refining technology and a method to calculate its phase noise performance accurately are presented. Based on linear transfer function and superposition principle, the analytic phase noise model of synthesizer is obtained. Based on the actual measured spectrum of the oscillator, the curve-fitting method is employed to predict the phase noise performances accurately. It is indicated that the main cascaded-offset Phase-Locked Loop(PLL) can reduce the in-band phase noise by minimizing the feedback divider ratio in the whole frequency range. The output frequency range of the experimental synthesizer is 2.1 GHz to 5.6 GHz with 1 Hz step size, and the measured phase noise are -114.7 dBc/Hz and -108.2 dBc/Hz at 10 kHz offset from carrier of 2.1 GHz and 5.6 GHz, respectively. The predicted and measured phase noise characteristics exhibit good agreement.

**Keywords:** frequency synthesizer; Phase Locked Loop; phase transfer function; phase noise; cascaded offset

频率合成器作为射频微波系统中的核心模块, 相位噪声作为频率合成器的关键指标决定了整个系统的性能。当频率合成器的输出作为数字系统的时钟信号时, 相位噪声会对误码率产生影响。在多普勒雷达中, 载波信号相位噪声直接影响雷达探测距离。在无线通信系统中, 载波信号的相位噪声可能会淹没功率较小的接收有用信号, 从而降低接收机的灵敏度。因此, 如何有效地降低相位噪声始终是频率合成技术中最重要的研究点。锁相环(PLL)由于其低复杂度、高频谱纯度, 其成为频率合成器中最常用的一种技术<sup>[1]</sup>。在典型的单环式整数分频锁相环中, 为了实现小频率步进, 需增大环路的反馈分频比, 但这样会以恶化其相位噪声性能为代价。为改善相位噪声, 提出了偏置式锁相环结构, 通过在反馈路径中增加下变频电路从而降低环路的反馈分频比, 其偏置本振信号可以通过倍频方式<sup>[2-4]</sup>或其他锁相环构成多环结构的方式来实现<sup>[5]</sup>。然而, 传统的偏置式锁相环无法在整个频率范围内都保持最小的反馈分频比, 使其在宽带频率合成器中的应用受到限制。

随着宽带频率合成器对相位噪声指标提出更高的要求, Chenakin 等提出一种被称为 Phase-Refining 技术的级联偏置式锁相环结构来实现低相噪、低杂散、小步进的宽带频率合成器<sup>[6-7]</sup>。该结构中, 锁相环反馈路径移除了分频

器,从而最大程度地减小了由鉴相器(Phase Detector, PD)引入的噪声基底。此外,该技术中由混频产生的交调杂散分量也可由环路滤波器充分抑制。而对于锁相环的相位噪声分析方法,锁相环本身作为一个非线性系统,但是其噪声分量与信号分量相比足够小,因此线性传递函数方法仍然能够准确、有效地预测锁相环的相位噪声性能<sup>[8-10]</sup>。

本文基于 Phase-Refining 技术提出了一种工作频率超过一个倍频程的低相位噪声频率合成器,通过分析得到理论模型预测其相位噪声性能,实验结果验证了理论分析的准确性,表明该结构是一种实现宽带、低相噪、低杂散、小步进合成器的有效方法。

### 1 基于 Phase-Refining 技术的频率合成器相位噪声分析

基于 Phase-Refining 技术的宽带频率合成器由晶体振荡器(Crystal Oscillator, CXO)、窄带参考锁相环与宽带级联偏置锁相环 3 部分构成,其框图如图 1 所示。其中 CXO 为整个系统提供基准信号,参考锁相环输出一个窄带高频谱纯度信号,并通过级联偏置锁相环扩展为宽带信号。

图 2 给出了该频率合成器的线性时不变(Linear Time Invariant, LTI)相位噪声模型,为了使相位噪声特性分析更加直观,在分析时不考虑由分频器、倍频器与混频器引入的附加噪声。窄带参考锁相环采用了基于倍频器的偏置式结构,采用直接数字合成器(Direct Digital Synthesizer, DDS)为该偏置锁相环提供小步进参考信号。为降低由参考锁相环输出杂散指标,这里采用 DDS 信号上变频再分频的方式改善由 DDS 引入的杂散。

参考锁相环为其后的宽带锁相环提供一高频、小步进参考信号。为减小其鉴相器相位噪声基底,宽带锁相环采用一种级联偏置结构。相比压控振荡器(Voltage Controlled Oscillator, VCO),YIG 调谐振荡器(YIG Tuned Oscillator, YTO)具有更宽的调谐范围、更低的相位噪声与更好的调谐线性度,因此在宽带级联偏置锁相环中选择 YTO 输出。在图 2 中,  $S_{\phi, \text{CXO}}$ ,  $S_{\phi, \text{DDS}}$ ,  $S_{\phi, \text{LPF1}}$ ,  $S_{\phi, \text{PD1}}$ ,  $S_{\phi, \text{VCO}}$ ,  $S_{\phi, \text{LPF2}}$ ,  $S_{\phi, \text{PD2}}$ ,  $S_{\phi, \text{YTO}}$  分别表示由 CXO、DDS、环路滤波器 1(LPF1)、鉴相器 1(PD1)、VCO、环路滤波器 2(LPF2)、鉴相器 PD2 与 YTO 引入的相位噪声功率谱密度(Power Spectral Density, PSD)。在参考锁相环中,输出信号与 CXO 信号之间的频率关系可表示为:

$$f_{\text{REF}} = M \cdot f_{\text{CXO}} + \frac{R}{N} (M \cdot f_{\text{CXO}} + f_{\text{DDS}}) \quad (1)$$

根据相位传递函数与叠加原理,计算得到参考锁相环模块输出信号的相位噪声 PSD 为:

$$S_{\phi, \text{REF}} = \left[ M^2 \left( \frac{R}{N} \left( 1 + \frac{1}{N_{\text{DDS}}} \right) + 1 \right)^2 S_{\phi, \text{CXO}}(f) + S_{\phi, \text{DDS}}(f) \left( \frac{R}{N} \right)^2 + \left( S_{\phi, \text{PD1}}(f) + \frac{S_{\phi, \text{LPF1}}(f)}{|F_1(f)|^2} \right) \left( \frac{R}{K_{\phi 1}} \right)^2 \right] |H_1(f)|^2 + S_{\phi, \text{VCO}}(f) |1 - H_1(f)|^2 \quad (2)$$

式中:  $N_{\text{DDS}}$  为 DDS 的分频比;  $H_1(f)$  定义为环路的前向传递函数,其表达式为:

$$H_1(f) = \frac{K_{\phi 1} K_{\text{VCO}} F_1(f)}{R \cdot j2\pi f + K_{\phi 1} K_{\text{VCO}} F_1(f)} \quad (3)$$

由于  $|H_1(f)|$  为低通函数,而  $|1 - H_1(f)|$  为高通形式,因此对于参考锁相环输出信号来说,在频偏较远处(环路带宽外),其相位噪声主要由 VCO 决定;而在频偏较近处(环路带宽内),其相位噪声由 CXO, DDS, PD1 与 LPF1 共

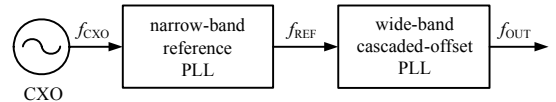


Fig.1 Block diagram of frequency synthesizer utilizing Phase-Refining technology  
图 1 采用 Phase-Refining 技术的频率合成器简要框图

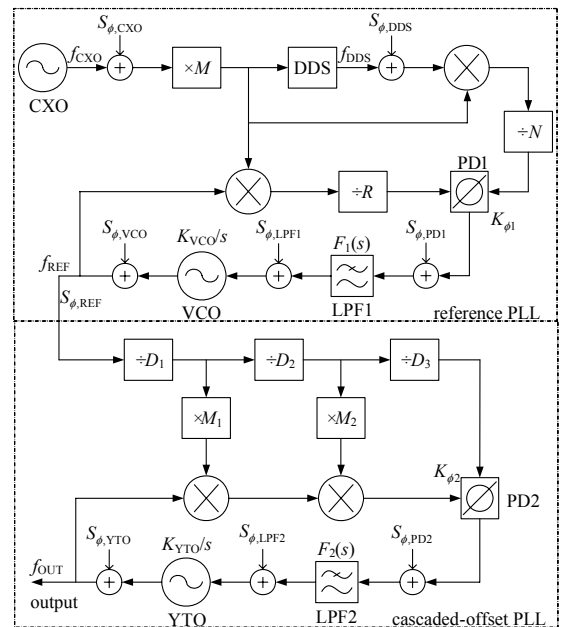


Fig.2 LTI phase noise model of wideband frequency synthesizer based on Phase-Refining technology  
图 2 基于 Phase-Refining 技术的宽带频率合成器线性时不变相位噪声模型

同决定。对于鉴相器，其引入相位噪声的 PSD 可以表示为<sup>[11]</sup>：

$$S_{\phi,PD1}(f) = S_{\phi,PD1,1Hz}(f) \left( \frac{f_{PD1}}{1 \text{ Hz}} \right) \quad (4)$$

式中  $S_{\phi,PD1,1Hz}$  为鉴相器的 1 Hz 归一化噪声基底，由所选鉴相器器件本身决定，而  $f_{PD1}$  为 PD1 的实际鉴相频率。

在关键的级联偏置锁相环中，输出信号与参考信号之间的频率关系为：

$$f_{OUT} = \left( \frac{M_1}{D_1} \pm \frac{M_2}{D_1 D_2} \pm \frac{1}{D_1 D_2 D_3} \right) f_{REF} = N_{eq} f_{REF} \quad (5)$$

式中  $D_1, D_2, D_3, M_1, M_2$  都为整数，输出频率范围可随  $f_{REF}$  范围的变化灵活调节。因此，可将级联偏置锁相环等效为一分频比为  $N_{eq}$  的小数分频结构。通过计算得到级联偏置锁相环输出信号相位噪声 PSD 的表达式为：

$$S_{\phi,OUT}(f) = \left[ S_{\phi,REF}(f) \left( \frac{1}{D_1 D_2 D_3} \pm \frac{M_2}{D_1 D_2} \pm \frac{M_1}{D_1} \right)^2 + \left( S_{\phi,PD2}(f) + \frac{S_{\phi,LPF2}(f)}{|F_2(f)|^2} \right) \frac{1}{K_{\phi 2}^2} |H_2(f)|^2 + S_{\phi,YTO}(f) |1 - H_2(f)|^2 \right] \quad (6)$$

式中：

$$H_2(f) = \frac{K_{\phi 2} K_{YTO} F_2(f)}{j2\pi f + K_{\phi 2} K_{YTO} F_2(f)} \quad (7)$$

根据式(6)可以得到：在整个频率范围内，级联偏置锁相环的反馈分频比都等于 1，这意味着 PD2 与 LPF2 对环路带宽内的相位噪声的贡献降至最小。与此同时，级联偏置锁相环输出相位噪声相比参考锁相环恶化了  $20\log(N_{eq})$  dB。综上所述，参考锁相环为一窄带偏置式锁相环，具有较好的带内相位噪声性能，并且其参考信号由 DDS 信号经混频-分频的方式得到，可改善参考锁相环的杂散性能。因此，参考锁相环可为级联偏置锁相环提供具有高频谱纯度的窄带信号作为参考，而级联偏置锁相环将该信号进一步扩展为宽带高频谱纯度信号。这里的公式对应两级级联偏置锁相环，该模型也可扩展到更多级级联偏置的情况。

## 2 宽带频率合成器的设计与实现

基于前一节的分析，图 3 给出了基于 Phase-Refining 技术的宽带频率合成器具体实现框图。该频率合成器由参考锁相环模块、YTO 及其驱动模块与级联偏置锁相环模块 3 部分构成。在参考锁相环中，选择 100 MHz VCXO 作为整个频率合成器的低相噪外部参考源。100 MHz 信号通过倍频至 1 600 MHz 后分为 3 路，第一路作为 DDS 的时钟信号；第二路为 DDS 输出上变频提供本振信号；第三路在锁相环反馈路径中作为频率偏置信号。这里选用 48 位的 DDS 芯片可实现最小频率步进 0.1 Hz，参考锁相环的输出频率范围为 1 706~1 750 MHz。

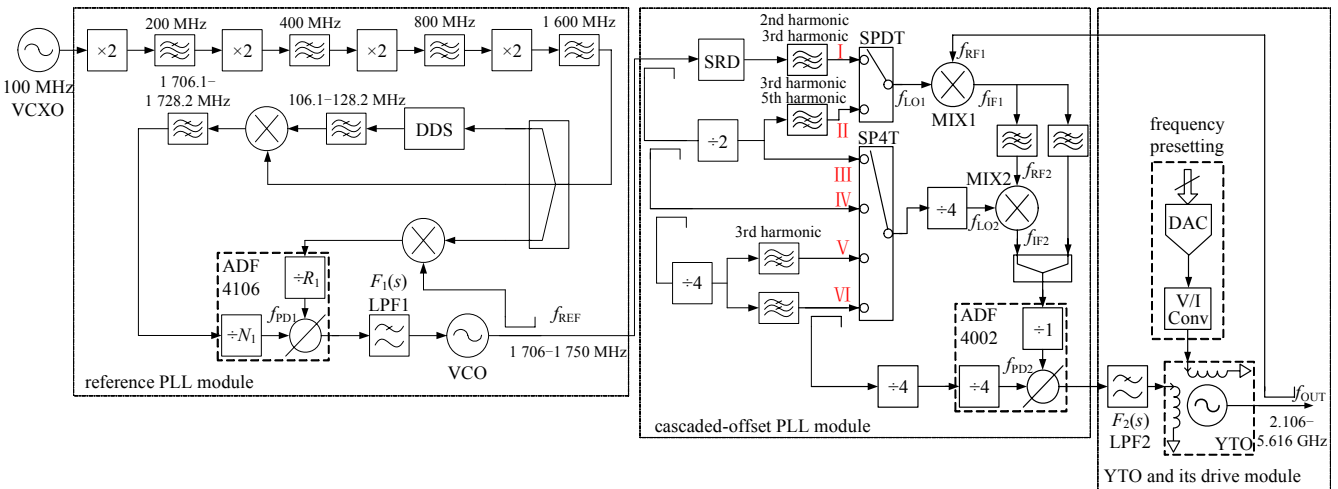


Fig.3 Schematic of 2.1~5.6 GHz wideband frequency synthesizer

图 3 2.1~5.6 GHz 宽带频率合成器实现框图

在参考锁相环中 LPF1 采用三阶无源滤波器结构，如图 4 所示，其传递函数可以表示为：

$$F_1(s) = U_{\text{tune}}(s) / I_{\text{CP}}(s) = (R_1 C_2 s + 1) / [R_1 R_2 C_1 C_2 C_3 s^3 + (R_1 C_1 C_2 + R_1 C_2 C_3 + R_2 C_1 C_3 + R_2 C_2 C_3) s^2 + (C_1 + C_2 + C_3) s] \quad (8)$$

表 1 列出了参考锁相环的关键设计参数, 仿真可得到 LPF1 中各参数值为:  $R_1=783 \Omega$ ,  $R_2=1.6 \text{ k}\Omega$ ,  $C_1=150 \text{ pF}$ ,  $C_2=2.03 \text{ nF}$ ,  $C_3=68.2 \text{ pF}$ 。

为将参考锁相环的窄带输出扩展为宽带信号, 并且不对其附加相位噪声与杂散引入额外的恶化, 这里选择了两级级联偏置锁相环结构。由于数字分频器的输出波形近似为一方波信号, 对于一幅度为  $A$ 、频率为  $\omega_0$  的方波信号  $f(t)$  可以展开为如下 Fourier 级数的形式:

$$f(t) = \frac{4A}{\pi} \left( \cos \omega_0 t - \frac{1}{3} \cos 3\omega_0 t + \frac{1}{5} \cos 5\omega_0 t - \frac{1}{7} \cos 7\omega_0 t + L \right) \quad (9)$$

可以看到, 分频器的输出包含了丰富的奇次谐波分量, 在某种程度上可以视为输出信号的奇次谐波倍频器。因此, 为了降低电路的复杂度, 在级联偏置锁相环中采用阶跃二极管与分频器输出奇次谐波来实现所需的倍频功能。

比较图 2 与图 3, 可以得到  $D_1=2$ ,  $D_2=8$ ,  $D_3=4$ 。在路径 I 中, 通过滤波器选择出二次与三次谐波, 其分别等效为  $M_1$  取 4 与 6。在路径 II 中, 通过滤波器选择三次与五次谐波, 分别等效为  $M_1$  取 3 与 5。在路径 III 中, 等效为  $M_2$  取 2。在路径 IV 中, 等效为  $M_2$  取 4。在路径 V 中, 通过滤波器选择三次谐波分量, 等效为  $M_2$  取 3。在路径 VI 中, 等效为  $M_2$  选择 1。值得注意的是, 当只通过一次下变频后, MIX1 的输出中频率就等于鉴相频率时, 即  $f_{\text{IF1}}=f_{\text{PD2}}$ , 等效为  $M_2$  选择 0。根据式(5), 等效分频比  $N_{\text{eq}}$  的变化范围为 1.234 375 至 0.031 25, 步进为 0.031 25, 可得到级联偏置锁相环的输出频率范围覆盖 2.106~5.616 GHz。

表 1 参考锁相环中关键设计参数

Table1 Key design parameters for reference PLL	
parameters	values
$K_{\text{VCO}}/(\text{MHz/V})$	60
$K_{\phi_1}/(\text{mA/rad})$	5
$f_{\text{PD1}}/\text{MHz}$	2.12~3.00
loop bandwidth/kHz	400

表 2 级联偏置锁相环中关键设计参数

Table2 Key design parameters for cascaded-offset PLL	
parameters	values
$K_{\text{YTO}}/(\text{MHz/V})$	1.84
$K_{\phi_2}/(\text{mA/rad})$	5
$f_{\text{PD2}}/\text{MHz}$	26.65~27.35
loop bandwidth/kHz	120

在偏置式锁相环中存在混频结构, 因此需要增加频率预置电路来防止误锁现象的发生。在图 3 中, YTO 及其驱动模块包含了 YTO、频率预置电路与相位锁定电路。采用 12 为 DAC 来实现频率预置, 其预置的理论精确度可达 0.98 MHz。但由于磁滞现象的存在, 实际测试得到的预置精确度为  $\pm 5 \text{ MHz}$ , 该精确度能够抑制误锁现象的发生。在 YTO 驱动电路中, LPF2 采用了三阶有源环路滤波器, 其电路如图 5 所示, 计算得到其传递函数为:

$$F_2(s) = \frac{U_{\text{FM}}(s)}{I_{\text{CP}}(s)} = \frac{1 + s \cdot R_4(C_5 + C_6)}{s \cdot C_6(1 + s \cdot R_3 C_4)(1 + s \cdot R_4 C_5)} \quad (10)$$

实测 YTO 的电流调谐灵敏度为  $K_1=15.4 \text{ MHz/mA}$ , 其电压调谐灵敏度可由下式得到:

$$K_{\text{YTO}} = K_1 \cdot R_L \quad (11)$$

表 2 列出了级联偏置锁相环的关键设计参数, 通过仿真可得到 LPF2 中各元件的值为:  $R_3=100 \Omega$ ,  $R_4=95.9 \Omega$ ,  $C_4=1.06 \text{ nF}$ ,  $C_5=2.89 \text{ nF}$ ,  $C_6=39.4 \text{ nF}$ 。

这里选择 100 MHz VCXO 作为整个系统的参考源, 测得其相位噪声谱如图 6 所示。该测试谱型由曲线拟合方法得到其相位噪声谱函数<sup>[9]</sup>, 根据图 6, 可得到该 VCXO 输出信号的的相位噪声谱函数为:

$$S_{\phi, \text{VCXO}}(f) = \frac{k_3}{f^3} + \frac{k_2}{f^2} + \frac{k_1}{f^2} + k_0, \quad k_3=0, \quad k_2=3.922 \times 10^9, \quad k_1=2.751 \times 10^{-11}, \quad k_0=2.713 \times 10^{-16} \quad (12)$$

同样地, 采用渐近近似方法来拟合测试相位噪声谱, 可得到 VCO 与 YTO 的相位噪声谱函数。将拟合得到的相位噪声谱函数带入模型中, 可对频率合成器的相位噪声性能进行预测。根据式(2)和式(6), 对基于 Phase-Refining 技术的宽带频率合成器相位噪声性能进行计算, 计算结果如图 7 所示。可以得到在环路带宽内, 级联宽带锁相环的相位噪声在参考锁相环相位噪声指标基础上恶化了  $20 \log(N_{\text{eq}}) \text{ dB}$ , 即宽带级联偏置锁相环的带内相位噪声主要由窄带参考锁相环决定。

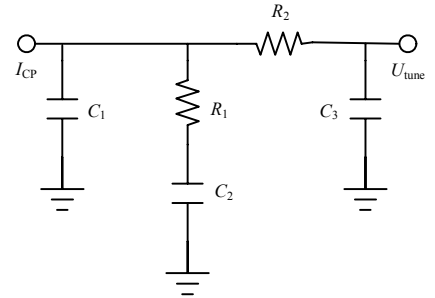


Fig.4 Schematic of LPF1 in reference PLL module  
图 4 参考锁相环中 LPF1 原理图

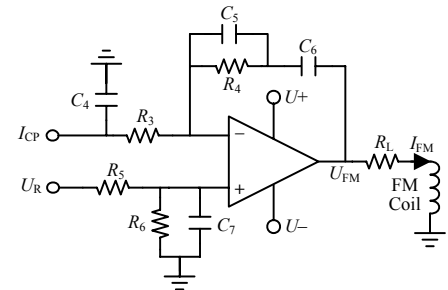


Fig.5 Schematic of LPF2 in YTO and its drive circuit module  
图 5 YTO 及其驱动电路模块中 LPF2 原理图

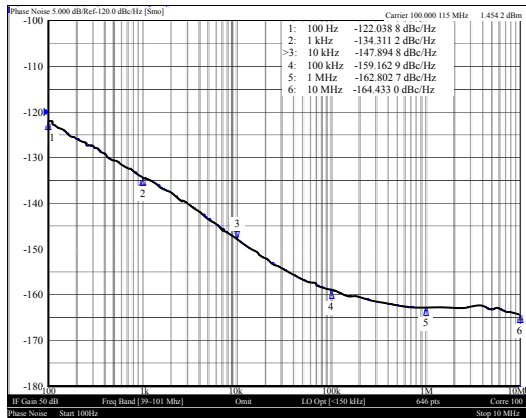


Fig.6 Measured phase noise characteristics of input 100 MHz VCXO  
图 6 100 MHz VCXO 相位噪声测试结果

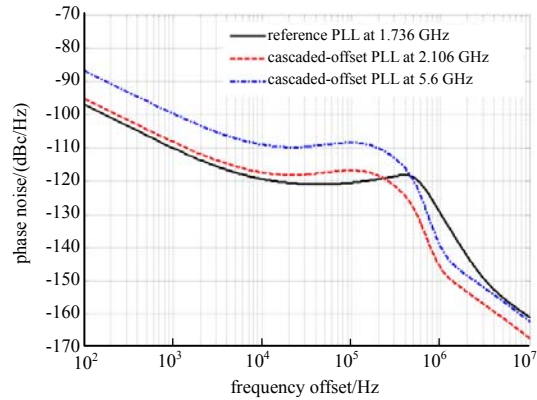


Fig.7 Calculated phase noise performances of frequency synthesizer based on Phase-Refining technology  
图 7 基于 Phase-Refining 技术的频率合成器相位噪声性能计算结果

### 3 实验结果

该频率合成器的所有电路均在 FR-4 基板上实现，图 8 是该频率合成器的实物照片。采用 Agilent E4440A 频谱分析仪对该频率合成器的相位噪声特征进行测试。图 9 给出了参考锁相环输出 1.736 GHz 时的相位噪声测试结果，在频偏 10 kHz 处，其相位噪声为 -114.77 dBc/Hz。图 10 给出了级联偏置锁相环输出分别为 2.106 GHz 与 5.6 GHz 的测试结果，分别为 -114.71 dBc/Hz@10 kHz 与 -108.26 dBc/Hz@10 kHz。相位噪声计算与测试结果比较如表 3 所示，可以看到模型计算结果与测试结果吻合较好。

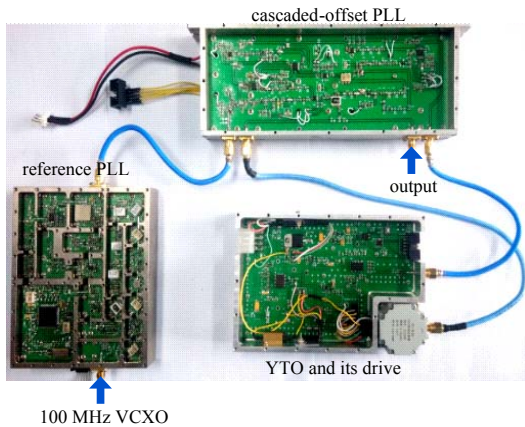


Fig.8 Photograph of wideband frequency synthesizer  
图 8 宽带频率合成器实物照片

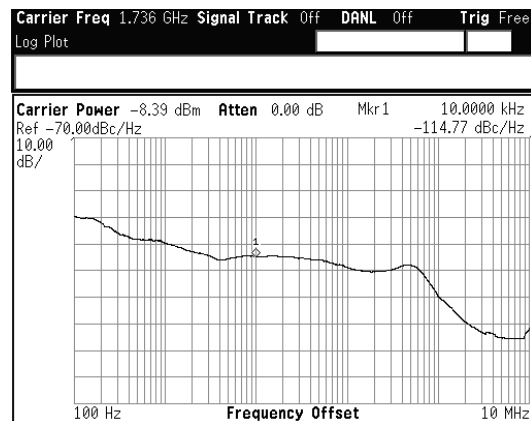
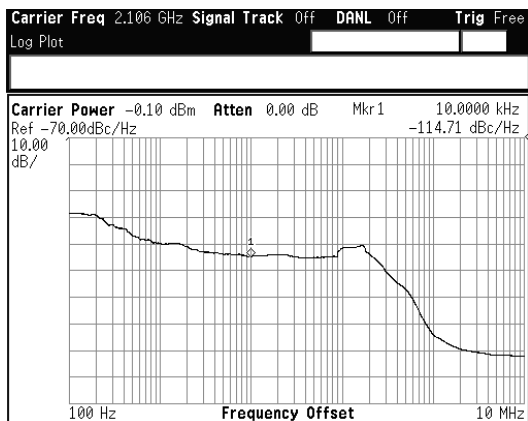
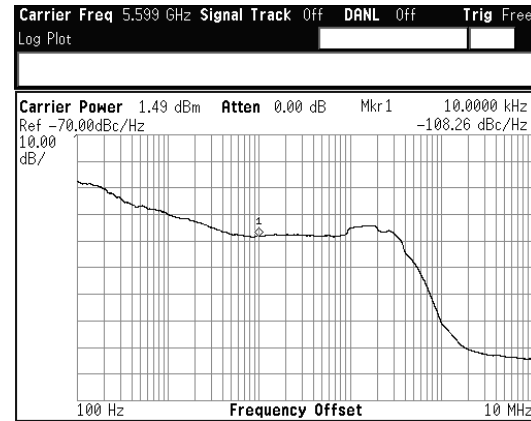


Fig.9 Measured phase noise of reference PLL module at 1.736 GHz  
图 9 参考锁相环输出 1.736 GHz 时的相位噪声测试结果



(a) 2.106 GHz



(b) 5.6 GHz

Fig.10 Measured phase noise of cascaded-offset phase-locked loop module at low band of 2.106 GHz and high band of 5.6 GHz  
图 10 级联偏置锁相环在输出频率分别为 2.106 GHz 与 5.6 GHz 的相位噪声测试结果

表3 频偏 10 kHz 处宽带频率合成器相位噪声计算与测试结果比较

frequency/GHz	calculated results/(dBc/Hz)	measured results/(dBc/Hz)
reference PLL at 1.726 GHz	-119.22	-114.77
cascaded-offset PLL at 2.106 GHz	-117.42	-114.71
cascaded-offset PLL at 5.6 GHz	-109.04	-108.26

#### 4 结论

本文设计并实现了一种基于 Phase-Refining 技术的宽带频率合成器,以改善其相位噪声性能。通过利用线性传递函数与叠加原理建立其相位噪声解析模型对该频率合成器的相位噪声性能进行分析,计算结果与测试结果吻合较好。理论分析与实验结果均表明,Phase-Refining 技术可在整个频率范围内将锁相环反馈分频比最小化,从而减小鉴相器对环路带宽内相位噪声的贡献。若选择具有更低相位噪声的窄带源作为级联偏置锁相环的参考信号,可进一步改善宽带级联偏置锁相环的相位噪声性能。

#### 参考文献:

- [1] CHENAKIN A. Frequency synthesizers:concept to product[M]. USA:Artech House, 2011.
- [2] ZHAN M,QIU P,YANG T,et al. A Ka-band frequency synthesizer using LTCC technology[J]. Microwave & Optical Technology Letters, 2010,52(2):319-322.
- [3] RUI MIN M Z,LIN X W. A miniature frequency synthesizer module in W-band[J]. Microwave & Optical Technology Letters, 2010,52(2):412-416.
- [4] ZHU W,MENG H,MAO L. A low phase noise local oscillator module for instrumentation application[C]// 2013 IEEE International Wireless Symposium(IWS). Beijing,China:IEEE, 2013:1-4.
- [5] DRUCKER E. Techniques for improving noise and spurious in PLLs[J]. Microwave Journal, 2012,55(5):110-122.
- [6] CHENAKIN O. Low phase noise PLL synthesizer: US7701299[P]. 2010-04-20.
- [7] CHENAKIN A,OJHA S,NEDIYANCHATH S. A 26.5 GHz PLL synthesizer with low phase noise characteristics[C]// 2011 Asia-Pacific Microwave Conference. Melbourne,VIC,USA:IEEE, 2011:1210-1213.
- [8] KROUPA V. Noise properties of PLL systems[J]. IEEE Transactions on Communications, 1982,30(10):2244-2252.
- [9] KIM Y W,YU J D. Phase noise model of single loop frequency synthesizer[J]. IEEE Transactions on Broadcasting, 2008, 54(1):112-119.
- [10] TIAN L,LIU J. A wideband frequency synthesizer with high frequency resolution[J]. Microwave and Optical Technology Letters, 2013,55(10):2454-2457.
- [11] BANERJEE D. PLL performance, simulation, and design[M]. 4th ed. USA:National Semiconductor Corporation, 2006.

#### 作者简介:



李智鹏(1985-),男,成都市人,博士,助理研究员,主要研究方向为微波毫米波电路与 SiP 技术.email:lizpmemory@hotmail.com.

曾荣(1985-),男,四川省内江市人,硕士,助理研究员,主要研究方向为微波毫米波电路与 SiP 技术.

龙双(1988-),男,重庆市人,硕士,助理研究员,主要研究方向为微波毫米波电路.

王平(1989-),男,四川省广安市人,硕士,助理研究员,主要研究方向为微波毫米波电路与 SiP 技术.

鲍景富(1964-),男,浙江省义乌市人,博士,教授,博士生导师,主要研究方向为非线性微波电路与 RF MEMS 技术.